

Report for BeagleBone Rev4

Mục lục

Report for BeagleBone Rev4.....	i
Mục lục	ii
1. Những điểm cần sửa	1
2. Thay đổi trong Schematic.....	2
2.1. Swap pins của U10 (USB Interface)	2
2.2. Swap pins của D6 (HDMI Interface).....	2
2.3. Swap pins của D7 (HDMI Interface).....	2
3. Những thay đổi trong Layout	3
3.1. IC nguồn	3
3.2. Fanout cho BGA.....	5
3.3. Thạch anh	5
3.4. HDMI Interface.....	8
3.4. Ethernet	10
3.4.1. TXP và TXN	10
3.4.2. MII TX.....	11
3.4.3. MII RX	11
3.5. Flash Card Emmc	11
4. So sánh giữa các phiên bản với nhau.....	12
4.1. Ethernet	12
4.2. DDR3	14
4.3. eMMC	17
4.4. HDMI	18
5. Tổng kết.....	19
5.1. Những điều đã cải thiện :	19
5.2. Những điểm chưa cải thiện được :	19

Danh sách hình ảnh

Hình 3.1 : Layout IC nguồn cũ (trái) và mới (phải)	3
Hình 3.2 : Layout nguồn VDDS_DDR và VDD_MPU	3
Hình 3.3 : Layout cho Tụ lọc của U2	4
Hình 3.4 : Layout IC nguồn phiên bản cũ (trái) và mới (phải)	4
Hình 3.5 : Layout Tụ decoupling cho U5 cũ và mới	5
Hình 3.6 : Layout Thạch anh Y3	6
Hình 3.7 : Thạch anh Y2 và Y4	6
Hình 3.8 : Thạch anh Y1	7
Hình 3.9 : Lý do không đặt Y2 và Y4 ở Top layer	7
Hình 3.10 : Layout cho HDMI interface cũ (Top Layer)	8
Hình 3.11 : Layout cho HDMI interface mới (Top Layer)	8
Hình 3.12 : Layout cho HDMI interface cũ (Layer 4) và mới (Layer 3)	9
Hình 3.13 : Cặp Pair TXP	10
Hình 3.14 : Routing cặp Pair TX ở lớp TOP (cũ và mới)	10

Danh sách bảng

Bảng 1 : : Chiều dài Differential Pair RX của Ethernet	11
Bảng 2 : : Chiều dài Differential Pair TX của Ethernet	12
Bảng 3 : Chiều dài các net trong MII RX	13
Bảng 4 : Chiều dài các net trong MII TX	13
Bảng 5 : : Chiều dài các net trong Data Low/High Byte trong DDR	15
Bảng 6 : : Chiều dài các net ADD/CMD & Control trong DDR3	16
Bảng 7 : Chiều dài các net trong eMMC Memory (từ P8 – U13)	17
Bảng 8 : Chiều dài các net trong eMMC Memory (từ U13 – U5)	18
Bảng 9 : Chiều dài các net trong HDMI	18

1. Những điểm cần sửa

• Differential Pair

- Differential Pair cần Length Matching lại cho phù hợp ở những điểm uốn.
- Cặp TX của Ethernet, cả 2 dây TXP à TXN còn đang bị mismatch về độ dài và chưa coupling với nhau **(P5 – U14)**.
- Cần đi dây các cặp Pairs lại vì vẫn còn Stub ở các linh kiện **(U14, D6, D7)**.
- Chưa có Return VIA cho Pair.

• VIA

- VIA cần đặt theo grid
- Khoảng cách của 2 VIAs có thể đủ không gian cho tối thiểu 1 trace đi qua.
- Các pin ở MCU... còn đang dung chung VIA quá nhiều **(U5, U12)**.
- Stitching VIA ở cho **GND** và **GND_Earth**.

• Routing

- Một số net còn đi lòng vòng .
- Các Nets có cùng Reference Plane đi song song và đi trùng lên nhau
- Teardrop hơi lớn.

• Nguồn

- Đảm bảo nguồn đi từ **U2 => Cuộn cảm => Tụ điện**.
- Các net nguồn phải đi từ Tụ điện để đến các IC, linh kiện khác trong mạch.

• Thạch anh

- Trace đi từ thạch anh đến IC ngắn và thẳng nhất.
- Bọc Shield cho Thạch anh.

2. Thay đổi trong Schematic

2.1. Swap pins của U10 (USB Interface)

Trước: USB0_DP: Pin 2
 USB0_DM: Pin 1

Sau : USB0_DP: Pin 1
 USB0_DM: Pin 2

2.2. Swap pins của D6 (HDMI Interface)

Note : Schematic bị sai ở pin 37, 38 của U11

Pin 38 trong datasheet dùng cho TXC+ nhưng lại dùng cho TXC-

Trước : HDMI_TXC+:Pin 5
 HDMI_TXC-: Pin 4

 HDMI_TX0+: Pin 2
 HDMI_TX0-: Pin 1

Sau : HDMI_TXC+: Pin 2
 HDMI_TXC-: Pin 1

 HDMI_TX0+: Pin 5
 HDMI_TX0-: Pin 4

2.3. Swap pins của D7 (HDMI Interface)

Trước: HDMI_TX1+: Pin 5
 HDMI_TX1-: Pin 4

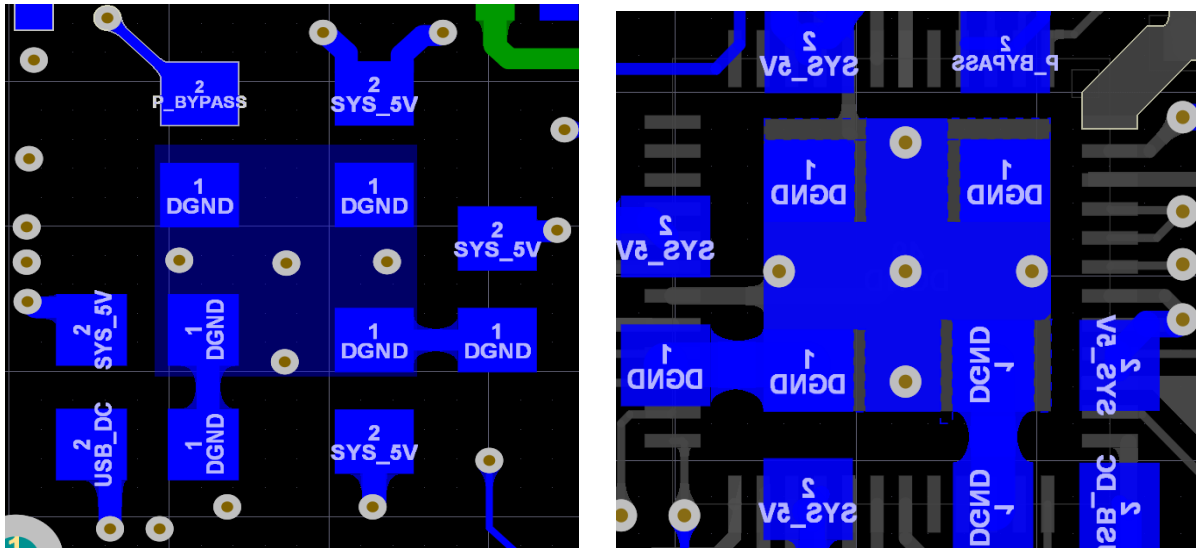
 HDMI_TX2+: Pin 2
 HDMI_TX2-: Pin 1

Sau : HDMI_TX1+: Pin 4
 HDMI_TX1-: Pin 5

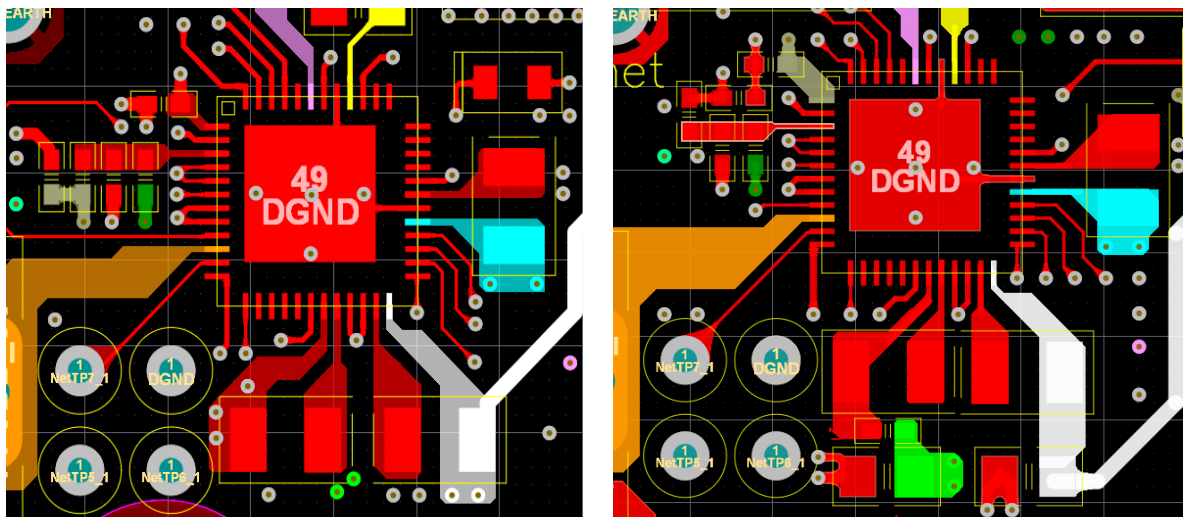
 HDMI_TX2+: Pin 1
 HDMI_TX2-: Pin 2

Các tụ lọc đang kết nối với 1 Pad rộng sẽ dẫn đến việc khó hàn do nhiệt lượng lan tỏa ra xung quanh làm thiếc hàn khó chảy.

⇒ Cắt 1 phần Shape hoặc dùng Thermal Relief



Hình 3.3 : Layout tụ lọc cho U2

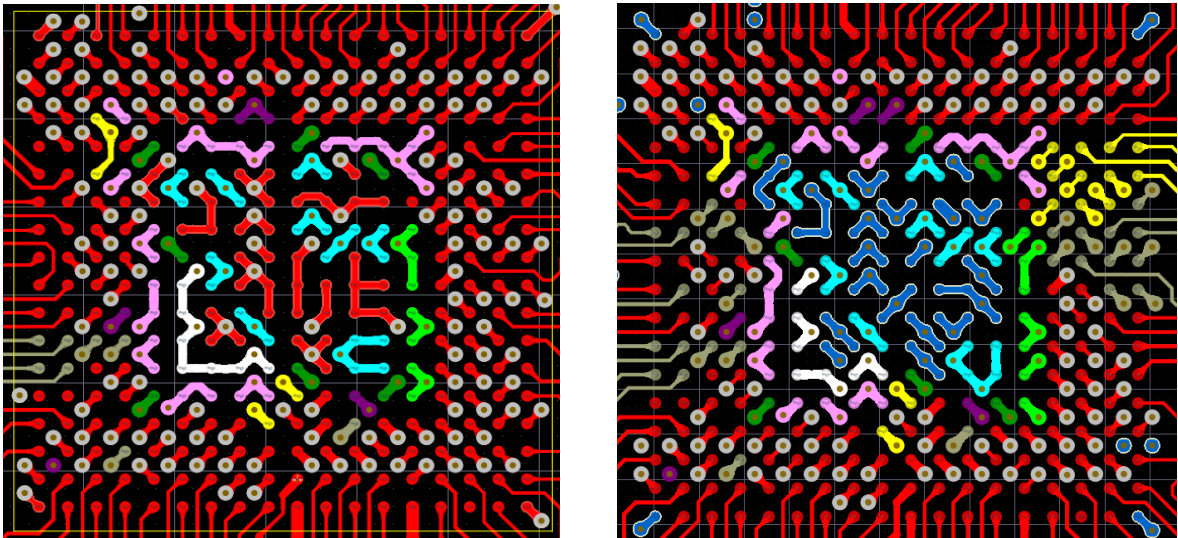


Hình 3.4 : Layout IC nguồn phiên bản cũ (trái) và mới (phải)

Nhận xét : Đảm bảo phần nguồn mới có đầu ra ổn định hơn bản cũ
Các VIA đã dần thẳng hàng với nhau
Đảm bảo cho việc hàn các tụ ở dưới lớp Bottom dễ hơn.

3.2. Fanout cho BGA

Các pin có net nguồn còn share vias với nhau quá nhiều và gây ra các vấn đề về điện dung ký sinh gây ảnh hưởng đến điện áp cung cấp cho BGA



Hình 3.5 : Layout Tụ decoupling cho U5 cũ và mới

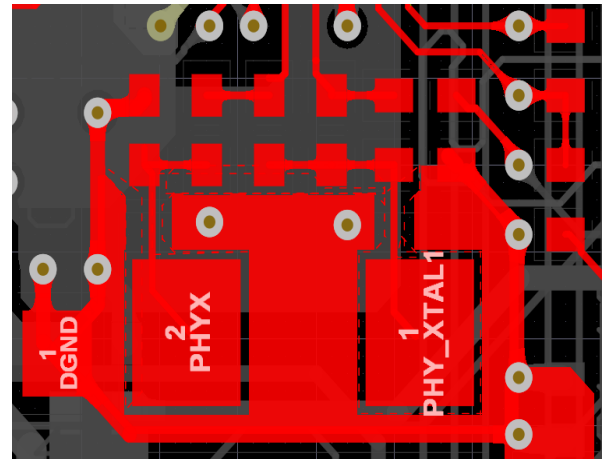
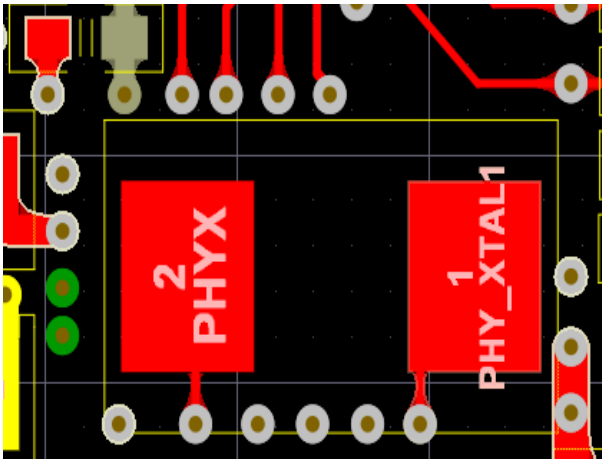
Nhận xét : Giảm lượng pin kết nối cùng 1 net. Tuy nhiên vẫn còn 1 số pin phải chia sẻ chung 1 VIA

3.3. Thạch anh

Thạch anh là có độ dv/dt vô cùng cao và nếu không bọc shield cẩn thận sẽ gây nhiễu xung quanh.

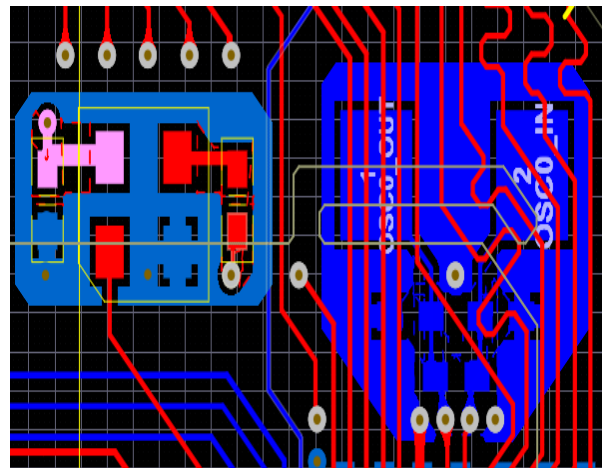
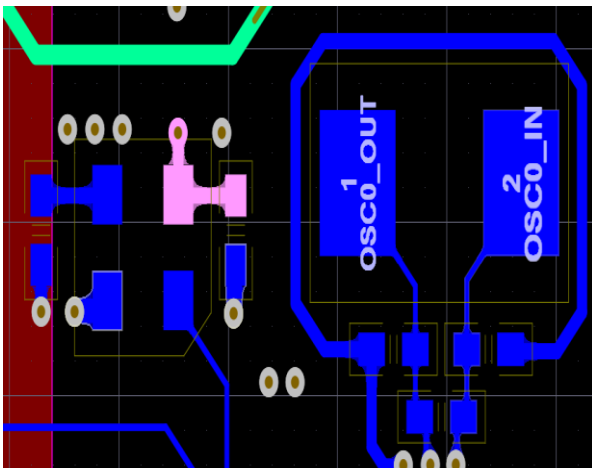
Ngoài ra trace cũng phải ngắn và thẳng nhất có thể để tránh nhiễu đến xung quanh các net khác.

Ngoài ra các nếu các net XTAL nối với MCU thông qua VIAs thì sẽ gây ra nhiễu cho các net xung quanh.

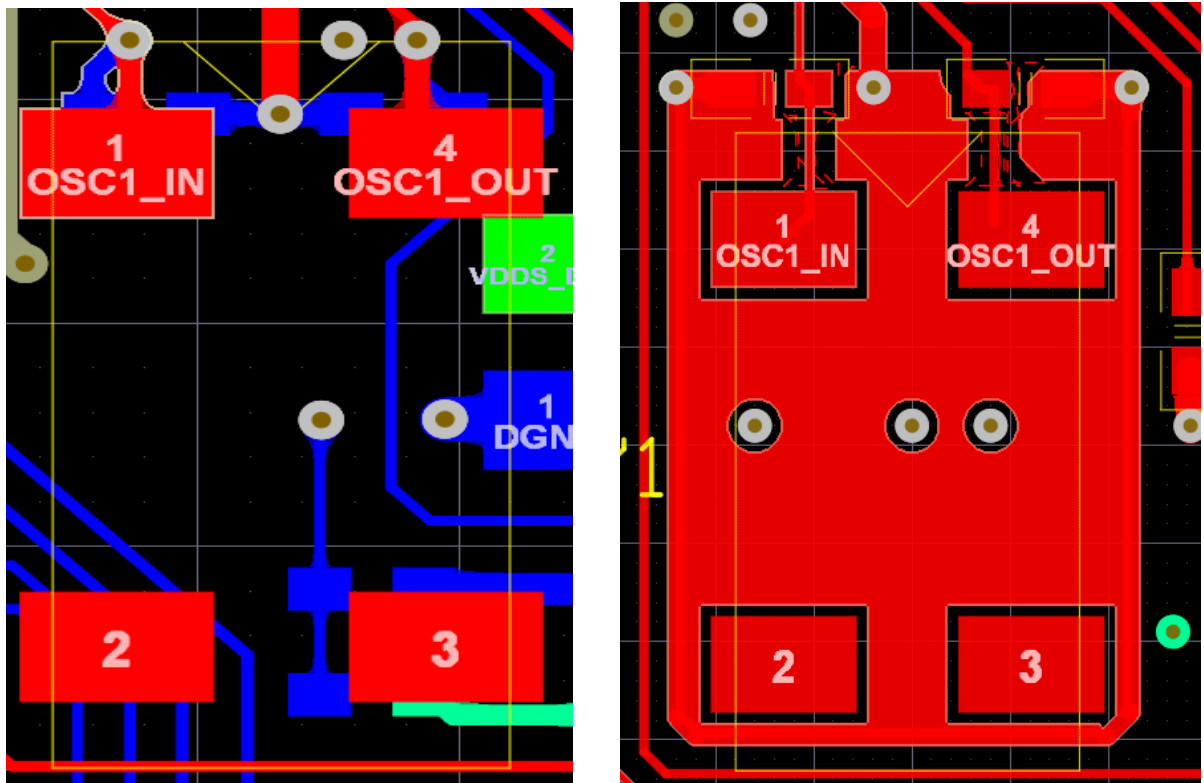


Hình 3.6 : Thạch anh Y3

Ở Thạch anh Y2 và Y4 cũng tương tự như Y3 nhưng do Polygon GND bao bọc xung quanh cả pad GND của tụ điện nên ở đây dùng Thermal Relief để hạn chế nhiệt tản ra quá nhanh



Hình 3.7 : Thạch anh Y2 và Y4

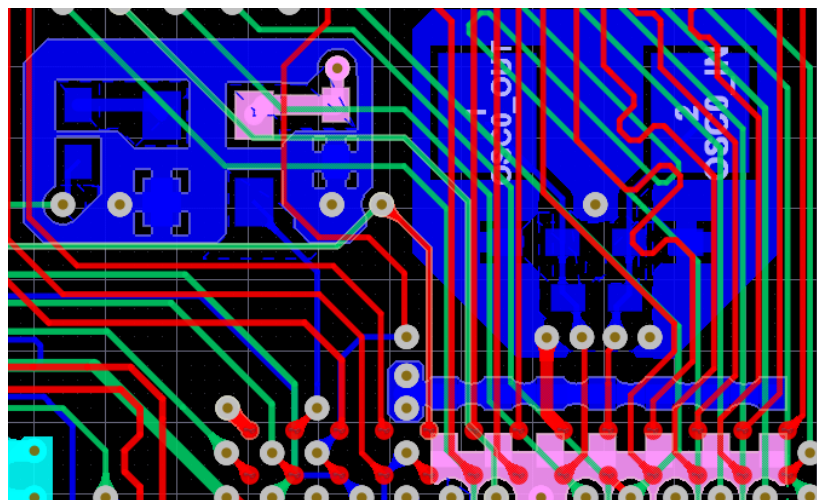


Hình 3.8 : Thạch anh Y1

Nhận xét : Đã bọc shield cho thạch anh và rút chiều dài dây từ thạch anh đến MCU.

Chuyển Y2 lên TOP

Tuy nhiên vẫn còn hạn chế ở Y4 do buộc phải dùng VIA để kết nối cả 2 với MCU. Do nếu đưa lên Top thì sẽ không thể routing các net khác (Hình 3.9)



Hình 3.9 : Lý do không đặt Y4 ở Top layer

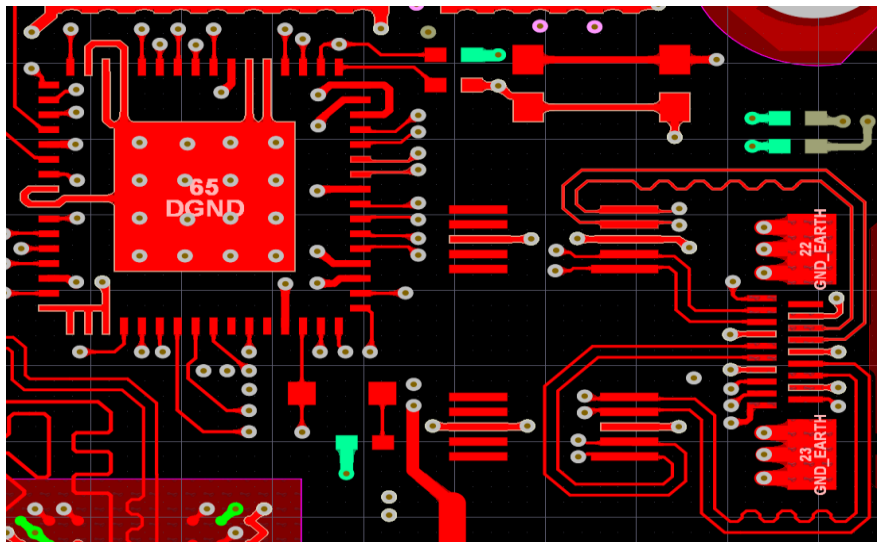
3.4. HDMI Interface

Ở bản cũ (Hình 5.1) các cặp Differential Pair vẫn đi vòng làm tăng độ dài cho các dây Pair.

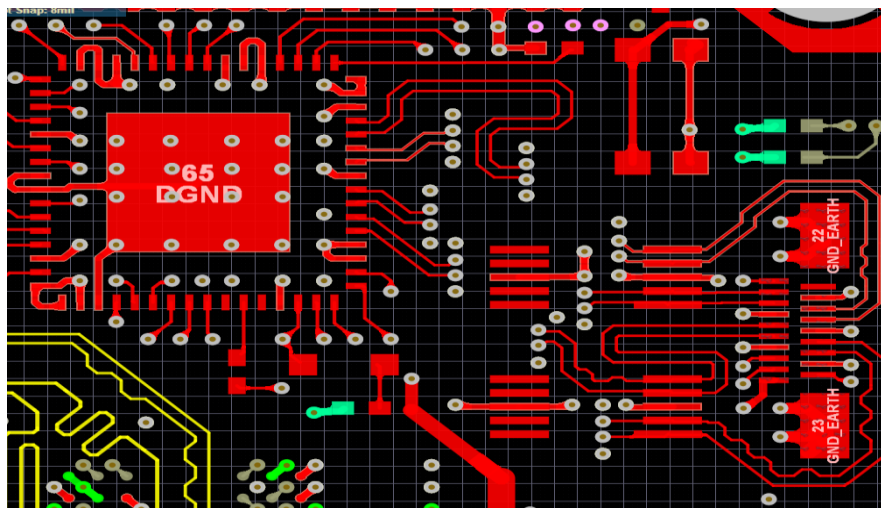
Chưa có VIA return khi dùng VIA chuyển lớp cho các cặp Pair.

Length Matching cho cặp Pair chưa tốt do length matching ở các lớp vẫn có độ dài khác nhau dẫn đến tín hiệu sẽ đến Receiver ở các thời điểm khác nhau dù có cùng độ dài dây.

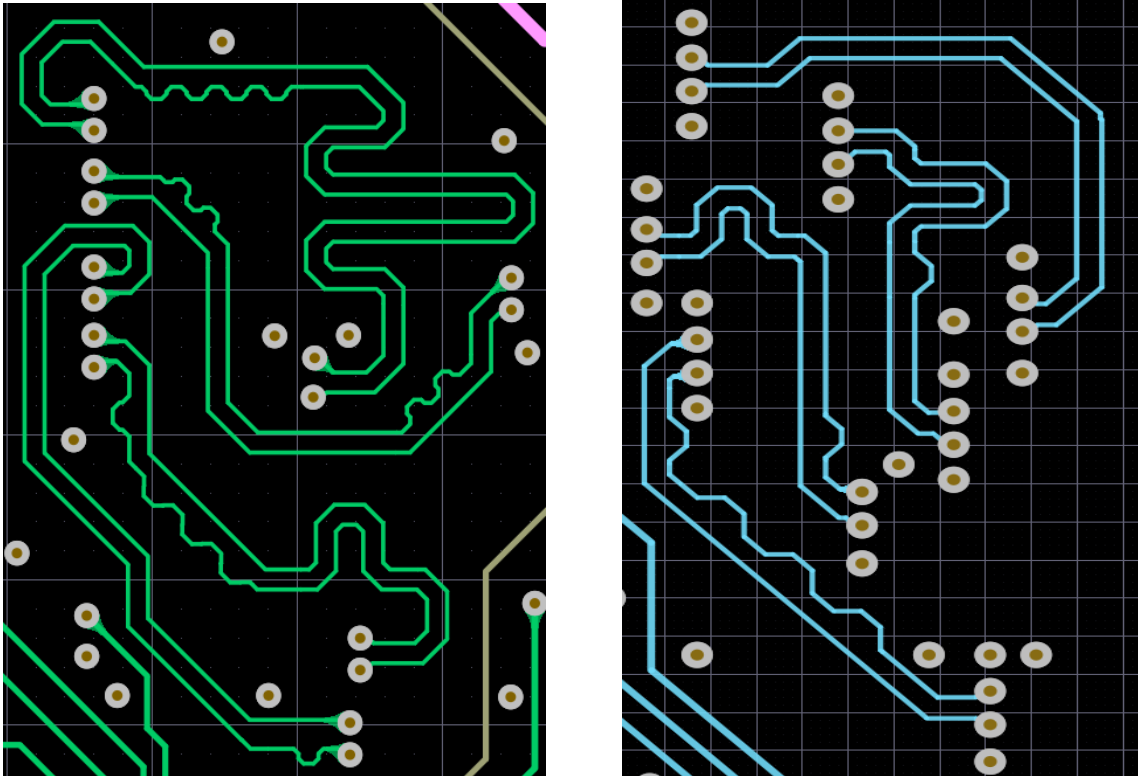
- ⇒ Swap pin để hạn chế đi vòng
- ⇒ Đặt thêm 2 Return VIAs cho mỗi lần chuyển lớp
- ⇒ Length Matching cho độ dài các lớp bằng nhau.



Hình 3.10 : Layout cho HDMI interface cũ (Top Layer)



Hình 3.11 : Layout cho HDMI interface mới (Top Layer)



Hình 3.12 : Layout cho HDMI interface cũ (Layer 4) và mới (Layer 3)

Nhận xét : Đã swap pin để có thể thuận tiện hơn cho việc layout nhưng vẫn không tránh khỏi việc phải đi vòng.

Tuy nhiên đã giảm đáng kể chiều dài dây và sai số giữa các cặp. (Chi tiết hơn ở mục 10)

Đã thêm các Return VIA khi chuyển lớp cho các cặp Pair

Length Matching theo từng layer để đảm bảo các cặp Pair có thể đến Receiver cùng 1 lúc (sai số cao nhất 60 mils)

3.4. Ethernet

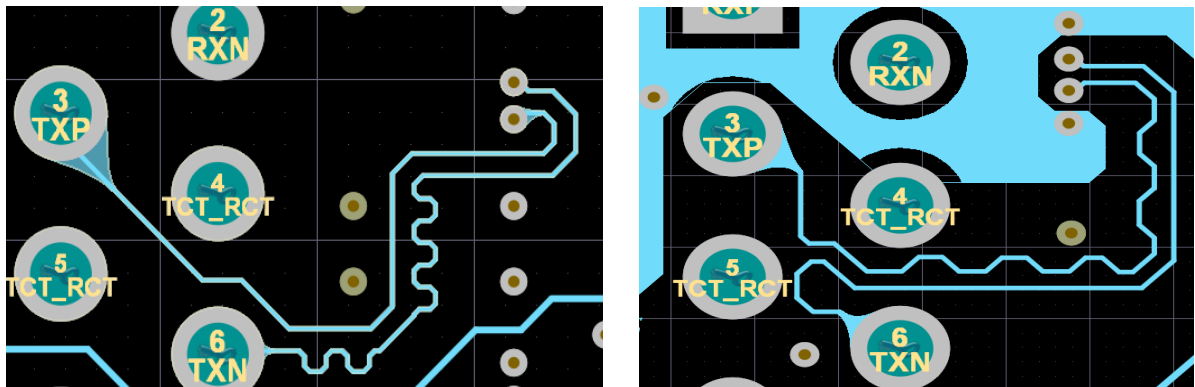
3.4.1. TXP và TXN

Mismatch lớn của cặp pair TXP và TXN

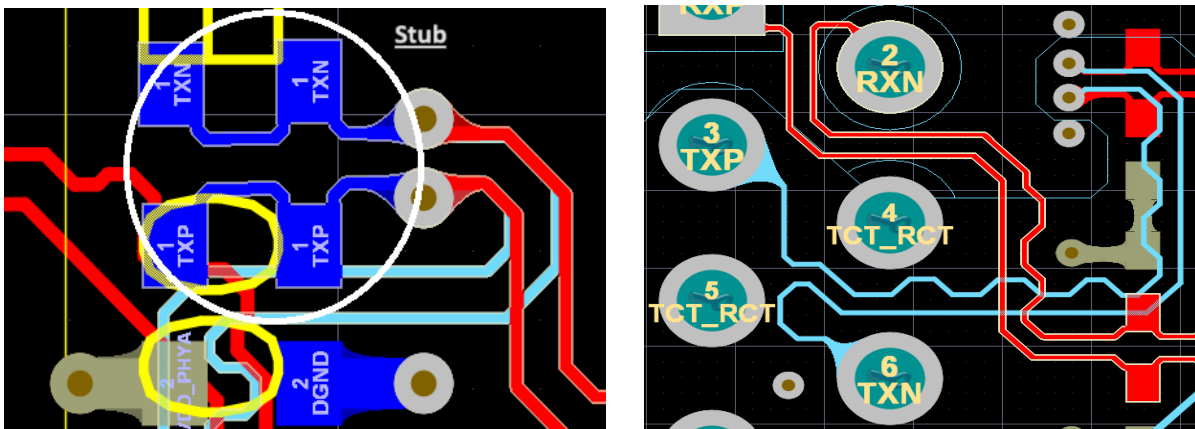
Dẫn đến việc khó length matching => Receiver có thể nhận sai dữ liệu do không đến cùng lúc.

Ngoài ra còn bị stub (hình 6.2) tạo thành antenna gây nhiễu

- ⇒ Thay đổi cách routing
- ⇒ Thêm VIA Return khi chuyển lớp.



Hình 3.13 : Cặp Pair TXP



Hình 3.14 : Routing cặp Pair TX ở lớp TOP (cũ và mới)

Nhận xét : Đã khắc phục được Stub và cân chỉnh lại cách routing cũng như đã thêm Return VIA cho cặp Pair .

3.4.2. MII TX

Net MII TXCLK được chia làm 2 đoạn là TXCLK và MII_TXCLK gồm :

U14 => R134 (1) là TXCLK

R134 (2) => U5 : MI_TXCLK

⇒ TX CLK = TXCLK + MII_TXCLK

Dùng xSignal để nối 2 đoạn này làm 1 net duy nhất để thuận tiện cho việc Length Matching

3.4.3. MII RX

Tương tự như MII TXCLK ở đây toàn bộ bus MII RX (RXCLK, R0...R3, RXDV, RXE) đều có 2 đoạn từ U14 => R => U5.

3.5. Flash Card Emmc

Tương tự như MII của Ethernet ở đây sẽ chia ra làm 2 phần để length matching 2 phần riêng biệt với nhau.

1. P8 đến U13.
2. U13 đến U5.

4. So sánh giữa các phiên bản với nhau

Lưu ý : Đơn vị sử dụng ở đây là mil (1 mil = 0.0254 mm)

4.1. Ethernet

Theo Layout Guideline của Texas Instrument : **Ethernet PHY PCB Design Layout Checklist (Lysny Woodahl – June/2021)**

-Đối với Differential Pair :

Chiều dài tối đa : 2000 mils

Chênh lệch về độ dài tối đa 2 net trong cặp Pair : 50 mils

- Đối với MII Nets :

Chiều dài tối đa : 6000 mils

Chênh lệch về độ dài tối đa của các net trong MII net như sau :

 MII TX : 50 mils

 MII RX : 50 mils

Net	Bản gốc	Bản 1	Bản 2
RXP	684.4	787.2	697.5
RXN	784.4	787.1	697.3
Sai số	100	0.1	0.2

Bảng 1 : : Chiều dài Differential Pair RX của Ethernet

Net	Bản gốc	Bản 1	Bản 2
TXP	759.2	836.8	812.5
TXN	852.2	772.5	812.3
Sai số	107	64.3	0.2

Bảng 2 : : Chiều dài Differential Pair TX của Ethernet

Net	Bản gốc	Bản 1	Bản 2
MII RX0	1107.77	1071.77	1190.02
MII RX1	1098.9	1064.96	1190.43
MII RX2	1199.66	1078.18	1190.02
MII RX3	1097.144	1132.45	1190.32
MII RXCLK	1234.84	1173.18	1190.16
MII RXDV	1246.48	1185.74	1190.32
MII RXERR	1109.53	1084.82	1190.32
Trace dài nhất	1246.48	1185.74	1190.43
Trace ngắn nhất	1097.144	1071.77	1190.02
Sai số	149.3	114	0.41

Bảng 3 : Chiều dài các net trong MII RX

Net	Bản gốc	Bản 1	Bản 2
MII TXCLK	1248.4	1482.942	1016.561
MII TX0	1203.3	1155.109	1016.319
MII TX1	1129.9	1152.892	1016.998
MII TX2	1128	1159.827	1016.783
MII TX3	1229.6	1155.777	1016.602
MII TXEN	1198.9	1153.381	1016.4
Trace dài nhất	1248.4	1482.9	1016.9
Trace ngắn nhất	1128	1152.8	1016.3
Sai số	120.4	330.1	0.6

Bảng 4 : : Chiều dài các net trong MII TX

4.2. DDR3

Theo Layout guideline từ Texas Instrument : DDR3 Design Requirements for KeyStone Devices (2018)

Length Matching Tolerance :

CLK Pair : ± 3 mils

ADD/CMD, Control và CLK : ± 20 mils

ADD/CMD : ± 20 mils

Control : ± 20 mils

DQS Pairs to CLK : ± 10 mils

DQS Pairs : ± 1 mil

DQ Group : ± 10 mils

Net	Bản gốc	Bản 1	Bản 2
DDR_D0	940.7	950.4	933.6
DDR_D1	941.1	928.7	933.0
DDR_D2	918.8	934.1	933.8
DDR_D3	1037.3	943.2	933.4
DDR_D4	940.6	946.6	935.2
DDR_D5	939	943	938.1
DDR_D6	938.7	942	933.4
DDR_D7	939.8	916.3	934.5
DDR_DQM0	1046	938.8	933.1
DDR_DQS0	915.7	944.6	933.9
DDR_DQSN0	915.7	942.3	933.4
Trace dài nhất	1046	950.4	938.1
Trace ngắn nhất	915.7	916.3	933
Sai số	130.3	34.1	5.1
DDR_D8	799	949.3	933.7
DDR_D9	821.7	945.7	933.3
DDR_D10	918.1	942.1	933.5
DDR_D11	916.3	943.8	933.9
DDR_D12	915.5	943.4	933.1
DDR_D13	818.7	929.9	933.7
DDR_D14	917.5	942	933.2
DDR_D15	792.5	944.5	933.7
DDR_DQM1	793.8	930.8	933.9
DDR_DQS1	917.5	944.2	933.1
DDR_DQSN1	918	944.3	933.5
Trace dài nhất	917.5	949.3	933.9
Trace ngắn nhất	799	930.8	933.1
Sai số	118.5	18.5	0.8

Bảng 5 : : Chiều dài các net trong Data Low/High Byte trong DDR

Net	Bản gốc	Bản 1	Bản 2
DDR_A0	1061.5	942.5	933.8
DDR_A1	969.4	965.2	933.1
DDR_A2	964.1	926.2	933
DDR_A3	965.9	944.7	933.
DDR_A4	963.5	946.1	933
DDR_A5	965.2	943.3	933.7
DDR_A6	1066.1	1003.5	935.9
DDR_A7	1063.8	944.9	933.6
DDR_A8	1061.2	943.3	933.4
DDR_A9	969.1	930.8	933.5
DDR_A10	965.4	925.7	933.3
DDR_A11	1060.9	976.1	933.3
DDR_A12	970.6	942.6	938.8
DDR_A13	1065.2	972.1	933.9
DDR_A14	1064.7	959.1	934.0
DDR_A15	949.8	945	933.5
DDR_BA0	971.7	945.5	933.4
DDR_BA1	970.9	945.0	933.6
DDR_BA2	971.8	944.8	932.5
DDR_ODT	971.5	942.1	933.
DDR_RASN	966.2	935.2	933.3
DDR_WEN	965	942.1	933.4
Trace dài nhất	1066.2	1003.5	935.9
Trace ngắn nhất	963.5	925.7	933
Sai số	102.7	77.8	2.9

Bảng 6 : : Chiều dài các net ADD/CMD & Control trong DDR3

4.3. eMMC

Theo Layout guideline của Analog Devices

Length Matching Tolerance :

Data [0 : 7] với nhau : ± 250 mils

Data [0 : 7] với CLK : ± 250 Mils

Đã đề cập ở mục 8. Các net của eMMC Memory phải chia làm 2 phần.

Net	Bản gốc	Bản 1	Bản 2
MMC1_CLK_PP8	962.7	938	971.7
MMC1_CMD_PP8	1019.2	1203	971.9
MMC1_DAT0_PP8	844.2	1300.4	971.3
MMC1_DAT1_PP8	872.8	1369.4	971.2
MMC1_DAT2_PP8	595.2	720	971.9
MMC1_DAT3_PP8	562.6	725.1	971.4
MMC1_DAT4_PP8	800.4	1307.8	971.8
MMC1_DAT5_PP8	788.6	1348.2	971.6
MMC1_DAT6_PP8	655.9	811.5	971
MMC1_DAT7_PP8	720.2	854	971
Trace dài nhất	1019.2	1369.4	971.98
Trace ngắn nhất	562.6	720	971
Sai số	456.6	694.4	0.9

Bảng 7 : Chiều dài các net trong eMMC Memory (từ P8 – U13)

Net	Bản gốc	Bản 1	Bản 2
MMC1_CLK_PP8	1586.4	1744.7	1442.2
MMC1_CMD_PP8	1804.3	1567.0	1442.2
MMC1_DAT0_PP8	1318.6	1679.7	1442
MMC1_DAT1_PP8	1625.4	1634	1442
MMC1_DAT2_PP8	852	1142.1	1442.1
MMC1_DAT3_PP8	867.3	1151.5	1442.4
MMC1_DAT4_PP8	1469.2	1730.2	1450.1
MMC1_DAT5_PP8	1535.4	1643	1442
MMC1_DAT6_PP8	861.7	1062.7	1442
MMC1_DAT7_PP8	798.2	1018.5	1442.1
Trace dài nhất	1804.3	1744.7	1442.44
Trace ngắn nhất	798.2	1018.5	1442
Sai số	1006.1	762.2	0.44

Bảng 8 : Chiều dài các net trong eMMC Memory (từ U13 – U5)

4.4. HDMI

Theo Layout guideline của Analog Devices

Length Matching Tolerance :

2 net trong một cặp Pair : ± 120 mils

Giữa các cặp Pair : ± 120 mils

Net	Bản gốc	Bản 1	Bản 2
HDMI_TX0+	1321.2	1421.4	1093.6
HMDI_TX0-	1322	1424.9	1093.4
HDMI_TX1+	1321.7	1415.7	1094.4
HMDI_TX1-	1324.3	1411.7	1093
HDMI_TX2+	1322.0	1394.1	1093.8
HMDI_TX2-	1322	1443.6	1094.9
HDMI_TXC+	1323.6	1421.3	1095.7
HMDI_TXC-	1321.7	1414.5	1096.11

Bảng 9 : Chiều dài các net trong HDMI

5. Tổng kết

5.1. Những điều đã cải thiện :

Phiên bản layout thứ 2 đã cải thiện hơn so với 2 phiên bản trước đó.

- Phần lớn các VIA đều đã thẳng hàng, khoảng trống giữa 2 VIA hợp lý nên dễ dàng routing và board mạch nhìn thẩm mỹ hơn.

- Stitching VIA và đã phủ Polygon DGND ở những chỗ không gian trống để tăng khả năng chống nhiễu và tránh hiện tượng cong board mạch.

- Differential Pair đã được thêm các Return VIA và đảm bảo length matching hợp lý.

- Phần nguồn đã được layout hợp lý hơn, đảm bảo điện áp/ dòng đầu ra ít độ gợn nhất có thể.

- Thạch anh đã được bảo vệ để mạch có thể hoạt động bình thường. Ngoài ra còn có thêm các Plane GND ở dưới để thạch anh có đường về.

- Làm mịn, phẳng các góc nhọn ở các Polygon lại.

- Giảm độ lớn của Teardrop lại 20%.

- Đảm bảo length matching giữa các bus với nhau có độ sai số thấp nhất và tuân thủ theo các Layout guideline.

Bên cạnh đó. Phiên bản layout thứ 2 đã giảm chiều dài của các cặp pair cũng như bus tín hiệu xuống cũng như sai số giữa các net với nhau cũng giảm xuống mức thấp nhất <1 mil (ngoại trừ DDR3).

5.2. Những điểm chưa cải thiện được :

Một số VIAs chưa theo Grid và đặt sát nhau.

Vẫn còn việc 3-4 pin phải chia sẻ chung 1 VIA.

Các tụ lọc vẫn chưa được layout 1 cách tốt nhất do còn share VIAs.

Một số net cần tham chiếu với Plane VCC, làm cho các net không thể gửi và truyền nhận. làm cho return trở nên dài hơn nếu không có Return VIA.

Chưa đặt GND_OSC1 ở dưới Y1 do hạn chế về không gian cũng như sẽ Split Plane GND và ảnh hưởng đến các trace khác.