

ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH



BÀI THÍ NGHIỆM 1
MÔN HỌC: HỆ THỐNG SỐ

Nhóm: 04

GVHD: Huỳnh Hoàng Kha

Sinh viên:

Họ và tên	MSSV
Phạm Trần Đức Hạnh	2310896
Đào Xuân Sơn	2312954
Trần Lê Gia Thoại	2313323

A. Checklist đầu buổi

Checklist này cần được hoàn thành vào đầu buổi học

STT	Nội dung	Hoàn thành
1	Khu vực quanh KIT TN trống trải, gọn gàng	
2	KIT thí nghiệm đã chạy self-test và xác định không có dấu hiệu lỗi	
3	Các inputs và outputs của KIT hoạt động bình thường	
4	Đo hiệu điện thế nguồn VCC của KIT đạt 5V	

Lưu ý quan trọng:

- Nếu KIT thí nghiệm có lỗi, các nhóm cần phát hiện ngay từ đầu buổi và báo cáo với Giảng viên để đổi KIT khác. Nếu giữa buổi mới báo cáo vấn đề liên quan đến KIT thí nghiệm, các trường hợp demo mạch thất bại do lỗi của KIT sẽ không được xem xét.

B. Checklist cuối buổi

Checklist này cần được hoàn thành vào cuối buổi học

STT	Nội dung	Hoàn thành
1	Tất cả các dây nối đã được gỡ và phân loại	
2	Tất cả các IC đều đã được rời lỏng trước khi nhấc ra khỏi breadboard	
3	Tất cả các IC đều đã được phân loại và trả lại đúng ngăn đựng	
4	Thu dọn và trả KIT thí nghiệm	
5	Thu dọn và hoàn trả VOM	
6	Thu dọn và hoàn trả oscilloscope (nếu có)	
7	Dọn sạch khu vực làm việc	

Lưu ý quan trọng:

- Các nhóm cần thực hiện nghiêm túc checklist cuối buổi, đảm bảo giữ gìn phòng thí nghiệm gọn gàng, sạch đẹp; đảm bảo các thiết bị đã mượn được trả lại đầy đủ, cất giữ đúng nơi quy định.

C. Phần chuẩn bị cho từng bài tập

Bài 1: Randomly select TWO 74-Series ICs out of the list in Figure 7 and exam their functions using Logisim, Digital System KIT and V.O.M.

Requirement: Design, simulate and implement a testing circuit with each IC, in which input and output pins are connected to SWITCH and LED respectively. Use VOM to measure voltage values of output signals. Figure 8 shows how to assemble circuit in DS KIT and measure Voltage with V.O.M.

Bước 1: Chọn ICs: IC 7402 và IC 7408.

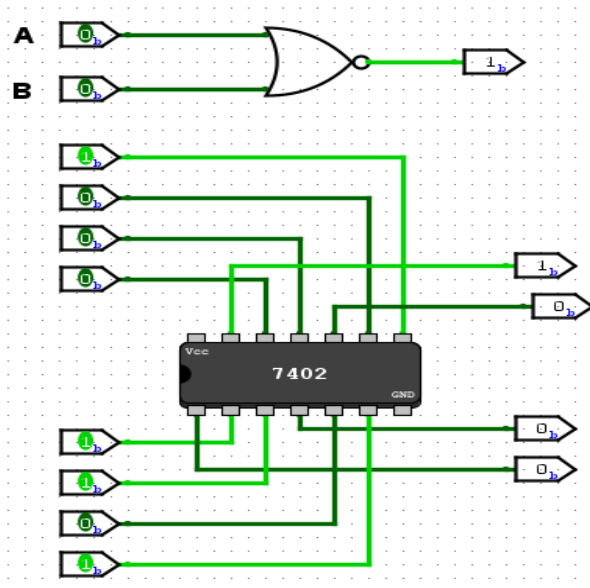
Bước 2: Thiết kế mạch logic.

1. IC 7402:

- Bảng thực trị:

A	B	$X=(A+B)'$
0	0	1
0	1	1
1	0	1
1	1	0

- Sơ đồ mạch/ sơ đồ lắp đặt:



Chú thích: Chỉ khi cả hai INPUT là 0 thì OUTPUT mới là 1.

- **Net list:**

Đầu thứ nhất	Đầu còn lại
5V	Chân 14
GND	Chân 7
SW1	Chân 2
SW2	Chân 3
Chân 1	LED 0

Check list

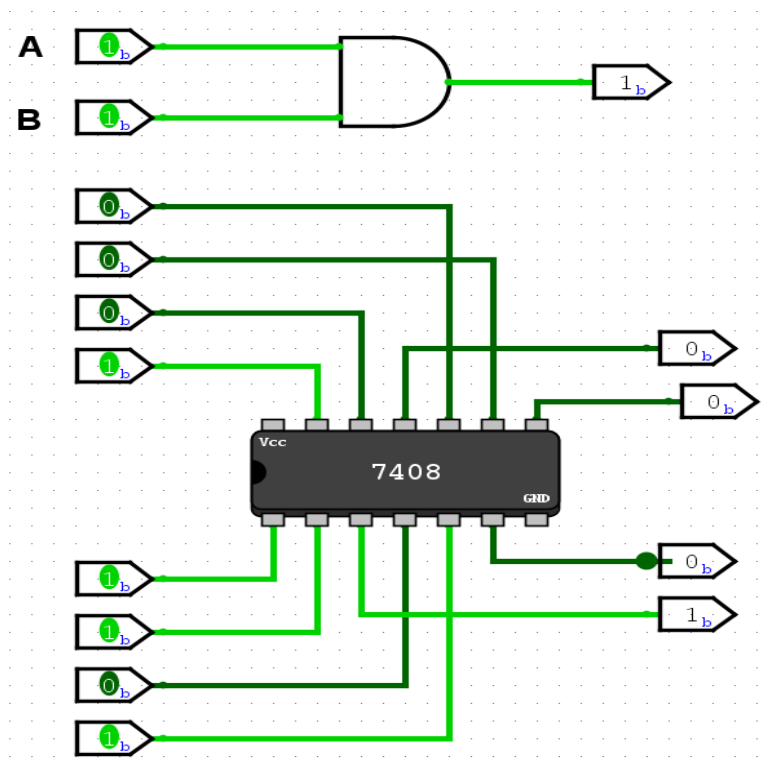
STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	
6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	

2. IC 7408:

- **Bảng thực trị:**

A	B	X=AB
0	0	0
0	1	0
1	0	0
1	1	1

- **Sơ đồ mạch/ sơ đồ lắp đặt:**



Chú thích: Chỉ khi cả hai INPUT là 1 thì OUTPUT mới là 1.

- Net list

Đầu thứ nhất	Đầu còn lại
5V	Chân 14
GND	Chân 7
SW1	Chân 1
SW2	Chân 2
Chân 3	LED 0

Check list

STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	

6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	

2.4.2. Design, simulate and implement the following Boolean expressions using 7404s, 7408s, 7432s.

a. $X = AB + \bar{C}$

b. $Y = (A + B)\bar{C}$

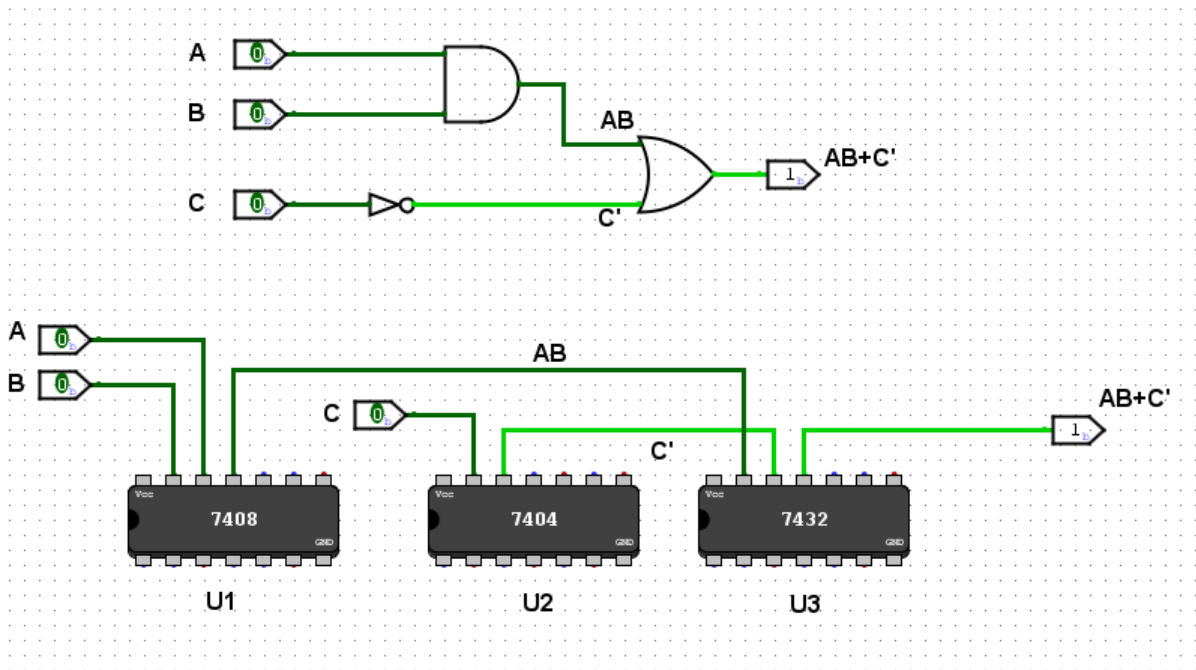
Bài làm

a. $X=AB + C'$

- Bảng thực trị:

C	B	A	C'	AB	$X=AB+C'$
0	0	0	1	0	1
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	1	1

- Sơ đồ mạch/ Sơ đồ lắp đặt:



- Net list:

Đầu thứ nhất	Đầu thứ hai
5V	Chân 14 của U1
GND	Chân 7 của U1
SW0 (B)	Chân 13 của U1
SW1 (A)	Chân 12 của U1
Chân 11 của U1	Chân 13 của U3
5V	Chân 14 của U2
GND	Chân 7 của U2
SW2 (C)	Chân 13 của U2
Chân 12 của U2	Chân 12 của U3
5V	Chân 14 của U3
GND	Chân 7 của U3
Chân 11 của U3	LED 0

Check list

STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	

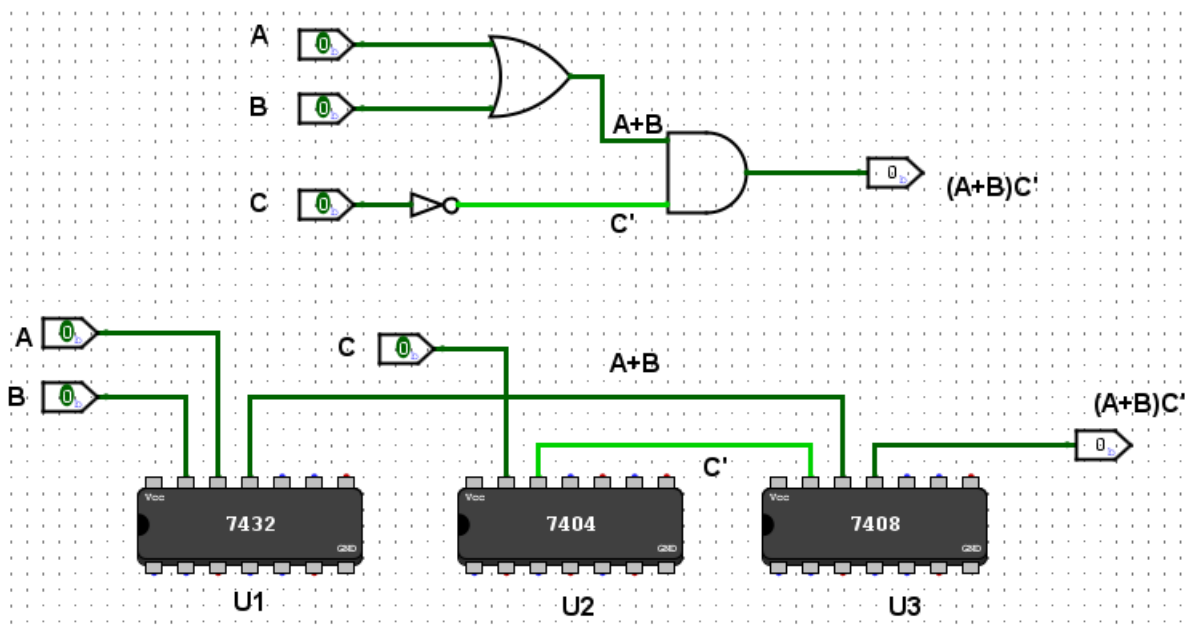
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	
6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	

b. $X = (A+B)C'$

- Bảng thực trị:

C	B	A	A+B	C'	$X=(A+B)C'$
0	0	0	0	1	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

- Sơ đồ mạch/ sơ đồ lắp đặt:



-Net list:

Đầu thứ nhất	Đầu thứ hai
5V	Chân 14 của U1
GND	Chân 7 của U1
SW0 (B)	Chân 13 của U1
SW1 (A)	Chân 12 của U1
Chân 11 của U1	Chân 12 của U3
5V	Chân 14 của U2
GND	Chân 7 của U2
SW2 (C)	Chân 13 của U2
Chân 12 của U2	Chân 13 của U3
5V	Chân 14 của U3
GND	Chân 7 của U3
Chân 11 của U3	LED 0

Check list

STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	
6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	

2.4.3. Simplify the following Boolean expressions. Then, design, simulate and implement the minimized circuits using 7404s, 7408s, 7432s.

a. $Z = (M + N)(\bar{M} + P)(\bar{N} + \bar{P})$

b. $W = \bar{A}(A + B) + (B + AA)(A + \bar{B})$

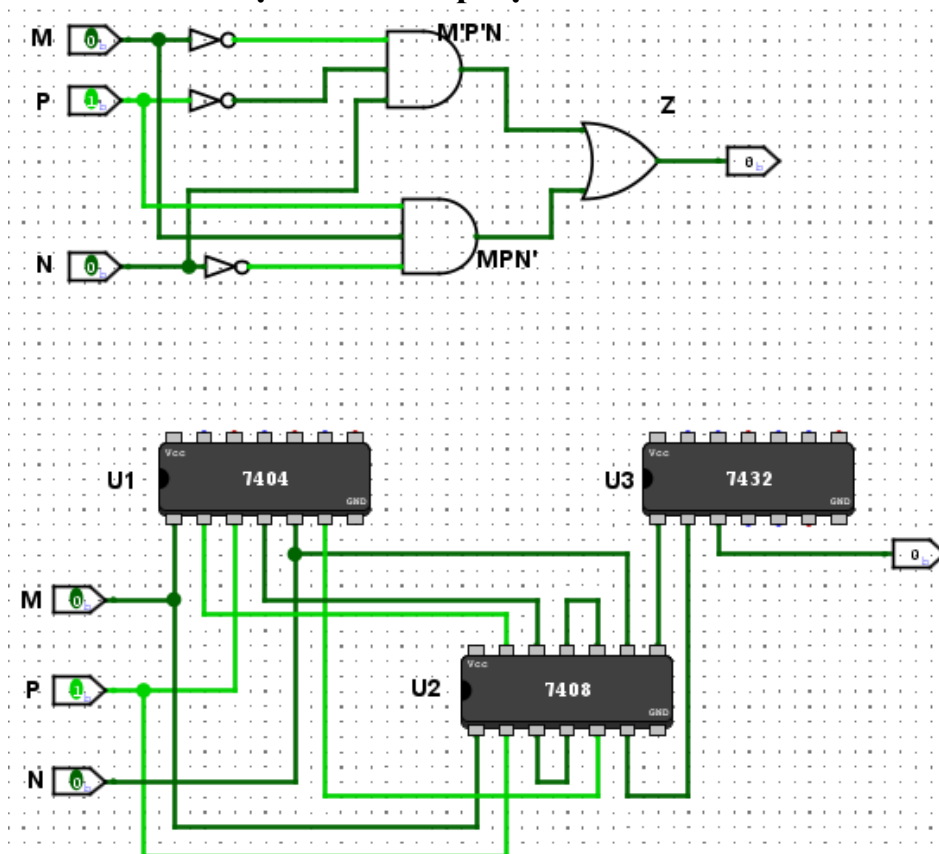
Bài làm

a. $Z = (M + N)(M' + P)(N' + P') = (MP + NM' + NP)(N' + P')$
 $= MN'P + M'NP'$.

- Bảng thực trị:

P	N	M	PN'M	P'NM'	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	1	0	0	0

- Sơ đồ mạch/ Sơ đồ lắp đặt:



- Net list:

Đầu thứ nhất	Đầu thứ hai
5V	Chân 14 của U1
GND	Chân 7 của U1
SW0 (M)	Chân 1 của U1
Chân 2 của U1	Chân 13 của U2
SW1 (P)	Chân 3 của U1
Chân 4 của U1	Chân 12 của U2
SW2 (N)	Chân 5 của U1
Chân 6 của U1	Chân 5 của U2
Chân 1 của U1	Chân 1 của U2
Chân 5 của U1	Chân 9 của U2
Chân 3 của U1	Chân 2 của U2
5V	Chân 14 của U2
GND	Chân 7 của U2
Chân 3 của U2	Chân 4 của U2
Chân 10 của U2	Chân 11 của U2
Chân 8 của U2	Chân 1 của U3
Chân 6 của U2	Chân 2 của U3
5V	Chân 14 của U3
GND	Chân 7 của U3
Chân 3 của U3	LED 0

Check list

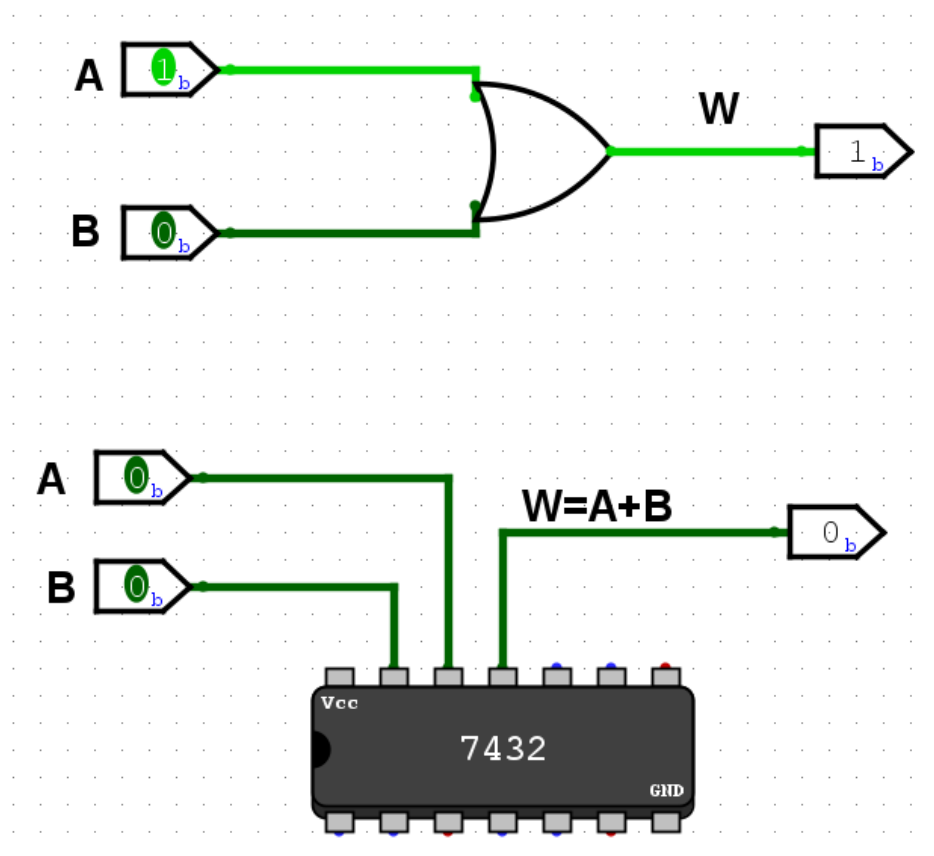
STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	
6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	

b. $W = A'(A+B) + (B+AA)(A+B') = A'B + AB + AB' = B + AB' = A+B$.

- Bảng thực trị:

A	B	$W=A+B$
0	0	0
0	1	1
1	0	1
1	1	1

- Sơ đồ mạch/ Sơ đồ lắp đặt:



- Net list:

Đầu thứ nhất	Đầu thứ hai
5V	Chân 14
GND	Chân 7
SW0 (B)	Chân 13
SW1 (A)	Chân 12
Chân 11	LED 0

Check list

STT	Nội dung	Hoàn thành
1	KIT thí nghiệm đã tắt trước khi cắm IC	
2	Kiểm tra và nắn lại chân IC	
3	Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard	
4	Các chân IC đã được kết nối điện với breadboard	
5	Tất cả các kết nối giữa KIT và chân IC đều tốt	
6	VCC và GND trên KIT không bị chạm nhau (không đoản mạch)	
7	Chân CLK (nếu có dùng) không chạm với VCC hoặc GND	
8	Hiệu điện thế giữa VCC và GND của IC đạt 5V	
9	Đã test và chụp hình đủ các trường hợp	