**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC BÁCH KHOA**

**KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH**



**BÀI THÍ NGHIỆM 3**

**MÔN HỌC: HỆ THỐNG SỐ**

**Nhóm: 04**

**GVHD: Huỳnh Hoàng Kha**

**Sinh viên:**

|  |  |
| --- | --- |
| **Họ và tên** | **MSSV** |
| Phạm Trần Đức Hạnh | 2310896 |
| Đào Xuân Sơn | 2312954 |
| Trần Lê Gia Thoại | 2313323 |

**2023**

1. **Checklist đầu buổi**

Checklist này cần được hoàn thành vào đầu buổi học

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | Khu vực quanh KIT TN trống trải, gọn gàng |  |
| 2 | KIT thí nghiệm đã chạy self-test và xác định không có dấu hiệu lỗi |  |
| 3 | Các inputs và outputs của KIT hoạt động bình thường |  |
| 4 | Đo hiệu điện thế nguồn VCC của KIT đạt 5V |  |

**Lưu ý quan trọng:**

* *Nếu KIT thí nghiệm có lỗi, các nhóm cần phát hiện ngay từ đầu buổi và báo cáo với Giảng viên để đổi KIT khác. Nếu giữa buổi mới báo cáo vấn đề liên quan đến KIT thí nghiệm, các trường hợp demo mạch thất bại do lỗi của KIT sẽ không được xem xét.*

1. **Checklist cuối buổi**

Checklist này cần được hoàn thành vào cuối buổi học

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | Tất cả các dây nối đã được gỡ và phân loại |  |
| 2 | Tất cả các IC đều đã được nới lỏng trước khi nhấc ra khỏi breadboard |  |
| 3 | Tất cả các IC đều đã được phân loại và trả lại đúng ngăn đựng |  |
| 4 | Thu dọn và trả KIT thí nghiệm |  |
| 5 | Thu dọn và hoàn trả VOM |  |
| 6 | Thu dọn và hoàn trả oscilloscope (nếu có) |  |
| 7 | Dọn sạch khu vực làm việc |  |

**Lưu ý quan trọng:**

* *Các nhóm cần thực hiện nghiêm túc checklist cuối buổi, đảm bảo giữ gìn phòng thí nghiệm gọn gàng, sạch đẹp; đảm bảo các thiết bị đã mượn được trả lại đầy đủ, cất giữ đúng nơi quy định.*

**Phần chuẩn bị cho từng bài tập**

**Bài 1:Design, simulate and implement a D Flip-flop using J-K Flip-flops (allowed to use other logic gates if necessary).**

**Bài làm**

***Checklist***

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | **KIT thí nghiệm đã tắt trước khi cắm IC** | X |
| 2 | Kiểm tra và nắn lại chân IC | X |
| 3 | Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard |  |
| 4 | Các chân IC đã được kết nối điện với breadboard |  |
| 5 | Tất cả các kết nối giữa KIT và chân IC đều tốt |  |
| 6 | **VCC và GND trên KIT không bị chạm nhau (không đoản mạch)** |  |
| 7 | **Chân CLK (nếu có dùng) không chập với VCC hoặc GND** |  |
| 8 | Hiệu điện thế giữa VCC và GND của IC đạt 5V |  |
| 9 | Đã test và chụp hình đủ các trường hợp |  |

**1.1. Phân tích đề bài:**

**-**Ta có D là đầu vào bên ngoài và J, K là đầu vào thực tế của flip-flop. J, K được thể hiện bằng D, Qn. Ta có bảng chuyển đổi sang J,K như sau, với Qn+1 là trạng thái tiếp theo của Qn khi CLK kích cạnh:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input D** | **Qn** | **Qn+1** | **J** | **K** |
| 0 | 0 | 0 | 0 | x |
| 0 | 1 | 0 | x | 1 |
| 1 | 0 | 1 | 1 | x |
| 1 | 1 | 1 | x | 0 |

**1.2. Sử dụng K-map để tìm biểu thức boolean của J và K theo D:**

|  |  |  |
| --- | --- | --- |
| Qn  D | 0 | 1 |
| 0 | 0 | x |
| 1 | 1 | x |

|  |  |  |
| --- | --- | --- |
| Qn  D | 0 | 1 |
| 0 | x | 1 |
| 1 | x | 0 |

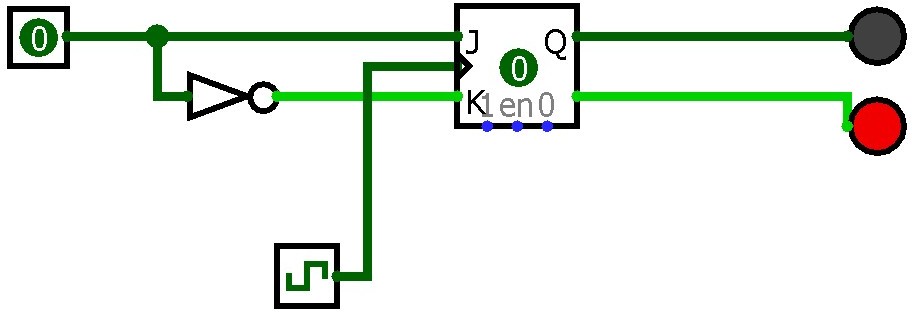
J=D K=D



**1.3. Ta có Truth Table:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input D** | **CLK** | **J=D** | **K=D’** | **Output Q** |
| 0 |  | 0 | 1 | 0 |
| 1 |  | 1 | 0 | 1 |

**1.4. Sơ đồ nguyên lý/ lắp đặt:**



D’

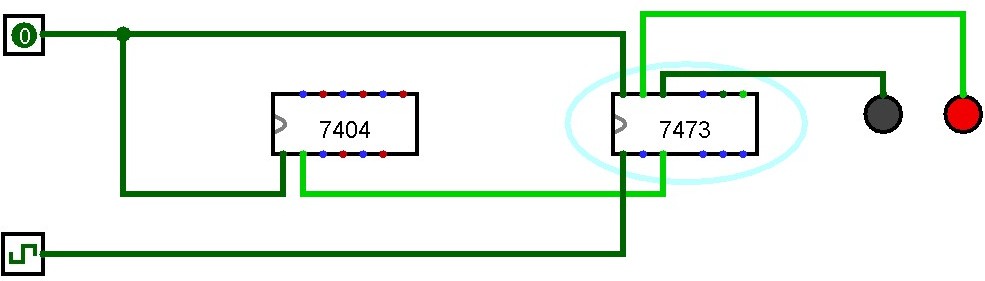
LED1(Q’)

LED0(Q)

CLK

SW0(D)

*Sơ đồ nguyên lý*



SW0(D)

LED1

LED0

D’

CLK

*Sơ đồ lắp đặt*

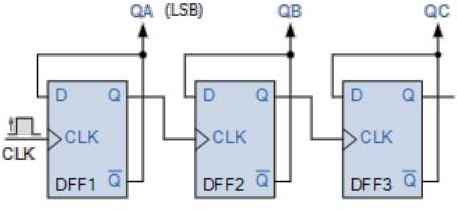
**1.5. Net list:**

|  |  |  |
| --- | --- | --- |
| **STT** | **Đầu 1** | **Đầu 2** |
| 1 | 5V | Chân 14-IC7404 |
| 2 | 5V | Chân 4-IC7473 |
| 3 | GND | Cổng 11-IC7473 |
| 4 | GND | Cổng 7-IC7404 |
| 5 | SW0 | Cổng 1-IC7404 |
| 6 | SW0 | Cổng 14-IC7473 |
| 7 | CLK0 | Cổng 1-IC7473 |
| 8 | Cổng 2-IC7404 | Cổng 3-IC7473 |
| 9 | Cổng 13-IC7473 | LED1 |
| 10 | Cổng 12-IC7473 | LED0 |

1. **Bài 2: Design, simulate and implement the following logic circuit.**

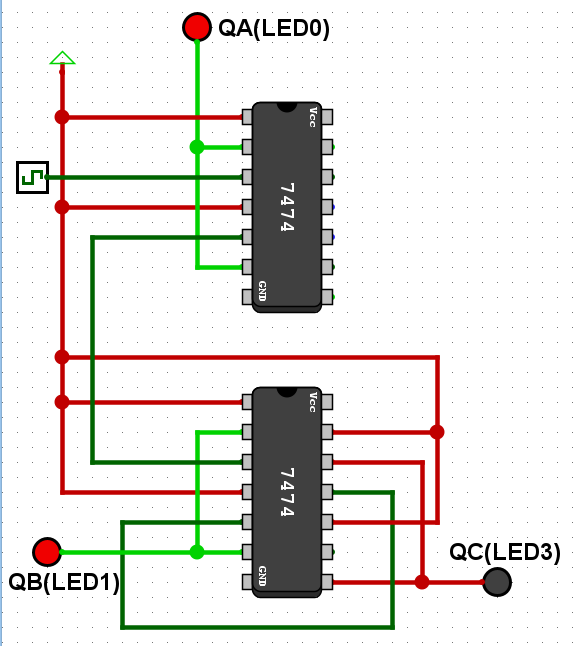
**Bài làm**

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | **KIT thí nghiệm đã tắt trước khi cắm IC** |  |
| 2 | Kiểm tra và nắn lại chân IC |  |
| 3 | Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard |  |
| 4 | Các chân IC đã được kết nối điện với breadboard |  |
| 5 | Tất cả các kết nối giữa KIT và chân IC đều tốt |  |
| 6 | **VCC và GND trên KIT không bị chạm nhau (không đoản mạch)** |  |
| 7 | **Chân CLK (nếu có dùng) không chập với VCC hoặc GND** |  |
| 8 | Hiệu điện thế giữa VCC và GND của IC đạt 5V |  |
| 9 | Đã test và chụp hình đủ các trường hợp |  |

* 1. **Bảng thực trị:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **CLK** | **Số đếm trong hệ thập phân** | **Q3(LED2)** | **Q2(LED1)** | **Q3(LED0)** |
|  | 0 | 0 | 0 | 0 |
|  | 1 | 0 | 0 | 1 |
|  | 2 | 0 | 1 | 0 |
|  | 3 | 0 | 1 | 1 |
|  | 4 | 1 | 0 | 0 |
|  | 5 | 1 | 0 | 1 |
|  | 6 | 1 | 1 | 0 |
|  | 7 | 1 | 1 | 1 |

* 1. **Sơ đồ lắp đặt:**

****

* 1. **Netlist:**

|  |  |  |
| --- | --- | --- |
| **STT** | **Đầu 1** | **Đầu 2** |
| 1 | 5V | Cổng 1-IC7474(1) |
| 2 | 5V | Cổng 4- IC7474(1) |
| 3 | 5V | Cổng 14- IC7474(1) |
| 4 | 5V | Cổng 1- IC7474(2) |
| 5 | 5V | Cổng 4- IC7474(2) |
| 6 | 5V | Cổng 10- IC7474(2) |
| 7 | 5V | Cổng 13- IC7474(2) |
| 8 | 5V | Cổng 14- IC7474(2) |
| 9 | GND | Cổng 7- IC7474(1) |
| 10 | GND | Cổng 7- IC7474(2) |
| 11 | CLK | Cổng 3 IC7474(1) |
| 12 | Cổng 5- IC7474(1) | Cổng 3- IC7474(2) |
| 13 | Cổng 5- IC7474(2) | Cổng 11-IC IC7474(2) |
| 14 | Cổng 6- IC7474(1) | LED0 |
| 15 | Cổng 2- IC7474(1) | LED0 |
| 16 | Cổng 6- IC7474(2) | LED1 |
| 17 | Cổng 2- IC7474(2) | LED1 |
| 18 | Cổng 8- IC7474(2) | LED2 |
| 19 | Cổng 12- IC7474(2) | LED2 |

* 1. **Trả lời câu hỏi:**

## *a, Giả sử QA, QB, QC được nối với LED. Hiện tượng của LED như thế nào? Mỗi* LED khác biệt với nhau như thế nào?

- Hiện tượng LED thu được là ta thấy những con LED bật tắt theo quy luật:

+ Khi QA thực hiện một chu kỳ bật tắt thì QB sẽ thay đổi trạng thái.

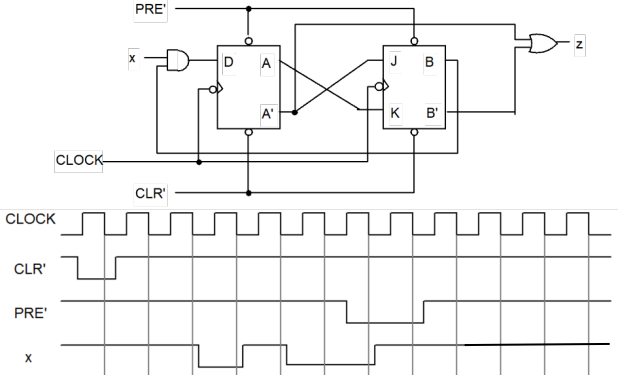
+ Khi QB thực hiện một chu kỳ bật tắt thì QC sẽ thay đổi trạng thái.

- Nếu ta xét đèn sáng là 1, đèn tắt là 0 và QA là số có trọng số nhỏ nhất, QC là số có trọng số cao nhất, ta có thể thấy được rằng các LED đang chạy từ 0 tới 7 (0002 tới 1112).

## *b, Cần tối thiểu bao nhiêu D flip-flop để dựng thành một mạch sao cho dầu ra của* mạch có tần số thấp hơn 16 lần so với tần số đầu vào của clock?

- Nếu đầu ra Q’ trên D flip-flop được nối trực tiếp với đầu vào D, các xung clock liên tiếp sẽ làm cho đầu ra Q thay đổi 2 chu kỳ đồng hồ một lần. Với mỗi D flip-flop như vậy, tần số đầu ra sẽ thất hơn 2 lần so với tần số đầu vào của clock.

-> Để đầu ra có tần số thấp hơn 16 lần so với tần số đầu vào, số D flip-flop tối thiểu cần có phải thỏa 2n ≥ 16 ↔ Q ≥ 4. Vậy cần tối thiểu 4 D flip-flop.

**Bài tập 3: (Advance) Given the circuit and waveform as follows.**

**a. Design and simulate the circuit in Logisim.**

**b. Complete the timing diagram for A, B, and z based on the given waveform.**

**Bài làm**

## 3.1. Ý tưởng giải quyết bài toán

Để giải quyết bài toán, ta sử dụng bảng chân trị của J-K, D flip flop kích cạnh xuống và đối chiếu với waveform để tính toán sơ đồ thời gian của A, B và z:

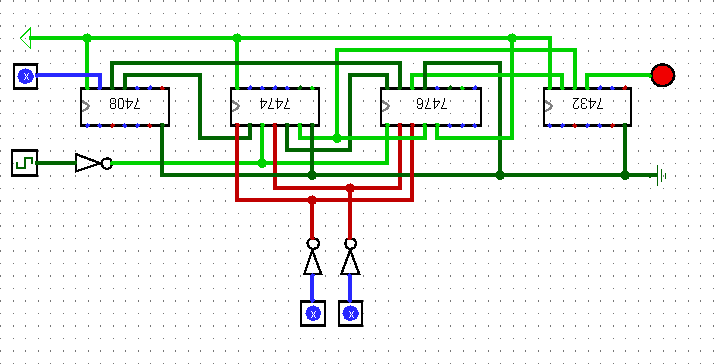
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **PRE’** | **CLR’** | **CLK** | **J** | **K** | **Q** | **Q’** |
| 0 | 1 | X | X | X | 1 | 0 |
| 1 | 0 | X | X | X | 0 | 1 |
| 0 | 0 | X | X | X | 1 | 1 |
| 1 | 1 | *↓* | 0 | 0 | No change | |
| 1 | 1 | *↓* | 1 | 0 | 1 | 0 |
| 1 | 1 | *↓* | 0 | 1 | 0 | 1 |
| 1 | 1 | *↓* | 1 | 1 | Toggle | |

*Bảng chân trị J-K flip flop kích cạnh xuống*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **PRE’** | **CLR’** | **CLK** | **D** | **Q** | **Q’** |
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 0 | X | X | 1 | 1 |
| 1 | 1 | *↓* | 1 | 1 | 0 |
| 1 | 1 | *↓* | 0 | 0 | 1 |
| 1 | 1 | 0 | X | No change | |
| 1 | 1 | 1 | X | No change | |

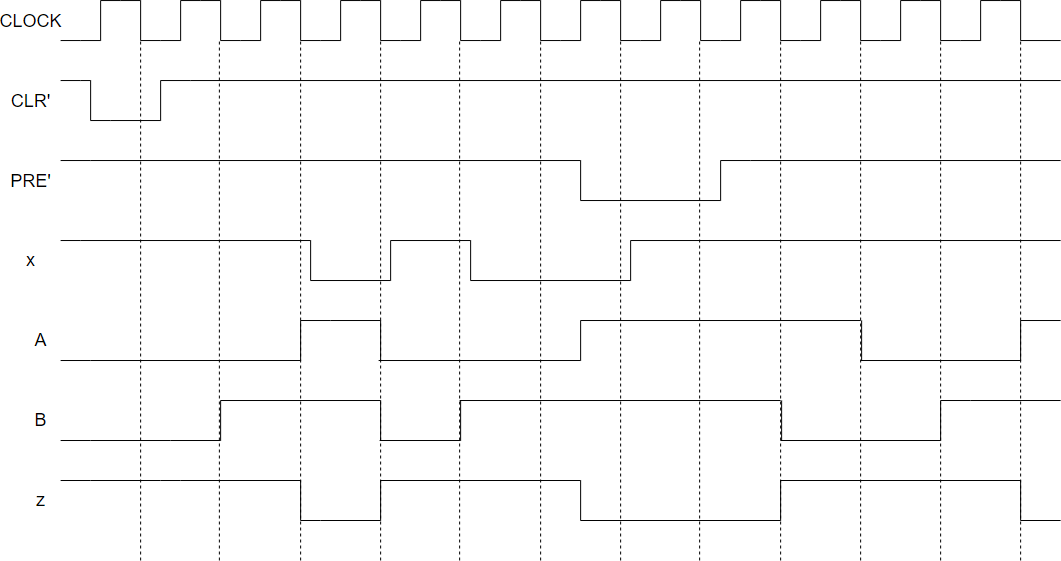
*Bảng chân trị D flip flop kích cạnh xuống*

**3.2 Sơ đồ lắp đặt:**



*Chú thích: Sử dụng cổng NOT để kích cạnh xuống xung CLOCK cho 2 flip flop.*

**3.3. Sơ đồ thời gian:**



**Phiếu chấm kết quả thí nghiệm Lab 3:**

|  |  |  |
| --- | --- | --- |
| NHÓM 04 | MSSV: 2310896  2312954  2312954 | |
| Bài thí nghiệm | Bài soạn | Thực hành |
| 1 |  |  |
| 2a |  |  |
| 2b |  |  |
| 2c |  |  |
| 3 |  |  |