**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC BÁCH KHOA**

**KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH**



**BÀI THÍ NGHIỆM 4**

**MÔN HỌC: HỆ THỐNG SỐ**

**Nhóm: 04**

**GVHD: Huỳnh Hoàng Kha**

**Sinh viên:**

|  |  |
| --- | --- |
| **Họ và tên** | **MSSV** |
| Phạm Trần Đức Hạnh | 2310896 |
| Đào Xuân Sơn | 2312954 |
| Trần Lê Gia Thoại | 2313323 |

**2023**

1. **Checklist đầu buổi**

Checklist này cần được hoàn thành vào đầu buổi học

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | Khu vực quanh KIT TN trống trải, gọn gàng |  |
| 2 | KIT thí nghiệm đã chạy self-test và xác định không có dấu hiệu lỗi |  |
| 3 | Các inputs và outputs của KIT hoạt động bình thường |  |
| 4 | Đo hiệu điện thế nguồn VCC của KIT đạt 5V |  |

**Lưu ý quan trọng:**

* *Nếu KIT thí nghiệm có lỗi, các nhóm cần phát hiện ngay từ đầu buổi và báo cáo với Giảng viên để đổi KIT khác. Nếu giữa buổi mới báo cáo vấn đề liên quan đến KIT thí nghiệm, các trường hợp demo mạch thất bại do lỗi của KIT sẽ không được xem xét.*

1. **Checklist cuối buổi**

Checklist này cần được hoàn thành vào cuối buổi học

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | Tất cả các dây nối đã được gỡ và phân loại |  |
| 2 | Tất cả các IC đều đã được nới lỏng trước khi nhấc ra khỏi breadboard |  |
| 3 | Tất cả các IC đều đã được phân loại và trả lại đúng ngăn đựng |  |
| 4 | Thu dọn và trả KIT thí nghiệm |  |
| 5 | Thu dọn và hoàn trả VOM |  |
| 6 | Thu dọn và hoàn trả oscilloscope (nếu có) |  |
| 7 | Dọn sạch khu vực làm việc |  |

**Lưu ý quan trọng:**

* *Các nhóm cần thực hiện nghiêm túc checklist cuối buổi, đảm bảo giữ gìn phòng thí nghiệm gọn gàng, sạch đẹp; đảm bảo các thiết bị đã mượn được trả lại đầy đủ, cất giữ đúng nơi quy định.*

**Phần chuẩn bị cho từng bài tập:**

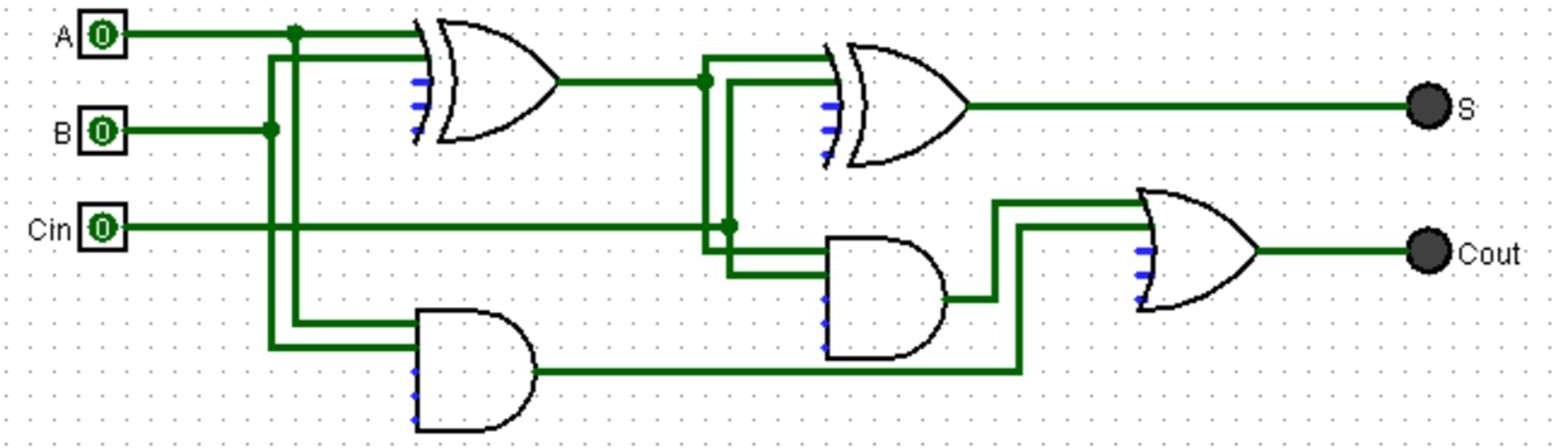
**Bài 1: Design and simulate a Full Adder built from Half Adders in Logisim.**

**Bài làm**

* 1. ***Checklist***

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | **KIT thí nghiệm đã tắt trước khi cắm IC** |  |
| 2 | Kiểm tra và nắn lại chân IC |  |
| 3 | Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard |  |
| 4 | Các chân IC đã được kết nối điện với breadboard |  |
| 5 | Tất cả các kết nối giữa KIT và chân IC đều tốt |  |
| 6 | **VCC và GND trên KIT không bị chạm nhau (không đoản mạch)** |  |
| 7 | **Chân CLK (nếu có dùng) không chập với VCC hoặc GND** |  |
| 8 | Hiệu điện thế giữa VCC và GND của IC đạt 5V |  |
| 9 | Đã test và chụp hình đủ các trường hợp |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **STT** | **Cin (SW-2)** | **B (SW-1)** | **A (SW-0)** | **Sum (LED-0)** | **Cout (LED-1)** |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 1 | 0 |
| 3 | 0 | 1 | 0 | 1 | 0 |
| 4 | 0 | 1 | 1 | 0 | 1 |
| 5 | 1 | 0 | 0 | 1 | 0 |
| 6 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 0 | 0 | 1 |
| 8 | 1 | 1 | 1 | 1 | 1 |

* 1. ***Bảng thực trị:***
  2. **Sơ đồ nguyên lý/ lắp đặt:**

**Sơ đồ nguyên lý**

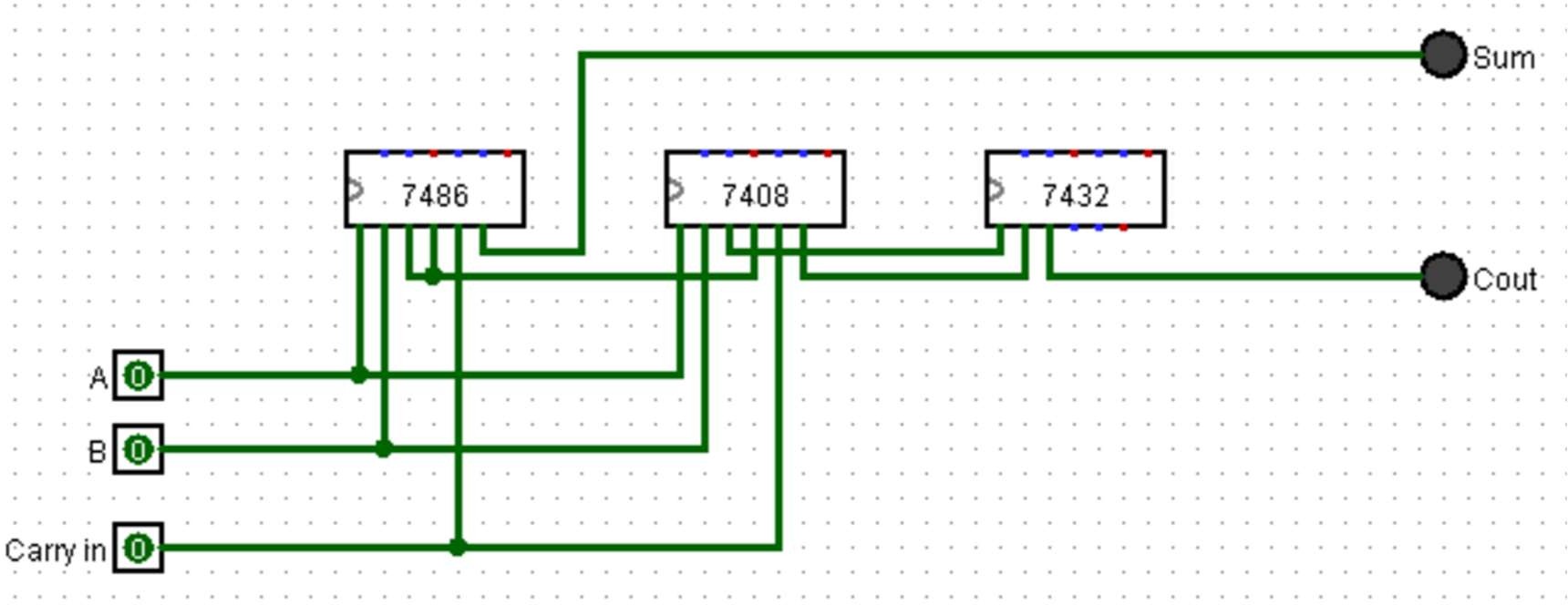
LED121

LED0

SW0

SW2WW

SW1



LED1

LED0

SW2

SW11

SW0

**Sơ đồ lắp đặt**

* 1. **Netlist:**

|  |  |
| --- | --- |
| Đầu thứ nhất | Đầu thứ hai |
| 5V | Chân 14 của U1 |
| GND | Chân 7 của U1 |
| 5V | Chân 14 của U2 |
| GND | Chân 7 của U2 |
| 5V | Chân 14 của U3 |
| GND | Chân 7 của U3 |
| SW0 | Chân 1 của U1 |
| SW0 | Chân 1 của U2 |
| SW1 | Chân 2 của U1 |
| SW1 | Chân 2 của U2 |
| SW2 | Chân 5 của U1 |
| SW2 | Chân 5 của U2 |
| Chân 3 của U1 | Chân 4 của U1 |
| Chân 4 của U1 | Chân 4 của U2 |
| Chân 6 của U1 | LED 0 |
| Chân 3 của U2 | Chân 1 của U3 |
| Chân 6 của U2 | Chân 2 của U3 |
| Chân 3 của U3 | LED 1 |

**Bài 2: Design, simulate and implement a 4-bit Ripple Carry Adder using IC 7483.**

**Bài làm**

*2.1. Checklist*

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | **KIT thí nghiệm đã tắt trước khi cắm IC** |  |
| 2 | Kiểm tra và nắn lại chân IC |  |
| 3 | Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard |  |
| 4 | Các chân IC đã được kết nối điện với breadboard |  |
| 5 | Tất cả các kết nối giữa KIT và chân IC đều tốt |  |
| 6 | **VCC và GND trên KIT không bị chạm nhau (không đoản mạch)** |  |
| 7 | **Chân CLK (nếu có dùng) không chập với VCC hoặc GND** |  |
| 8 | Hiệu điện thế giữa VCC và GND của IC đạt 5V |  |
| 9 | Đã test và chụp hình đủ các trường hợp |  |

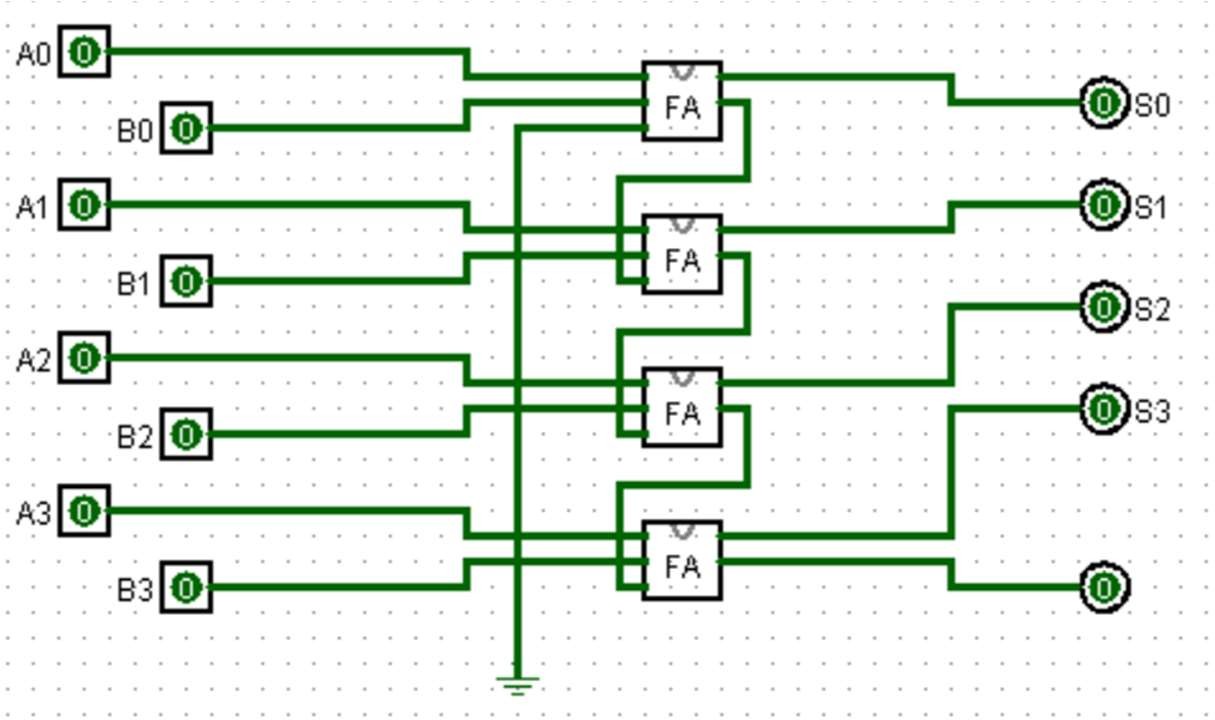
**2.2. *Phân tích đề bài:***

- Để cộng hai số A3A2A1A0 và B3B2B1B0, ta cộng từng cặp 2 bit ở vị trí tương ứng và nối Cout ở bit thấp vào Cin ở bit tiếp theo.

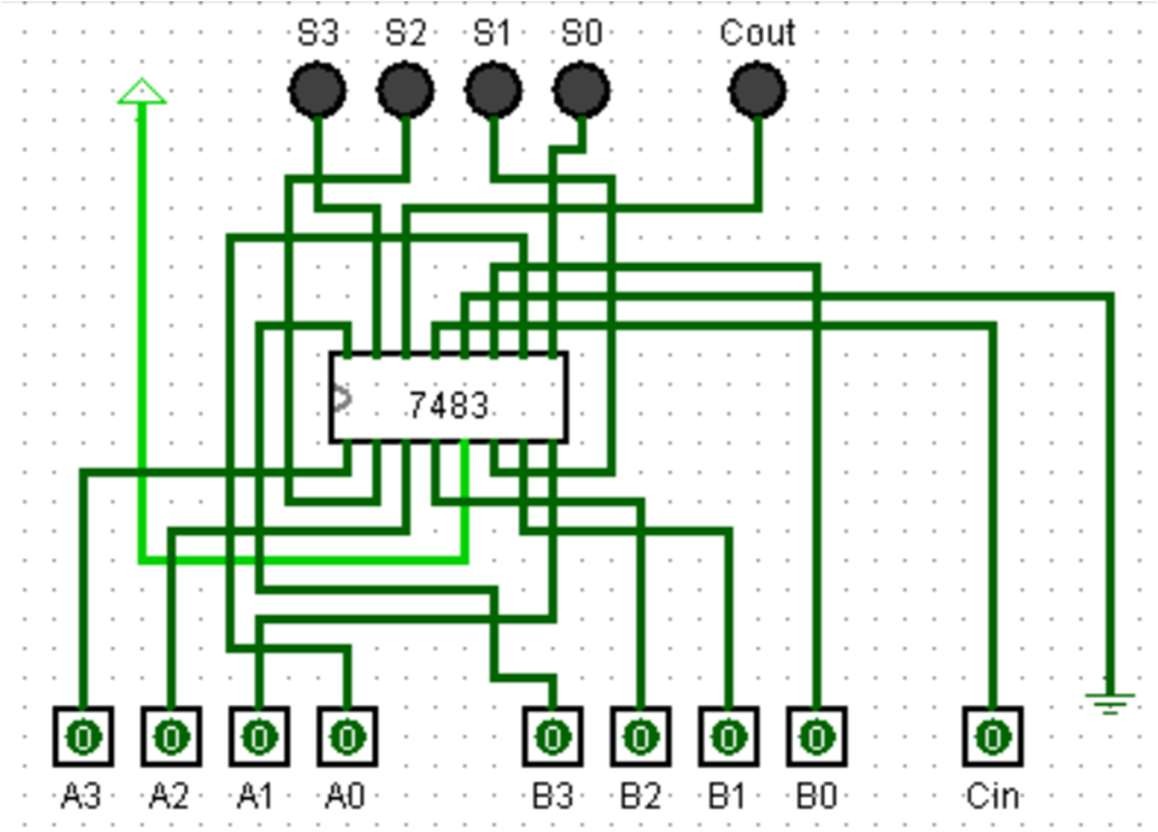
***Bảng thực trị:***

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **STT** | **A3 SW3** | **A2 SW2** | **A1 SW1** | **A0 SW0** | **B3 SW7** | **B2 SW6** | **B1 SW5** | **B0 SW4** | **Cin** | **S3 LED4** | **S2 LED3** | **S1 LED2** | **S0 LED1** | **Cout LED0** |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 4 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 5 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 8 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

***2.4. Sơ đồ nguyên lý/ lắp đặt:***



**Sơ đồ nguyên lý**

**Sơ đồ lắp đặt**

**2.5. Netlist:**

|  |  |
| --- | --- |
| Đầu thứ nhất | Đầu thứ hai |
| 5V | Chân 5 |
| GND | Chân 12 |
| SW0 | Chân 1 |
| SW1 | Chân 3 |
| SW2 | Chân 8 |
| SW3 | Chân 10 |
| SW4 | Chân 16 |
| SW5 | Chân 4 |
| SW6 | Chân 7 |
| SW7 | Chân 11 |
| 5V(1) hoặc GND(0) | Chân 13 |
| LED 0 | Chân 14 |
| LED 1 | Chân 9 |
| LED 2 | Chân 6 |
| LED 3 | Chân 2 |
| LED 4 | Chân 15 |

***Bài tập 3: Thiết kế, mô phỏng và lắp ráp mạch đếm lên không đồng bộ MOD-* 10.**

**Bài làm**

**3.1. Checklist:**

|  |  |  |
| --- | --- | --- |
| STT | Nội dung | Hoàn thành |
| 1 | **KIT thí nghiệm đã tắt trước khi cắm IC** |  |
| 2 | Kiểm tra và nắn lại chân IC |  |
| 3 | Các chân IC đã được đặt chuẩn xác vị trí vào các lỗ trên breadboard |  |
| 4 | Các chân IC đã được kết nối điện với breadboard |  |
| 5 | Tất cả các kết nối giữa KIT và chân IC đều tốt |  |
| 6 | **VCC và GND trên KIT không bị chạm nhau (không đoản mạch)** |  |
| 7 | **Chân CLK (nếu có dùng) không chập với VCC hoặc GND** |  |
| 8 | Hiệu điện thế giữa VCC và GND của IC đạt 5V |  |
| 9 | Đã test và chụp hình đủ các trường hợp |  |

**3.2. Phân tích đề bài, giải bài:**

* Xác định mạch cần lắp: mạch đếm lên không đồng bộ MOD 10.
* Xác định Flip Flop được sử dụng: JK-Flip Flop
* Xác định số Flip Flop cần sử dụng:

Mạch đếm MOD tức ta cần biểu diễn tối thiểu 10 trạng thái, ta có:

23 – 1 < 10 < 24 -1

Suy ra: cần 4 Flip Flop để hiện thực mạch này.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **STT** | **Số thập phân** | **QD** | **QC** | **QB** | **QA** |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 2 | 1 | 0 | 0 | 0 | 1 |
| 3 | 2 | 0 | 0 | 1 | 0 |
| 4 | 3 | 0 | 0 | 1 | 1 |
| 5 | 4 | 0 | 1 | 0 | 0 |
| 6 | 5 | 0 | 1 | 0 | 1 |
| 7 | 6 | 0 | 1 | 1 | 0 |
| 8 | 7 | 0 | 1 | 1 | 1 |
| 9 | 8 | 1 | 0 | 0 | 0 |
| 10 | 9 | 1 | 0 | 0 | 1 |
| 11 | 10 | 1 | 0 | 1 | 0 |

**3.3. Thiết kế mạch CLR:**

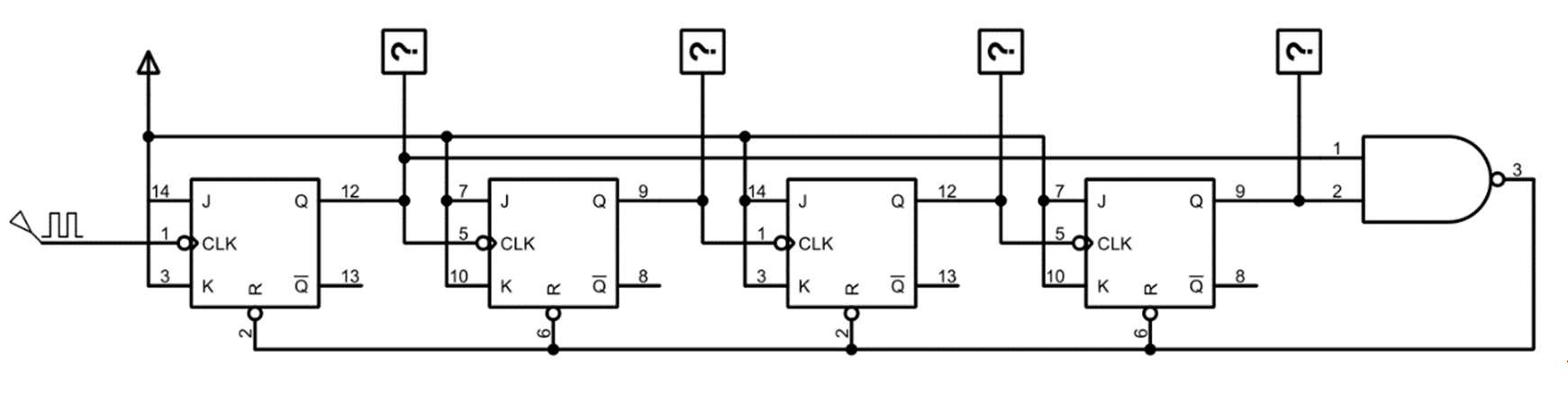
- Bảng trạng thái của mạch tổ hợp (A là LSB):

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| CLK | QD | QC | QB | QA | Trạng thái đếm | CLR |
|  | 0 | 0 | 0 | 0 | 0 | 1 |
|  | 0 | 0 | 0 | 1 | 1 | 1 |
|  | 0 | 0 | 1 | 0 | 2 | 1 |
|  | 0 | 0 | 1 | 1 | 3 | 1 |
|  | 0 | 1 | 0 | 0 | 4 | 1 |
|  | 0 | 1 | 0 | 1 | 5 | 1 |
|  | 0 | 1 | 1 | 0 | 6 | 1 |
|  | 0 | 1 | 1 | 1 | 7 | 1 |
|  | 1 | 0 | 0 | 0 | 8 | 1 |
|  | 1 | 0 | 0 | 1 | 9 | 1 |
|  | 1 | 0 | 1 | 0 | Trạng thái không bền vững, quay về 0 | 0 |
|  | 1 | 0 | 1 | 1 | Tùy chọn | x |
|  | 1 | 1 | 0 | 0 | Tùy chọn | x |
|  | 1 | 1 | 0 | 1 | Tùy chọn | x |
|  | 1 | 1 | 1 | 0 | Tùy chọn | x |
|  | 1 | 1 | 1 | 1 | Tùy chọn | x |

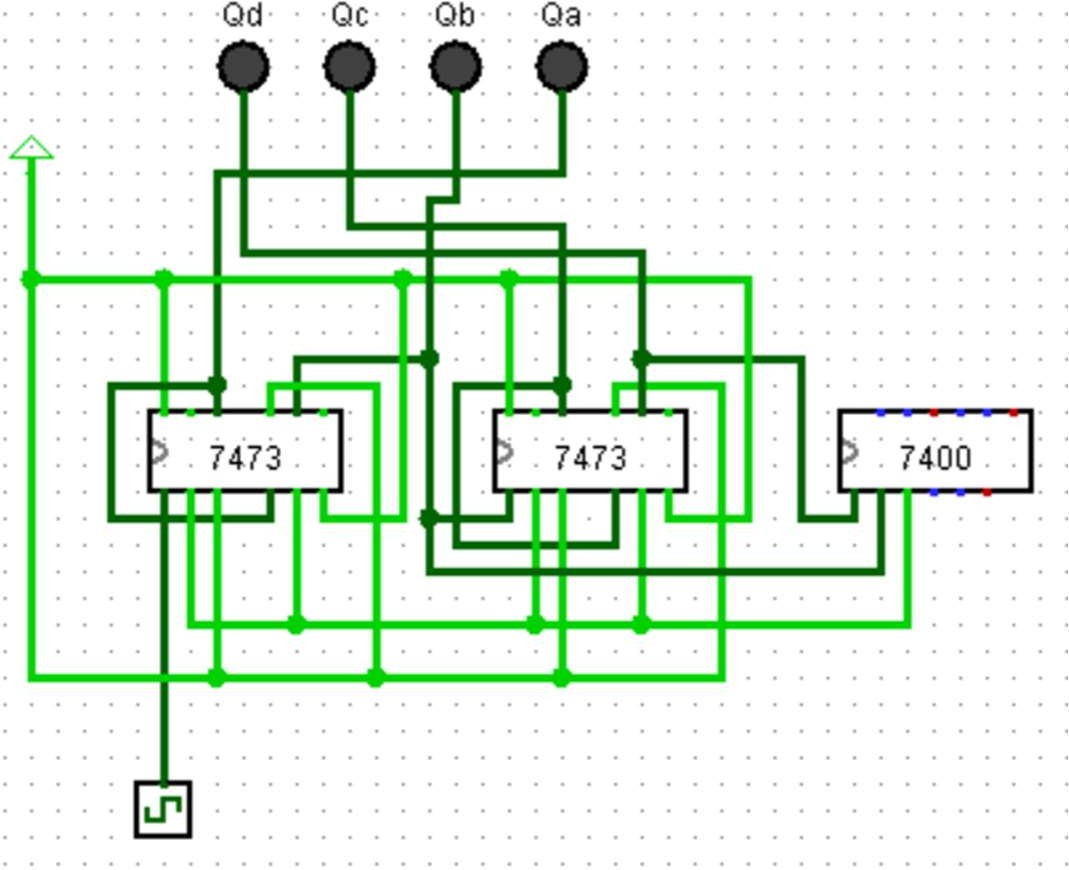
-

- Dùng bìa Karnaugh ta được: CLR =D’B’.

**3.4. Sơ đồ nguyên lý/ thiết kế đếm lên MOD 10:**



**Sơ đồ nguyên lý**



LED0

LED2

LED1

LED3

CLK

**Sơ đồ thiết kế**

***Chú thích:*** *Khi mạch đếm đến trạng thái số 11 nó sẽ lặp tức quay về số 0, nên khi quan sát, ta sẽ không nhìn thấy mạch đếm số 10.*

**3.5. Netlist:**

|  |  |
| --- | --- |
| Đầu thứ nhất | Đầu thứ hai |
| 5V | Chân 4 của U1 |
| GND | Chân 11 của U1 |
| 5V | Chân 4 của U2 |
| GND | Chân 11 của U2 |
| 5V | Chân 14 của U3 |
| GND | Chân 7 của U3 |
| 5V | Chân 14 của U1 |
| Chân 14 của U1 | Chân 7 của U1 |
| Chân 14 của U1 | Chân 14 của U2 |
| Chân 14 của U2 | Chân 7 của U2 |
| 5V | Chân 3 của U1 |
| Chân 3 của U1 | Chân 10 của U1 |
| Chân 3 của U1 | Chân 3 của U2 |
| Chân 3 của U2 | Chân 10 của U2 |
| Chân 2 của U1 | Chân 6 của U1 |
| Chân 6 của U1 | Chân 2 của U2 |
| Chân 2 của U2 | Chân 6 của U2 |
| Chân 6 của U2 | Chân 3 của U3 |
| CLK | Chân 1 của U1 |
| Chân 5 của U1 | Chân 12 của U1 |
| Chân 12 của U1 | LED 0 |
| Chân 9 của U1 | LED 1 |
| Chân 9 của U1 | Chân 1 của U2 |
| Chân 1 của U2 | Chân 2 của U3 |
| Chân 1 của U3 | Chân 9 của U2 |
| Chân 9 của U2 | LED 3 |
| Chân 5 của U2 | Chân 12 của U2 |
| Chân 12 của U2 | LED 2 |

**Phiếu chấm kết quả thí nghiệm**

|  |  |  |
| --- | --- | --- |
| NHÓM 04 | MSSV: 2310896  2312954  2313323 | |
| Bài thí nghiệm | Bài soạn | Thực hành |
| 1 |  |  |
| 2 |  |  |
| 3 |  |  |