

ОСНОВЫ

VerilogHDL/SystemVerilog

(синтез и моделирование)

# Задание lab3 (4 часа лабораторных занятий)

---

- ❑ **Часть lab3\_1**
- ❑ На языке Verilog опишите без знаковый делитель с повышенной точностью (4 знака после запятой).
  - ✓ Входы данных
    - Делимое - переключатели sw[7:4]
    - Делитель - переключатели sw[3:0]
  - ✓ Выходы - результат деления
    - Целая часть - светодиоды led[7:4]
    - Четыре знака после запятой – светодиоды led[3:0]
- ❑ Обязательно проверить при:
  - ✓ Делении, формирующим знаки после запятой.
  - ✓ Делении на ноль.
- ❑ Имя проекта – lab3\_1. Имя модуля верхнего уровня – lab3\_1.

# Задание lab3 (4 часа лабораторных занятий)

---

## ❑ Часть lab3\_2

❑ На языке Verilog опишите преобразователь двоичного 4-разрядного кода в 7-сегментный код.

## ❑ Входы данных

- ✓ Двоичный код - переключатели `sw[3:0]`
- ✓ Выбор разряда 7-сегментного индикатора для отображения - переключатели `sw[7:6]`
  - 00 – отображение в 0 ( в правом ) разряде 7-сегментного индикатора
  - 01 – отображение в 1 разряде 7-сегментного индикатора
  - 10 – отображение в 2 разряде 7-сегментного индикатора
  - 11 – отображение в 3 ( в левом ) разряде 7-сегментного индикатора

## ❑ Выходы

- ✓ 7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями `sw[7:6]`

❑ Имя проекта – `lab3_2`. Имя модуля верхнего уровня – `lab3_2`.

# Задание lab3 (4 часа лабораторных занятий)

---

## ❑ Часть lab3\_3

❑ На языке Verilog опишите мажоритарное устройство с тремя 2-х разрядными входами.

❑ Алгоритм работы:

- ✓ устройство анализирует три 2-х разрядных входа;
  - если любые два (или все три) входа имеют одинаковое значение, то оно передается на информационный выход устройства, при этом формируется признак достоверности данных
    - =2 если значения любых двух входов были одинаковыми;
    - =3 если значения всех трех входов были одинаковыми.
  - Если все входы имеют разное значение, то на информационном выходе устройства может формироваться произвольное значение, при этом формируется признак достоверности данных = 0

❑ Входы данных - переключатели sw[5:4], sw[3:2], sw[1:0] - для трех 2-х разрядных чисел

❑ Выходы

- ✓ светодиоды led[1:0] - информационные выходы
- ✓ светодиоды led[3:2] - выходы признака достоверности данных

❑ Имя проекта – lab3\_3. Имя модуля верхнего уровня – lab3\_3.

# Задание lab3 (4 часа лабораторных занятий)

---

## ❑ Часть lab3\_4

- ❑ На языке Verilog, опишите устройство, реализующее сортировку по возрастанию (для студентов с четным номером в списке группы)/по убыванию (для студентов с нечетным номером в списке группы) массива 2-х разрядных чисел, заданных переключателями `sw[7:6]` `sw[5:4]` `sw[3:2]` `sw[1:0]`.  
Отсортированный массив отображается на светодиодах
  - ✓ При сортировке по возрастанию: `led[7:6]` (меньшее число) `led[5:4]` `led[3:2]` `led[1:0]` (большее число)
  - ✓ При сортировке по убыванию: `led[7:6]` (большее число) `led[5:4]` `led[3:2]` `led[1:0]` (меньшее число)
- ❑ Имя проекта – `lab3_4`. Имя модуля верхнего уровня – `lab3_4`.