

ОСНОВЫ

VerilogHDL/SystemVerilog

(синтез и моделирование)

Задание lab4 (4 часа лабораторных занятий)

□ Часть lab4_1

□ На языке Verilog опишите устройство, включающее:

- ✓ счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения 25 000 000-1.
- ✓ Двоичный, 4-разрядный, счетчик, алгоритм работы, которого задан приведенной ниже таблицей

Asset PB[0]	Ena Sw[7]	Sclr Sw[6]	Load sw[5]	Dir sw[4]	din sw[3:0]	q
0	x	x	x	x	x	Асинхронная установка (старший разряд счетчика =1, все остальные =0)
1	0	x	x	x	x	Хранение
1	1	0	x	x	x	Синхронный сброс счетчика в 0
1	1	1	0	x	din	Запись din
1	1	1	1	1	x	Счет +
1	1	1	1	0	x	Счет -

Задание lab4 (4 часа лабораторных занятий)

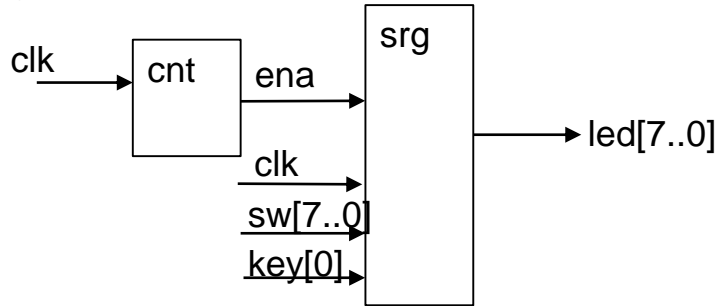
- ❑ **Часть lab4_1**

- ❑ Входы
 - ✓ Clk – тактовая частота 25МГц
 - ✓ переключатели sw[7:0]
 - ✓ Кнопка PB[0]
- ❑ Выходы (выходы двоичного 4-разрядного счетчика)
 - ✓ светодиоды led[3:0]
- ❑ **Назначить выводы СБИС используя атрибуты**

- ❑ Имя проекта – lab4_1. Имя модуля верхнего уровня – lab4_1.

Задание lab4 (4 часа лабораторных занятий)

- ❑ **Часть lab4_2**
- ❑ На языке Verilog описать представленную ниже схему



Ena – выход счетчика-делителя разрешающий работу сдвигающему регистру

- ✓ cnt – счетчик-делитель: коэффициент деления задается константой; выход – сигнал переноса
- ✓ srg – сдвигающий регистр;
- ✓ Входы:
 - Clk – тактовый (25 МГц), sw[7..0] – данные загружаемые в сдвигающий регистр, key[0] – сигнал **синхронной** загрузки данных в сдвигающий регистр
- ✓ Выход – led[7..0] – содержимое сдвигающего регистра

❑ Назначить выводы СБИС используя атрибуты

- ❑ Имя проекта – lab4_2. Имя модуля верхнего уровня –lab4_2.

Задание lab4 (4 часа лабораторных занятий)

❑ Часть lab4_3

- ❑ На языке Verilog опишите 2-10 счетчик, содержащий 2 тетрады (счет десятков, счет единиц).
 - ✓ Счетчики десятков и единиц соединить каскадно.
 - ✓ Счетчики описать в отдельных процедурных блоках.
 - ✓ В отдельном процедурном блоке описать счетчик-делитель на 25 000 000, формирующий сигнал разрешения работы для счетчика десятков и счетчика единиц.
 - ✓ Выходы
 - счетчика десятков вывести на led[7:4],
 - счетчика единиц на led[3:0].
 - ✓ Предусмотреть сигнал сброса всех счетчиков, включая счетчик делитель, - кнопка PB[1]
- ❑ Назначить выводы СБИС используя атрибуты
- ❑ Имя проекта – lab4_3. Имя модуля верхнего уровня – lab4_3.

Задание lab4 (4 часа лабораторных занятий)

- ❑ **Часть lab4_4**
- ❑ Описать на языке Verilog конечный автомат:
 - ✓ Тактовый сигнал – clk
 - ✓ Входы sw[3:0] подать через два последовательно включенных триггера
 - ✓ Вход key[0] (сигнал асинхронного сброса) подать через два последовательно включенных триггера
- ❑ Посмотреть синтезированный пакетом Q схему и блок схему автомата (State Machine Viewer)
- ❑ Осуществить функциональное моделирование
- ❑ **Назначить выходы СБИС используя атрибуты**
- ❑ Имя проекта – lab4_4. Имя модуля верхнего уровня – lab4_4.

