

ОСНОВЫ

VerilogHDL/SystemVerilog

(синтез и моделирование)

Задание lab2 (4 часа лабораторных занятий)

❑ Часть lab2_1

- ❑ На языке Verilog опишите знаковый умножитель\сумматор.
- ❑ Входы данных - переключатели sw[7:4] и sw[3:0]
- ❑ Выбор операции – кнопка key[0]
- ❑ Выходы – светодиоды led[7:0]
- ❑ Имя проекта – lab2_1. Имя модуля верхнего уровня – lab2_1.

❑ Часть lab2_2

- ❑ На языке Verilog опишите без знаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11 – это числа в десятичной СС).
- ❑ • Вход данных - переключатели sw[3:0]
- ❑ • Управление отображением числа – переключатель sw[7]
 - ✓ При 1 – отображается результат умножения на 11
 - ✓ При 0 – отображается результат умножения на 10
- ❑ • Выходы – светодиоды led[7:0]
- ❑ Имя проекта – lab2_2. Имя модуля верхнего уровня –lab2_2.
- ❑ В описании можно использовать ТОЛЬКО операторы: сдвига, сложения, вычитания.

Задание lab2 (4 часа лабораторных занятий)

❑ Часть lab2_3

- ❑ На языке Verilog, опишите устройство выбора максимума из четырех 2-х разрядных данных чисел
- ❑ Входы данных - переключатели sw[7:6] sw[5:4] sw[3:2] sw[1:0]
- ❑ Выход – светодиоды led[7:6], остальные светодиоды выключены
- ❑ Имя проекта – lab2_3. Имя модуля верхнего уровня – lab2_3.

❑ Часть lab2_4

- ❑ На языке Verilog, опишите устройство, реализующее выражение
✓ $led[7:0] = sw[7:5]**2 + 2*sw[7:5]*sw[2:0] + sw[2:0]**2$ (все числа знаковые)
- ❑ Входы данных - переключатели sw[7:5], sw[2:0]
- ❑ Выход – светодиоды led[7:0]
- ❑ Имя проекта – lab2_4. Имя модуля верхнего уровня – lab2_4.