

ОСНОВЫ

VerilogHDL/SystemVerilog
(синтез и моделирование)



Задание Lab1

Задание lab1 (4 часа лабораторных занятий)

❑ Часть lab1_1

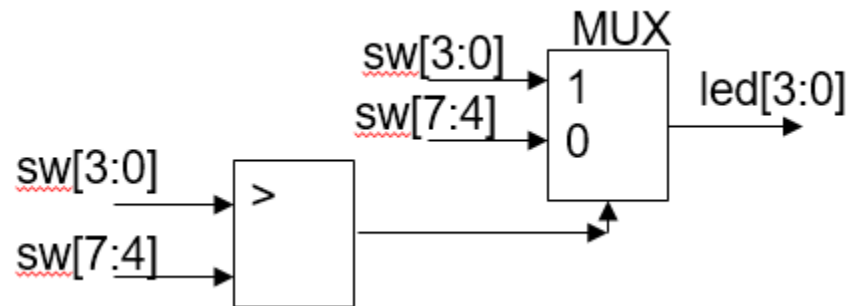
- ❑ Упражнение 1 (демонстрационная работа – пошаговые инструкции приведены ниже).
- ❑ Имя проекта – lab1_1. Имя модуля верхнего уровня – lab1_1.

❑ Часть lab1_2

- ❑ На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) => 1(4бит):
- ❑ Входы данных переключатели sw[7:4] и sw[3:0] соответственно
- ❑ Выходы – светодиоды led[3:0]
- ❑ Управление переключением – кнопка
 - ✓ = 1: sw[7:4] => led[3:0]
 - ✓ = 0: sw[3:0] => led[3:0]
- ❑ Имя проекта – lab1_2. Имя модуля верхнего уровня – lab1_2.

Задание lab1 (4 часа лабораторных занятий)

- ❑ **Часть lab1_3**
- ❑ На языке Verilog, используя логические выражения или оператор условного выбора, опишите устройство выбора максимума из двух 4-х разрядных данных (структурная схема приведена на рисунке)
- ❑ Входы данных переключателя `sw[7:4]` и `sw[3:0]`
- ❑ Выходы – светодиоды `led[3:0]`
- ❑ Управление переключением – кнопка
 - ✓ = 1: `sw[7:4] => led[3:0]`
 - ✓ = 0: `sw[3:0] => led[3:0]`
- ❑ Имя проекта – `lab1_3`. Имя модуля верхнего уровня – `lab1_3`.



Задание lab1 (4 часа лабораторных занятий)

❑ Часть lab1_4

- ❑ На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N).
- ❑ Входы двоичных данных переключатели sw[1:0]
- ❑ Выходы – светодиоды led[3:0]
- ❑ Имя проекта – lab1_4. Имя модуля верхнего уровня – lab1_4.

❑ Часть lab1_5

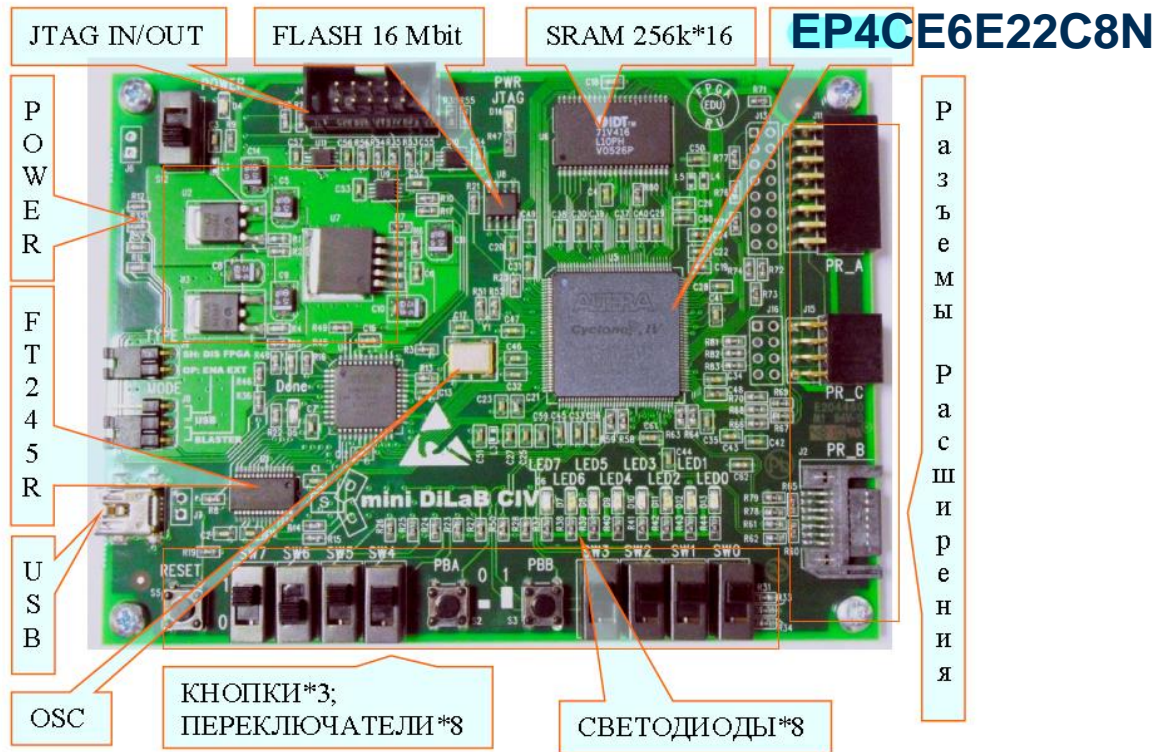
- ❑ На языке Verilog, используя логические выражения, опишите полный одноразрядный сумматор.
- ❑ Входы
 - ✓ Данных - переключатели sw[1:0]
 - ✓ Входной перенос – кнопка
- ❑ Выходы – светодиоды led[1:0]
- ❑ Имя проекта – lab1_5. Имя модуля верхнего уровня – lab1_5.



Упражнение 1

демонстрационная работа

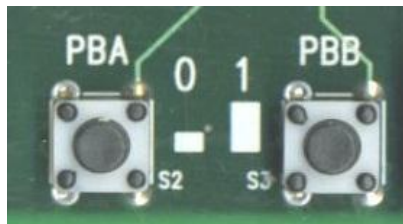
Макет miniDiLaB-CIV (описание макета)



Кнопки, Переключатели, Светодиоды (описание макета)

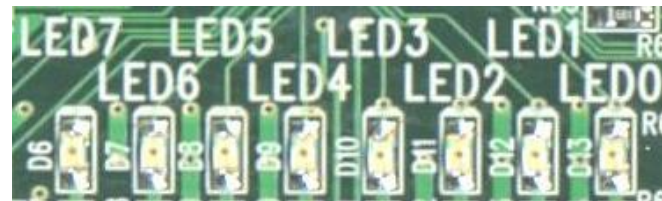
Кнопки

- ✓ Не нажата – 1
- ✓ Нажата – 0



Светодиоды

- ☐ 0 – включает
- ☐ 1 – выключает



Переключатели

Лог. «1»



Лог. «0»

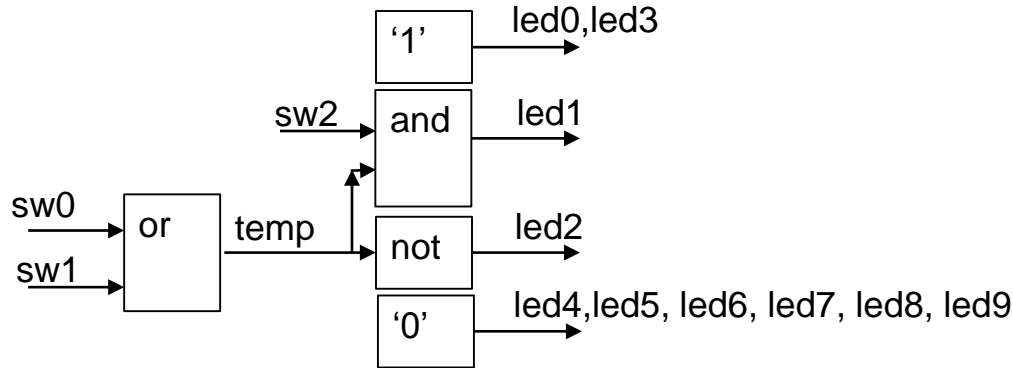


Кнопки, Переключатели, Светодиоды (описание макета)

Имя сигнала на схеме	Выводы СБИС EP4CE6E22			
	Номер вывода	Банк ввода/вывода	Стандарт	Тип вывода СБИС
Кнопки				
pb_2	58	B4	2.5V	I/O
pb_1	64	B4	2.5V	I/O
Переключатели				
DIPA_1	24	B2	3.3-V LVCMOS	I
DIPA_2	25	B2	3.3-V LVCMOS	I
DIPA_3	46	B4	3.3-V LVCMOS	I/O
DIPA_4	49	B4	3.3-V LVCMOS	I/O
DIPB_1	91	B6	3.3-V LVCMOS	I
DIPB_2	90	B6	3.3-V LVCMOS	I
DIPB_3	89	B5	3.3-V LVCMOS	I
DIPB_4	88	B5	3.3-V LVCMOS	I
Светодиоды				
led0	72	B4	2.5V	I/O
led1	71	B4	2.5V	I/O
led2	70	B4	2.5V	I/O
led3	69	B4	2.5V	I/O
led4	68	B4	2.5V	I/O
led5	67	B4	2.5V	I/O
led6	66	B4	2.5V	I/O
led7	65	B4	2.5V	I/O

Упражнение 1 (демонстрационная работа)

- ❑ На языке Verilog описать представленную ниже схему.



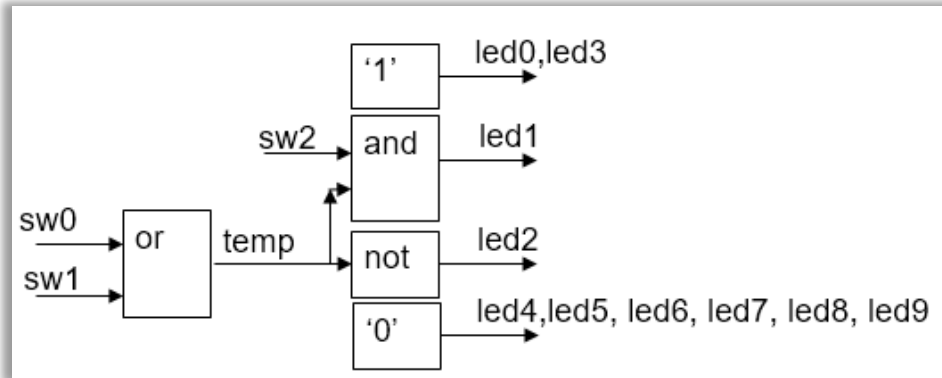
- Посмотреть синтезированную пакетом Q схему (RTL Viewer)
- Осуществить функциональное моделирование (в рамках пакета Q)
- Назначить выводы СБИС
- Осуществить полную компиляцию, программирование платы и проверить работу проекта на плате.

Упражнение 1 (демонстрационная работа)

- ❑ Создайте рабочую папку: C:/Intel_trn/Verilog_SV/labs/lab1
- ❑ Создайте проект:
 - ✓ Имя проекта - lab1, entity – lab1,
 - ✓ Рабочая папка - ...\\lab1,
 - ✓ DEVICE **EP4CE6E22C8N**
- ❑ Создайте новый файл:
 - ✓ File=>New=>SystemVerilog HDL
 - ✓ Сохраните его под именем lab1.sv.

Упражнение 1 (демонстрационная работа)

- Введите текстовое описание схемы



```
module lab1
(  input    sw0, sw1, sw2,
  output    led0, led1, led2, led3,
  output supply0 led4, led5, led6,
  output supply0 led7, led8, led9);

wire temp;

assign temp = sw0 | sw1;
assign led0 = 1'b1;
assign led1 = sw2 & temp;
assign led2 = ~temp;
assign led3 = 4'b1;

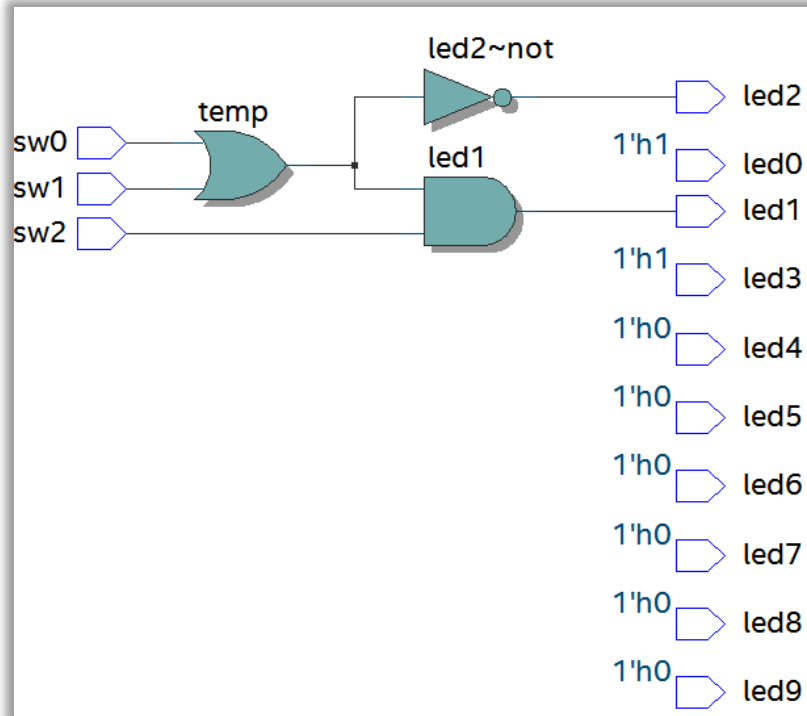
endmodule
```

- Осуществите компиляцию (Processing=>Start=>Analysis and Synthesis).
 - ✓ При необходимости исправить ошибки.
- Обратите внимание на предупреждение

⚠ 10230 Verilog HDL assignment warning at lab1.sv(16): truncated value with size 4 to match size of target (1)

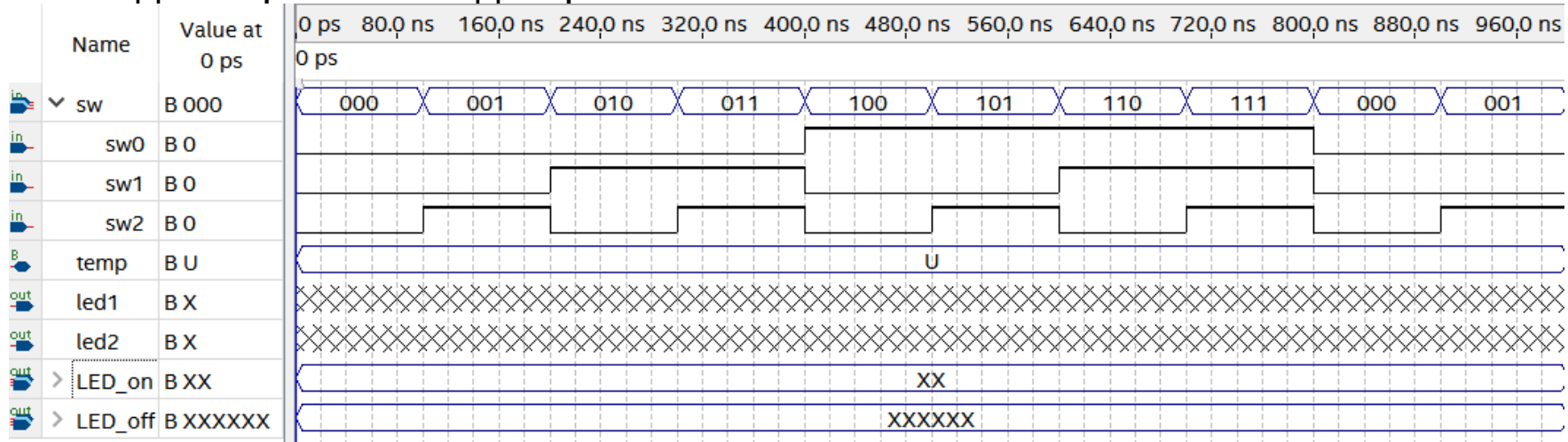
Упражнение 1 (демонстрационная работа)

- Посмотрите синтезированную пакетом схему (Tools=>Netlist Viewers=>RTL Viewer). Схема должна быть похожа на приведенную ниже.



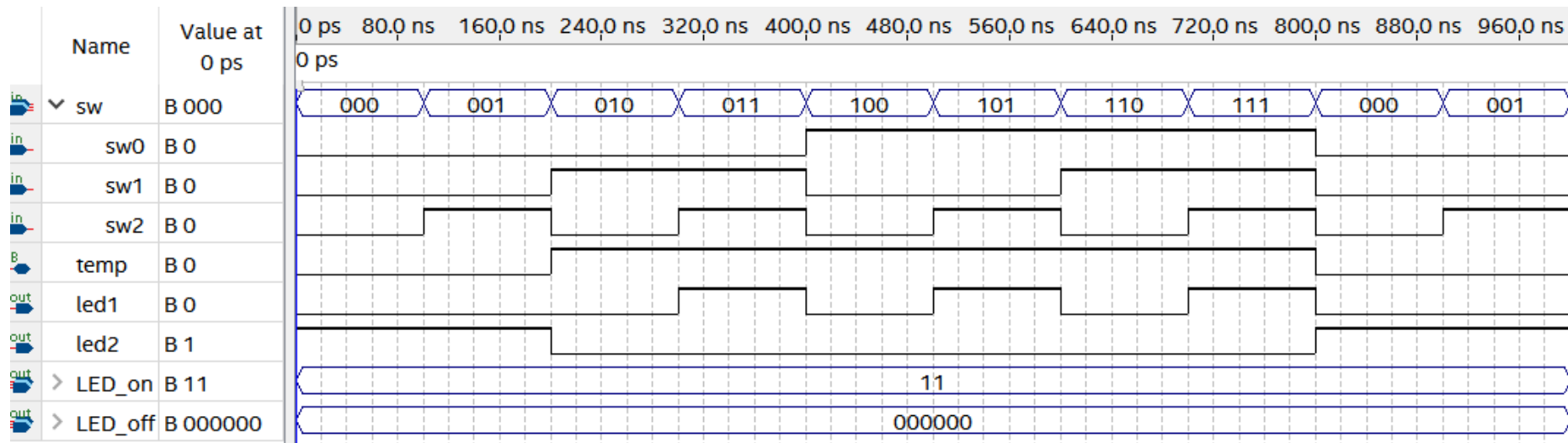
Упражнение 1 (демонстрационная работа)

- ❑ Осуществите функциональное моделирование:
 - ✓ Создайте файл VWF (File=>New=>University Program VWF).
 - ✓ Сохраните его под именем lab1
 - ✓ Выберите входы, выходы и контрольные точки (сигнал temp)
 - ✓ Введите временные диаграммы как показано ниже.



Упражнение 1 (демонстрационная работа)

- ❑ Запустите функциональное моделирование – Simulation=>Run Functional Simulation
- ❑ Проверьте, что результаты моделирования соответствуют приведенному ниже рисунку.



Упражнение 1 (демонстрационная работа)

- ❑ Задайте выводы СБИС:
 - ✓ Assignments=>Pin Planer
- ❑ Выполните полную компиляцию проекта Processing=>Start Compilation
- ❑ Откройте программатор и осуществите конфигурирование СБИС:
Tools=>Programmer
 - ✓ Установите средство конфигурирования
 - ✓ Укажите конфигурационный файл
 - ✓ Выберите опцию Program/Configure и нажмите кнопку Start
- ❑ Проверьте работу проекта на плате.

Упражнение 1 завершено