САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab3

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Фам Ба Нам

группа:

3530901/90201

преподаватель:

Федотов А.А.

Санкт-Петербург

2021

Оглавление

[1 Задание lab2\_1 5](#_Toc82436738)

[1.1 Задание 5](#_Toc82436739)

[1.2 Описание на языке Verilog 5](#_Toc82436740)

[1.3 Результат синтеза (RTL) 6](#_Toc82436741)

[1.4 Моделирование 6](#_Toc82436742)

[1.5 Назначение выводов СБИС 8](#_Toc82436743)

[1.6 Тестирование на плате miniDiLaB-CIV 8](#_Toc82436744)

[1.7 Выводы 8](#_Toc82436745)

[2 Задание lab2\_2 9](#_Toc82436746)

[2.1 Задание 9](#_Toc82436747)

[2.2 Описание на языке Verilog 9](#_Toc82436748)

[2.3 Результат синтеза (RTL) 10](#_Toc82436749)

[2.4 Моделирование 10](#_Toc82436750)

[2.5 Назначение выводов СБИС 12](#_Toc82436751)

[2.6 Тестирование на плате miniDiLaB-CIV 12](#_Toc82436752)

[2.7 Выводы 12](#_Toc82436753)

[3 Задание lab2\_3 13](#_Toc82436754)

[3.1 Задание 13](#_Toc82436755)

[3.2 Описание на языке Verilog 13](#_Toc82436756)

[3.3 Результат синтеза (RTL) 14](#_Toc82436757)

[3.4 Моделирование 14](#_Toc82436758)

[3.5 Назначение выводов СБИС 15](#_Toc82436759)

[3.6 Тестирование на плате miniDiLaB-CIV 15](#_Toc82436760)

[3.7 Выводы 15](#_Toc82436761)

[4 Задание lab2\_4 16](#_Toc82436762)

[4.1 Задание 16](#_Toc82436763)

[4.2 Описание на языке Verilog 16](#_Toc82436764)

[4.3 Результат синтеза (RTL) 16](#_Toc82436765)

[4.4 Моделирование 17](#_Toc82436766)

[4.5 Назначение выводов СБИС 17](#_Toc82436767)

[4.6 Тестирование на плате miniDiLaB-CIV 18](#_Toc82436768)

[4.7 Выводы 18](#_Toc82436769)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 5](#_Toc82436716)

[Рис. 1‑2 Синтезированная схема 6](#_Toc82436718)

[Рис. 1‑3 Результат моделирования средствами QII 8](#_Toc82436719)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 8](#_Toc82436720)

[Рис. 2‑1 Описание на языке Verilog 9](#_Toc82436721)

[Рис. 2-2 Синтезированная схема 10](#_Toc82436723)

[Рис. 2‑3 Результат моделирования средствами QII 12](#_Toc82436724)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 12](#_Toc82436725)

[Рис. 3‑1 Описание на языке Verilog 13](#_Toc82436726)

[Рис. 3‑2 Синтезированная схема 14](#_Toc82436727)

[Рис. 3‑3 Результат моделирования средствами QII 15](#_Toc82436728)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 15](#_Toc82436729)

[Рис. 4‑1 Описание на языке Verilog 16](#_Toc82436730)

[Рис. 4‑2 Синтезированная схема 16](#_Toc82436731)

[Рис. 4‑3 Результат моделирования средствами QII 17](#_Toc82436732)

[Рис. 4‑4 Назначение выводов в приложении Pin Planner 18](#_Toc82436733)

# Задание lab3\_1

## Задание

На языке Verilog опишите без знаковый делитель с повышенной точностью (4 знака после запятой).

Входы данных

– Делимое - переключатели sw[7:4]

– Делитель - переключатели sw[3:0]

Выходы - результат деления

– Целая часть - светодиоды led[7:4]

– Четыре знака после запятой – светодиоды led[3:0]

Обязательно проверить при:

– Делении, формирующим знаки после запятой.

– Делении на ноль.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

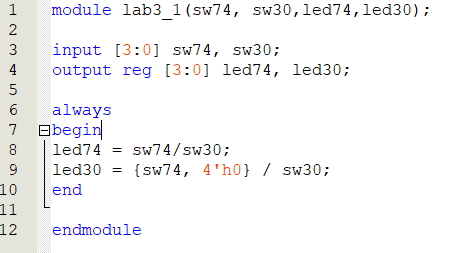


Рис. 1‑1 Описание на языке Verilog

Было введено текстовое описание схемы, после чего была осуществлена компиляция. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на 1-2. Изображение схемы получено с помощью приложения RTL Viewer.

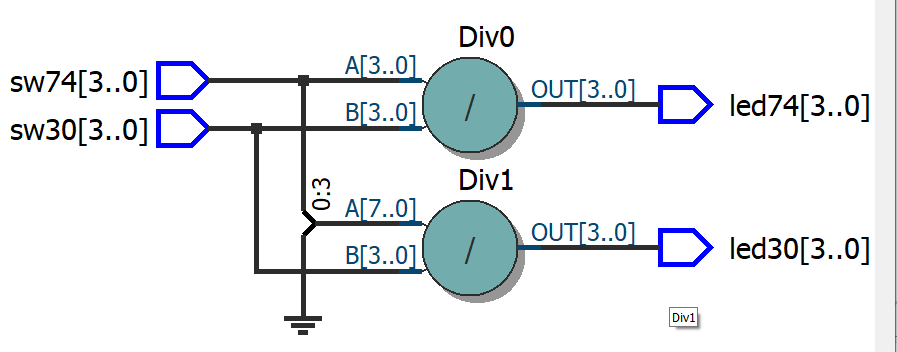


Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw74 подается 4’d10
* на группу входов sw30 подается 4’d0
* на группе выходов led74 получаем 4’d15
* на группе выходов led30 получаем 4’d15

1. проверка 2:

* на группу входов sw74 подается 4’d11
* на группу входов sw30 подается 4’d1
* на группе выходов led74 получаем 4’d11
* на группе выходов led30 получаем 4’0

1. проверка 3:

* на группу входов sw74 подается 4’d12
* на группу входов sw30 подается 4’d2
* на группе выходов led74 получаем 4’d6
* на группе выходов led30 получаем 4’d0

1. проверка 4:

* на группу входов sw74 подается 4’d13
* на группу входов sw30 подается 4’d3
* на группе выходов led74 получаем 4’d4
* на группе выходов led30 получаем 4’b0101

1. проверка 5:

* на группу входов sw74 подается 4’d14
* на группу входов sw30 подается 4’d4
* на группе выходов led74 получаем 4’d3
* на группе выходов led30 получаем 4’b1000

Результаты моделирования приведены на Рис. 1-3.

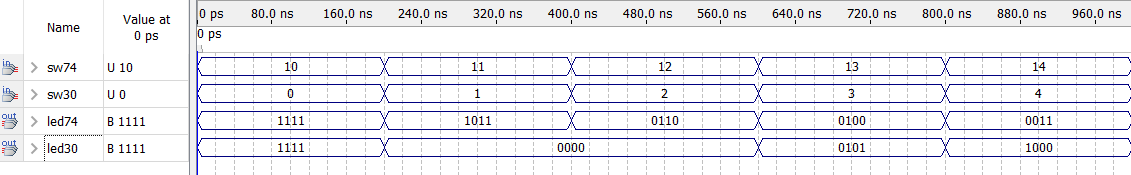


Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1-5.

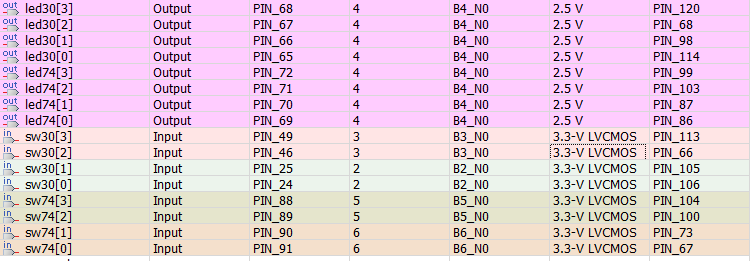


Рис. 1‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

## Выводы

Опишу без знаковый делитель с повышенной точностьюбю, работа была успешно выполнена.

# Задание lab3\_2

## Задание

На языке Verilog опишите преобразователь двоичного 4-разрядного кода в 7-сегментный код.

Входы данных

Двоичный код - переключатели sw[3:0]

Выбор разряда 7-сегментного индикатора для отображения - переключатели sw[7:6]

Выходы

7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями sw[7:6]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

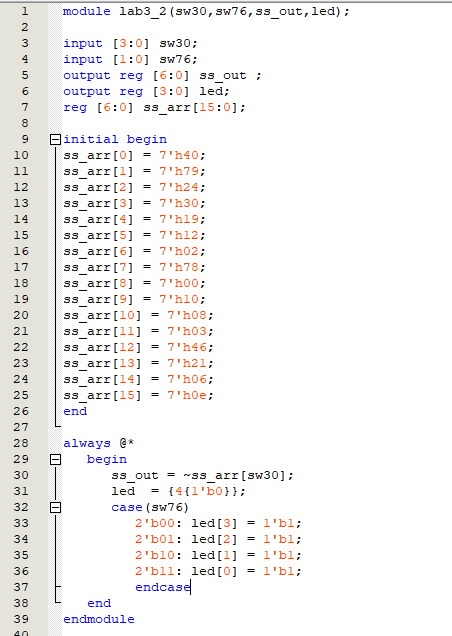


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑3. Изображение схемы получено с помощью приложения RTL Viewer.

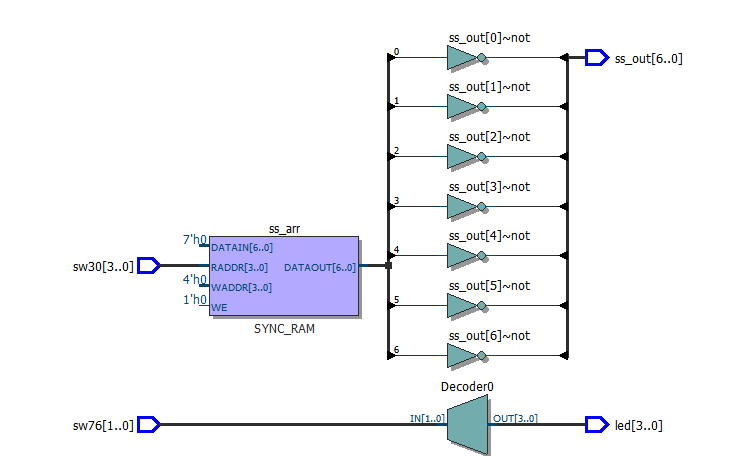


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw76 подается 2’b00
* на группу входов sw30 подается 4’b1111
* на группе выходов ss\_out получаем 7’b1110001
* на группе выходов led получаем 4’b1000

1. проверка 2:

* на группу входов sw76 подается 2’b01
* на группу входов sw30 подается 4’b1001
* на группе выходов ss\_out получаем 7’b1101111
* на группе выходов led получаем 4’b0100
* 0

1. проверка 3:

* на группу входов sw76 подается 2’b10
* на группу входов sw30 подается 4’b0010
* на группе выходов ss\_out получаем 7’b1011011
* на группе выходов led получаем 4’b0010

1. проверка 4:

* на группу входов sw76 подается 2’b11
* на группу входов sw30 подается 4’b1010
* на группе выходов ss\_out получаем 7’b1110111
* на группе выходов led получаем 4’b0001

Результаты моделирования приведены на Рис. 2-3.

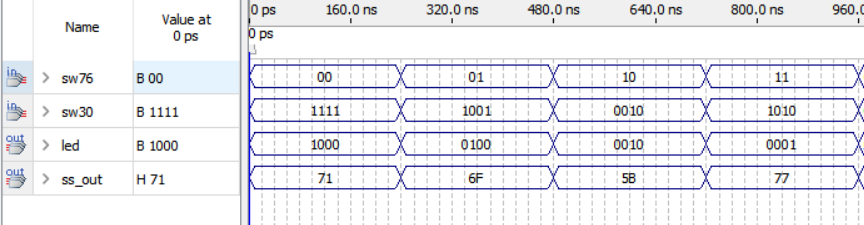


Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑5

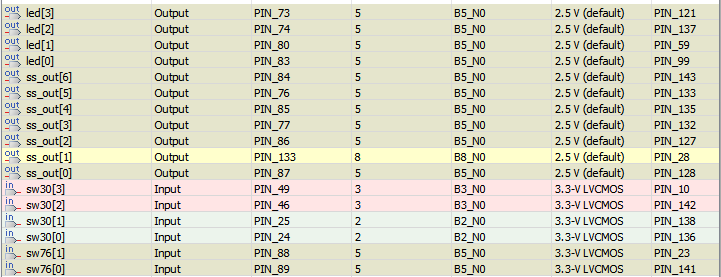


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Работа был успешно описан.

# Задание lab3\_3

## Задание

 На языке Verilog опишите мажоритарное устройство с тремя 2-х разрядными входами.

 Алгоритм работы:

 устройство анализирует три 2-х разрядных входа;

– если любые два (или все три) входа имеют одинаковое значение, то оно передается на информационный выход

устройства, при этом формируется признак достоверности данных

– =2 если значения любых двух входов были одинаковыми;

– =3 если значения всех трех входов были одинаковыми.

– Если все входы имеют разное значение, то на информационном выходе устройства может формироваться

произвольное значение, при этом формируется признак достоверности данных = 0

 Входы данных - переключатели sw[5:4], sw[3:2] , sw[1:0] - для трех 2-х разрядных чисел

 Выходы

 светодиоды led[1:0] - информационные выходы

 светодиоды led[3:2] - выходы признака достоверности данных

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3-1.

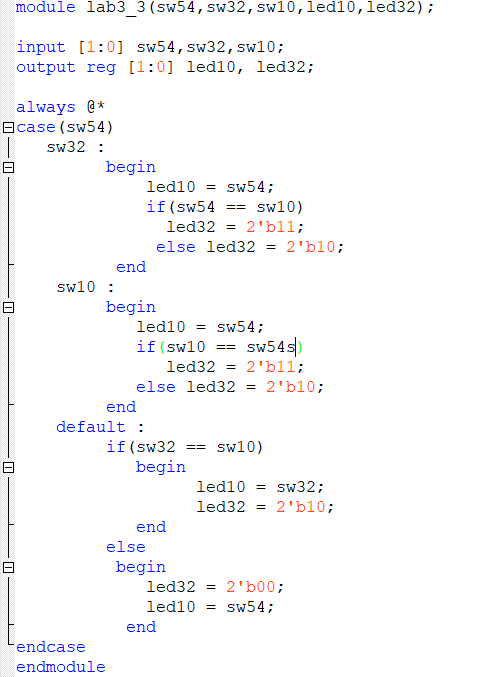


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3-2. Изображение схемы получено с помощью приложения RTL Viewer.

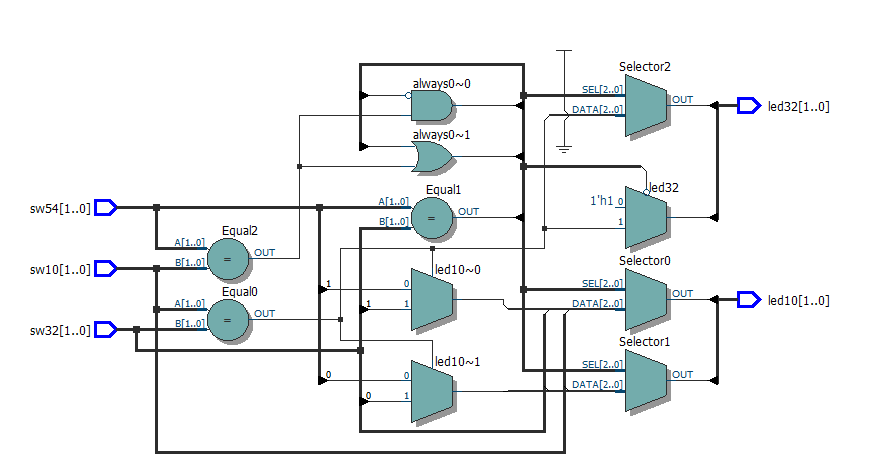


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw10 подается 2’d0
* на группу входов sw32 подается 2’d0
* на группу входов sw54 подается 2’d0
* на группе выходов led10 получаем 2’d0
* на группе выходов led32 получаем 2’d3

1. проверка 2:

* на группу входов sw10 подается 2’d1
* на группу входов sw32 подается 2’d3
* на группу входов sw54 подается 2’d3
* на группе выходов led10 получаем 2’d3
* на группе выходов led32 получаем 2’d2

1. проверка 3:

* на группу входов sw10 подается 2’d2
* на группу входов sw32 подается 2’d2
* на группу входов sw54 подается 2’d1
* на группе выходов led10 получаем 2’d2
* на группе выходов led32 получаем 2’d2

1. проверка 4:

* на группу входов sw10 подается 2’d3
* на группу входов sw32 подается 2’d1
* на группу входов sw54 подается 2’d2
* на группе выходов led10 получаем 2’d2
* на группе выходов led32 получаем 2’d0

1. проверка 5:

* на группу входов sw10 подается 2’d0
* на группу входов sw32 подается 2’d2
* на группу входов sw54 подается 2’d3
* на группе выходов led10 получаем 2’d3
* на группе выходов led32 получаем 2’d0

Результаты моделирования приведены на Рис. 3.3.

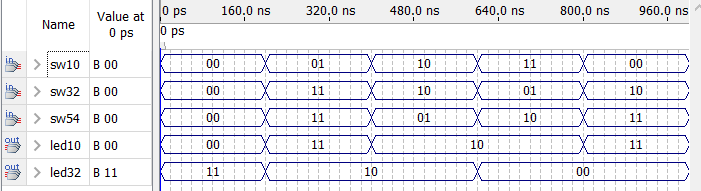


Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3-4.

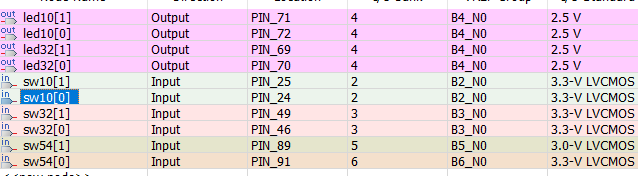


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

## Выводы

Mажоритарное устройство с тремя 2-х разрядными входами было успешно описано.

# Задание lab3\_4

## Задание

 На языке Verilog, опишите устройство, реализующее сортировку по возрастанию (для студентов с

четным номером в списке группы)/по убыванию (для студентов с нечетным номером в списке группы)

массива 2-х разрядных чисел, заданных переключателями sw[7:6] sw[5:4] sw[3:2] sw[1:0].

Отсортированный массив отображается на светодиодах

 При сортировке по возрастанию: led[7:6] (меньшее число) led[5:4] led[3:2] led[1:0] (большее число)

 При сортировке по убыванию: led[7:6] (большее число) led[5:4] led[3:2] led[1:0] (меньшее число)

 Имя проекта – lab3\_4. Имя модуля верхнего уровня – lab3\_4.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4-1.

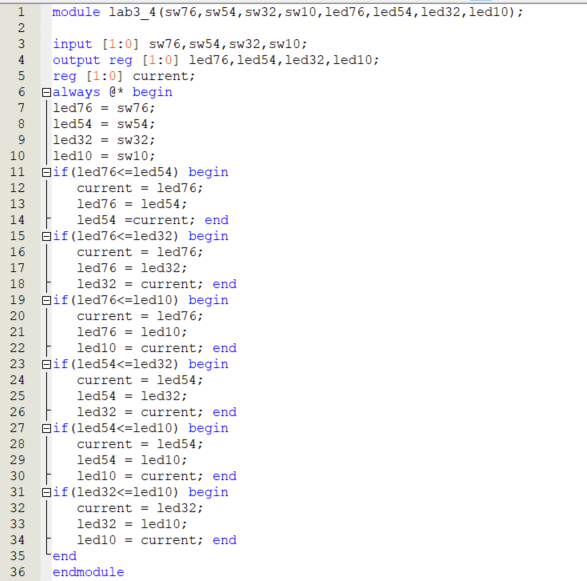


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4-2. Изображение схемы получено с помощью приложения RTL Viewer.

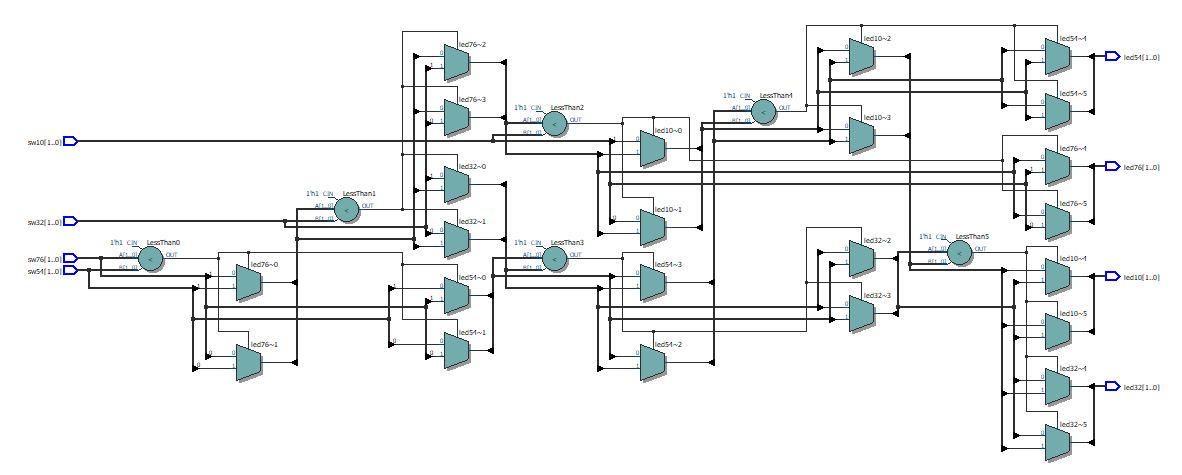


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw10 подается 2’d0
* на группу входов sw32 подается 2’d3
* на группу входов sw54 подается 2’d2
* на группу входов sw76 подается 2’d1
* на группе выходов led10 получаем 2’d0
* на группе выходов led32 получаем 2’d1
* на группе выходов led54 получаем 2’d2
* на группе выходов led76 получаем 2’d3

1. проверка 2:

* на группу входов sw10 подается 2’d1
* на группу входов sw32 подается 2’d2
* на группу входов sw54 подается 2’d0
* на группу входов sw76 подается 2’d3
* на группе выходов led10 получаем 2’d0
* на группе выходов led32 получаем 2’d1
* на группе выходов led54 получаем 2’d2
* на группе выходов led76 получаем 2’d3

1. проверка 3:

* на группу входов sw10 подается 2’d2
* на группу входов sw32 подается 2’d2
* на группу входов sw54 подается 2’d3
* на группу входов sw76 подается 2’d1
* на группе выходов led10 получаем 2’d1
* на группе выходов led32 получаем 2’d2
* на группе выходов led54 получаем 2’d2
* на группе выходов led76 получаем 2’d3

1. проверка 4:

* на группу входов sw10 подается 2’d3
* на группу входов sw32 подается 2’d0
* на группу входов sw54 подается 2’d2
* на группу входов sw76 подается 2’d1
* на группе выходов led10 получаем 2’d0
* на группе выходов led32 получаем 2’d1
* на группе выходов led54 получаем 2’d2
* на группе выходов led76 получаем 2’d3

Результаты моделирования приведены на Рис. 4-3.

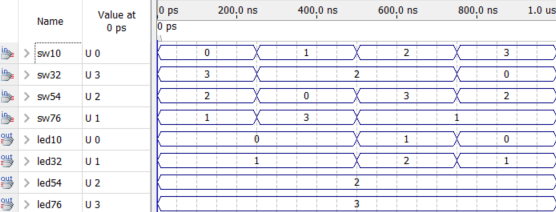


Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4-4.

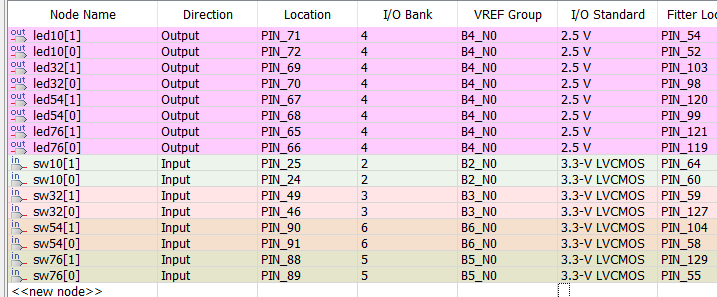


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

## Выводы

Работа была успешно описан.