Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

1. **Отчёт по лабораторной работе № 4**

Дисциплина: Языки описания аппаратных средств вычислительных систем

Выполнил студент гр. 3530901/90201 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_Ф.Б Нам

(подпись)

Принял преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_А.А. Федотов

(подпись)

“ ” 2021 г.

Санкт-Петербург

2021

Оглавление

[1 Задание lab3\_1 3](#_Toc84100076)

[1.1 Задание 3](#_Toc84100077)

[1.2 Описание на языке Verilog 3](#_Toc84100078)

[1.3 Результат синтеза (RTL) 3](#_Toc84100079)

[1.4 Моделирование 4](#_Toc84100080)

[1.5 Назначение выводов СБИС 4](#_Toc84100081)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc84100082)

[2 Задание lab3\_2 5](#_Toc84100084)

[2.1 Задание 5](#_Toc84100085)

[2.2 Результат синтеза (RTL) 7](#_Toc84100086)

[2.3 Моделирование 7](#_Toc84100087)

[2.4 Назначение выводов СБИС 8](#_Toc84100088)

[2.5 Тестирование на плате miniDiLaB-CIV 8](#_Toc84100089)

[3 Задание lab3\_3 9](#_Toc84100091)

[3.1 Задание 9](#_Toc84100092)

[3.2 Описание на языке Verilog 9](#_Toc84100093)

[3.3 Результат синтеза (RTL) 10](#_Toc84100094)

[3.4 Моделирование 11](#_Toc84100095)

[3.5 Назначение выводов СБИС 11](#_Toc84100096)

[3.6 Тестирование на плате miniDiLaB-CIV 11](#_Toc84100097)

[4 Задание lab3\_4 12](#_Toc84100099)

[4.1 Задание 12](#_Toc84100100)

[4.2 Описание на языке Verilog 12](#_Toc84100101)

[4.3 Результат синтеза (RTL) 13](#_Toc84100102)

[4.4 Моделирование 14](#_Toc84100103)

[4.5 Назначение выводов СБИС 14](#_Toc84100104)

[4.6 Тестирование на плате miniDiLaB-CIV 14](#_Toc84100105)

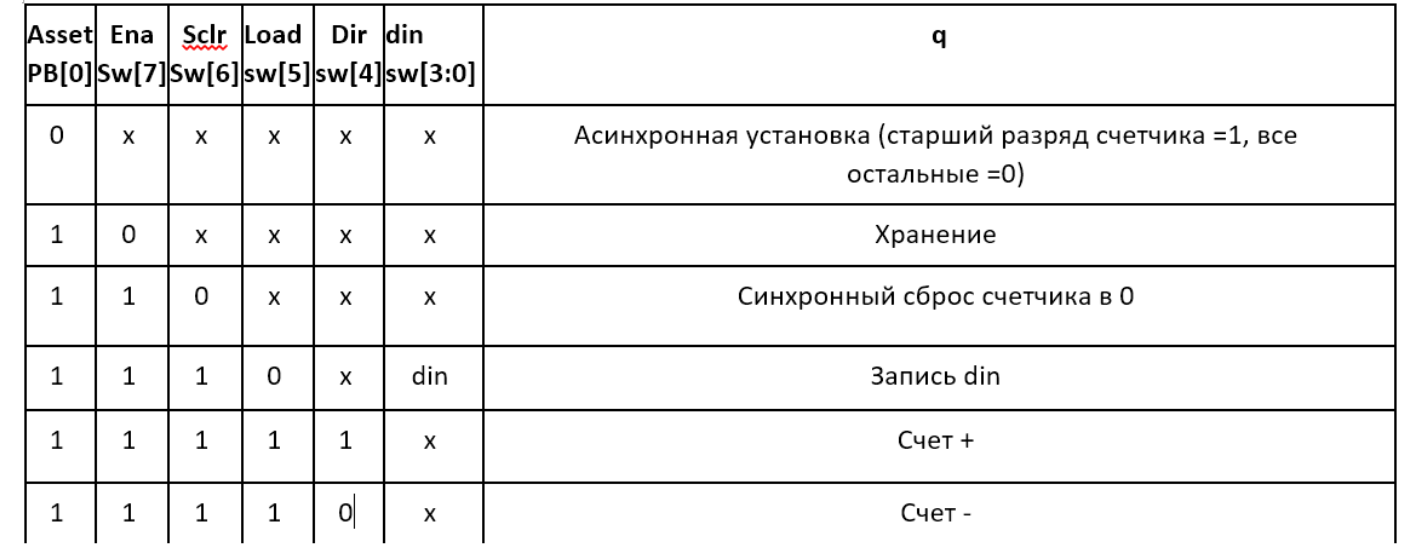
[5 Вывод 15](#_Toc84100107)

# Задание lab4\_1

## Задание

На языке Verilog опишите устройство, включающее:

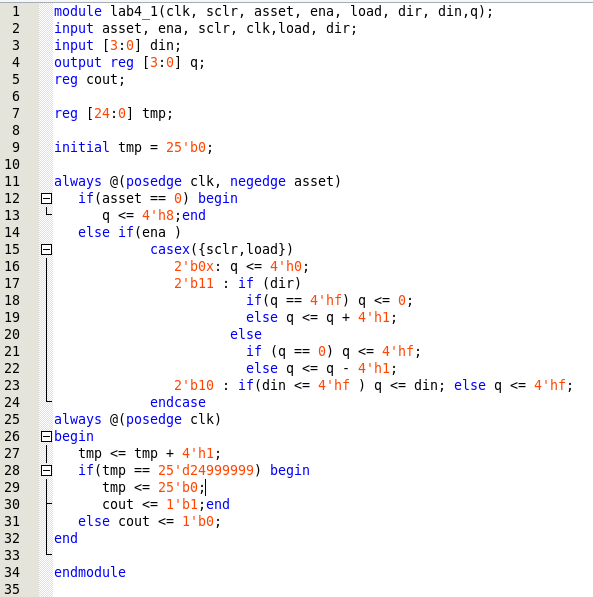
* счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения 25 000 000-1.
*  Двоичный, 4-разрядный, счетчик, алгоритм работы, которого задан приведенной ниже таблицей



* Входы данных
* Clk – тактовая частота 25МГц
*  переключатели sw[7:0]
*  Кнопка РВ[0]
* Выходы - результат деления
* светодиоды led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2.

Рис. 1.1. Описание на языке Verilog.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1-2. Изображение схемы получено с помощью приложения RTL Viewer.

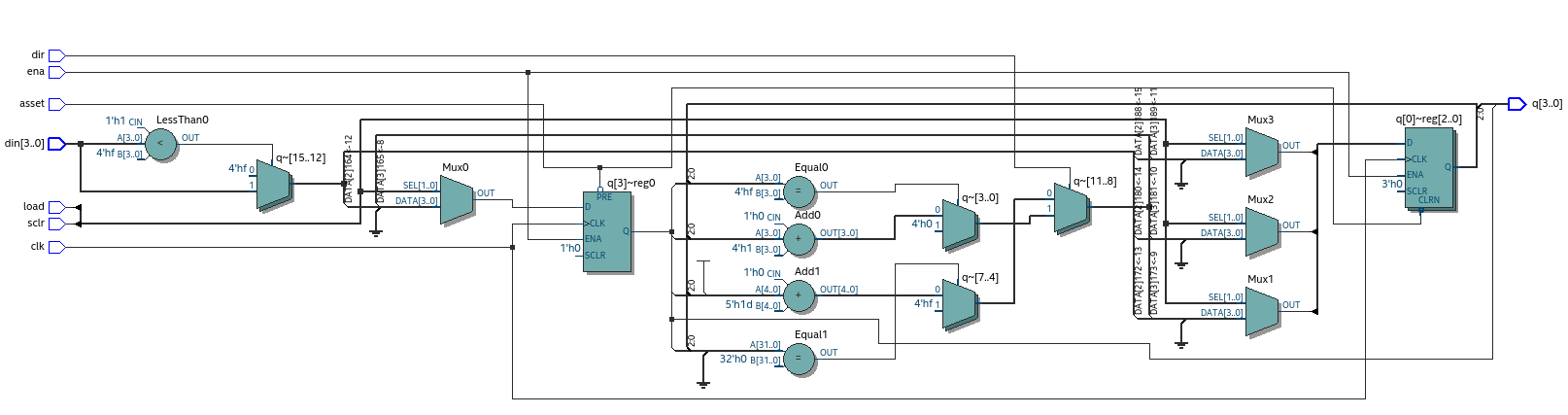


Рис. 1‑2. Синтезированная схема.

## Моделирование

Для проверки правильности работы вводились различные комбинации подаваемых чисел. Также было проверено деление, формирующее знаки после запятой и деление на ноль.

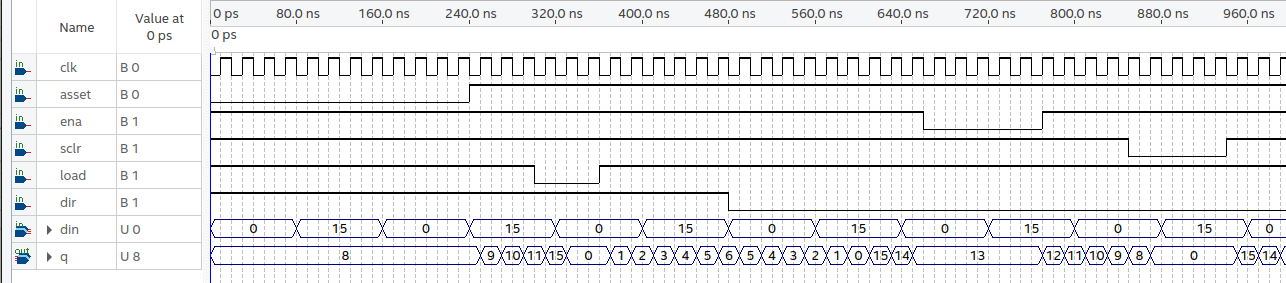


Рис. 1‑3. Результат моделирования средствами QII.

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1-4.

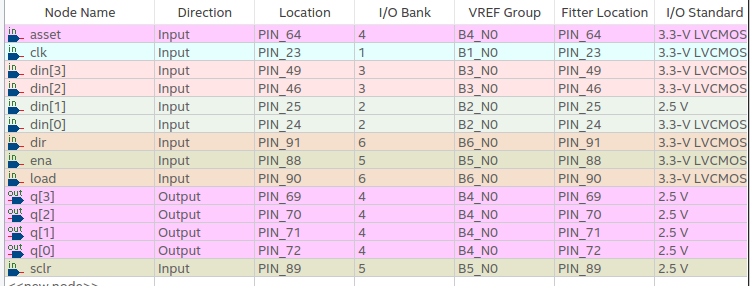


Рис. 1‑4. Назначение выводов в приложении Pin Planner.

## Тестирование на плате miniDiLaB-CIV

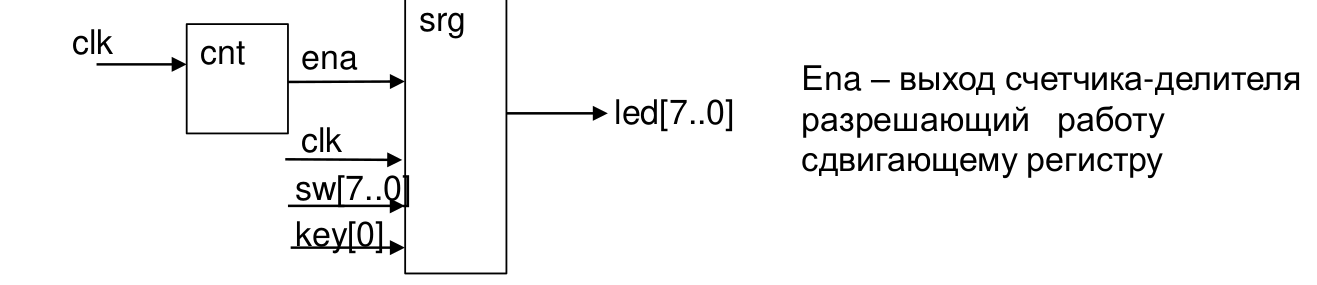
Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

# Задание lab4\_2

## Задание

На языке Verilog описать представленную ниже схему



* Входы данных
  + Clk – тактовый (25 МГц), sw[7..0] – данные загружаемые в сдвигающий регистр, key[0] – сигнал синхронной загрузки данных в сдвигающий регистр
* Выходы
  + led[7..0] – содержимое сдвигающего регистра

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на .

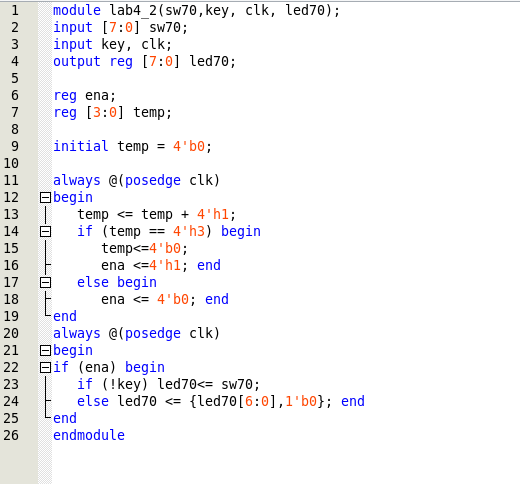


Рис. 2‑1. Описание на языке Verilog.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на . Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2. Синтезированная схема.

## Моделирование

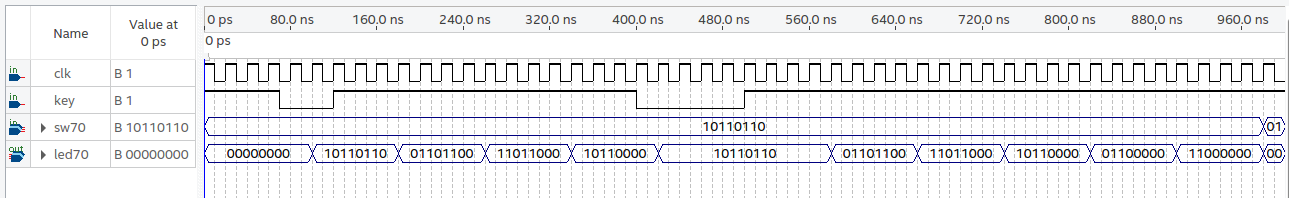


Рис. 2‑3. Результат моделирования средствами QII.

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на

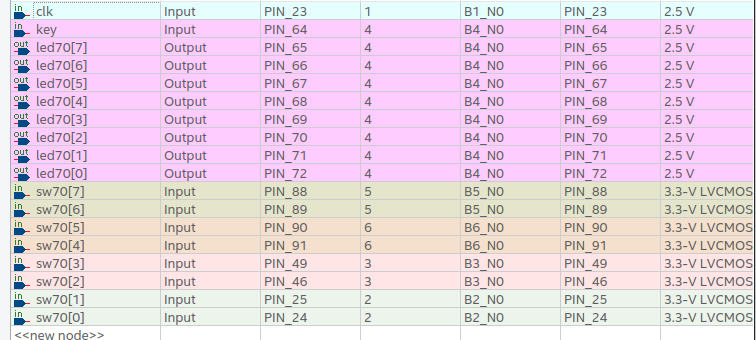


Рис. 2‑4. Назначение выводов в приложении Pin Planner.

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab4\_3

## Задание

* На языке Verilog опишите 2-10 счетчик, содержащий 2 тетрады (счет десятков, счет единиц).



* Счетчики десятков и единиц соединить каскадно.
* Счетчики описать в отдельных процедурных блоках.
* В отдельном процедурном блоке описать счетчик-делитель на 25 000 000, формирующий сигнал разрешения работы для счетчика десятков и счетчика единиц.
* Выходы

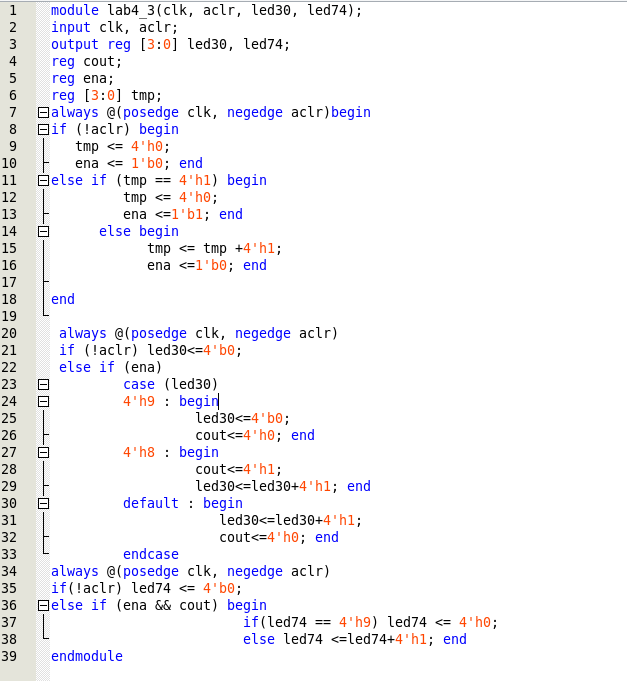
счетчика десятков вывести на led[7:4],

счетчика единиц на led[3:0].

Предусмотреть сигнал сброса всех счетчиков, включая счетчик делитель, кнопка РВ[1]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3-1.

Рис. 3‑1. Описание на языке Verilog.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на 2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 3‑2. Синтезированная схема.

## Моделирование

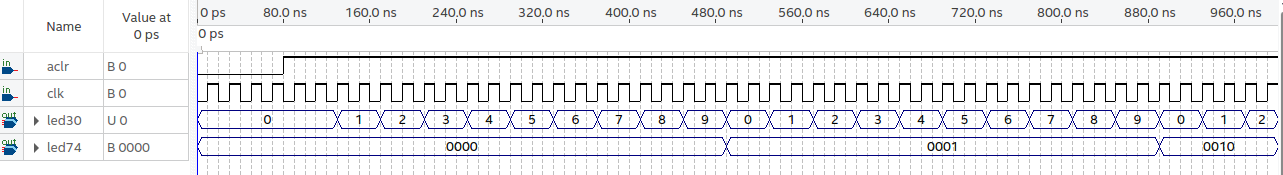


Рис. 3‑3. Результат моделирования средствами QII.

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на 4.

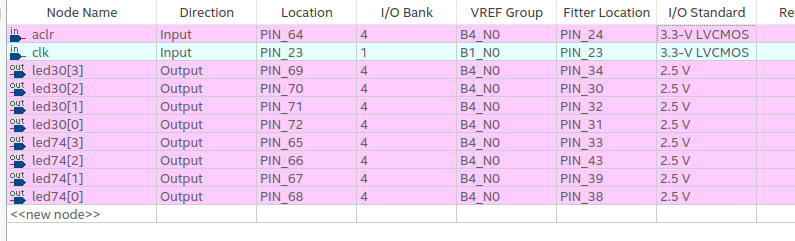


Рис. 3‑4. Назначение выводов в приложении Pin Planner.

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab3\_4

## Задание

*  Описать на языке Verilog конечный автомат:

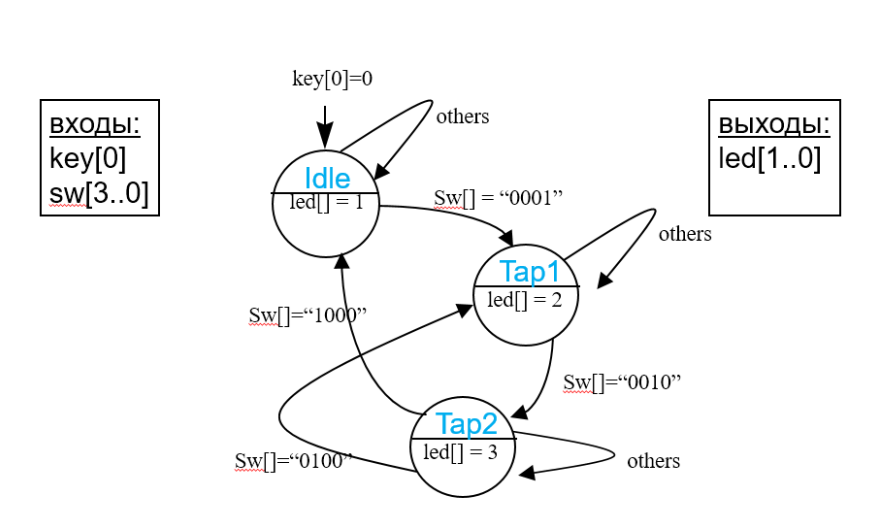
 Тактовый сигнал – clk

 Входы sw[3:0] подать через два последовательно включенных триггера

 Вход key[0] (сигнал асинхронного сброса) подать через два последовательно включенных триггера

 Посмотреть синтезированный пакетом Q схему и блок схему автомата (State Machine Viewer)

 Осуществить функциональное моделирование



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на .

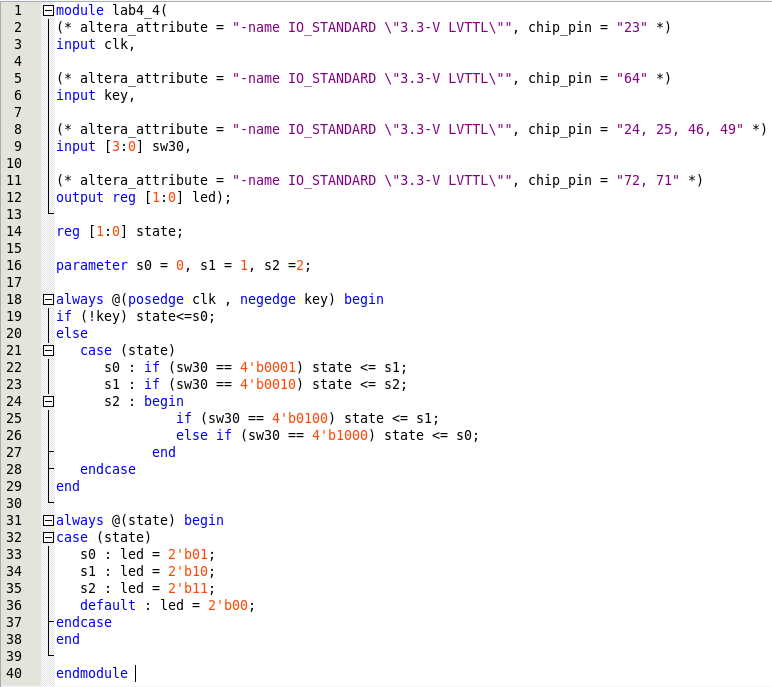


Рис. 4‑5. Описание на языке Verilog.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на . Изображение схемы получено с помощью приложения RTL Viewer.

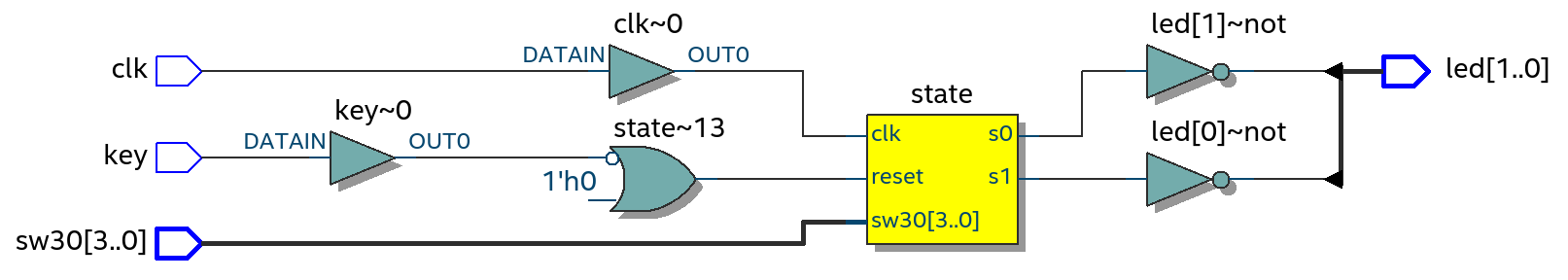
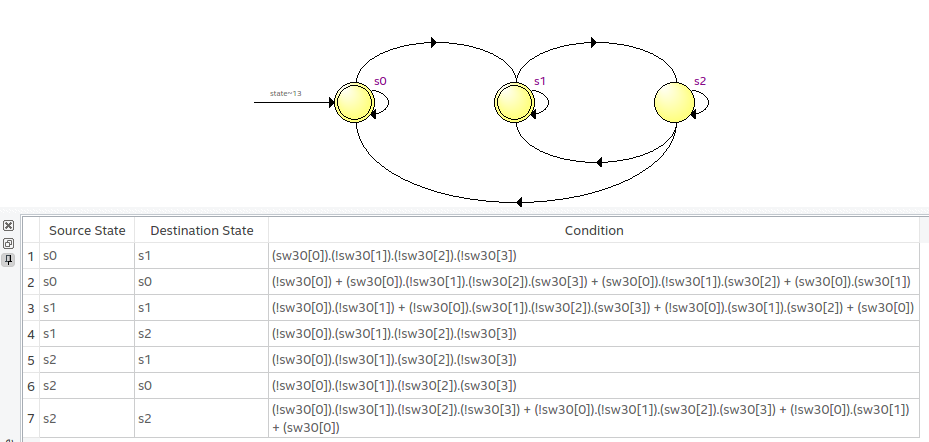


Рис. 4‑6. Синтезированная схема.

**Блок схемы конечного автомата в State Machine Viewer :**

Рис. 4‑7. Синтезированная схемасхемы конечного автомата .

## Моделирование

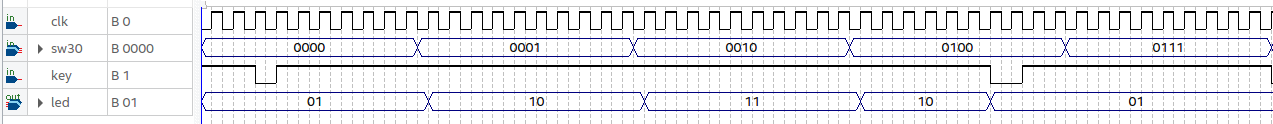


Рис. 4‑8. Результат моделирования средствами QII.

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на .

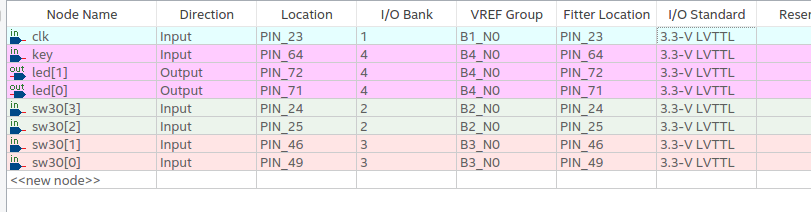


Рис. 4‑9. Назначение выводов в приложении Pin Planner.

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Работа была успешно выполнена.

# Вывод

В процессе выполнения лабораторной работы были пуличены навыки работы с RTL процессами, рассмотрено построение конечного автомата в среде Quatus, следующие устройства были описаны на языке verilog : счетчик-делитель, обеспечивает счет по модулью 25 000 000 и формирование синхронного сигнала переноса; двойчный , 4-разрядный счетчик;2-10 счетчик, содержащий 2 тетрады, а также устройство, реализующее заданный конечный автомат. Было проведено функциональное моделирование польностью совпадали с ожидаными.