Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе №4**

**Дисциплина**: Языки описания аппаратных средств вычислительных систем

**Тема**: Два типа RTL процессов. Конечный автомат

Выполнил студент гр. 350901/80101 Фам Т. Т. Бинь

(подпись)

Преподаватель А. А. Федотов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

г. Санкт-Петербург

2020

1. **Ходы работы:**

**2.1. Упражнение 1:**

Необходимо на языке Verilog описать устройство, включающее:

* Счетчик – делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения 25 000 000 -1.
* Двоичной, 4-разрядный, счетчик, алгоритм работы, которого задан приведенной ниже таблицей.

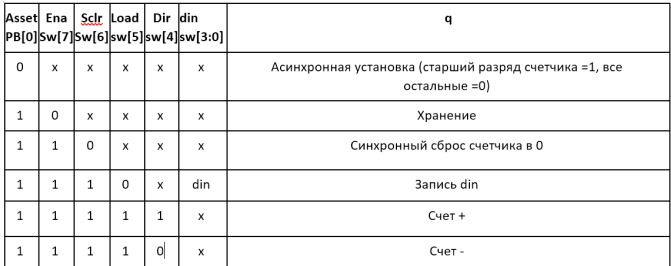


Таблица 1. Алгоритм счетчика.

**Тестовое описание схемы:**

module lab4\_1

(input clk, asset,ena,sclr,load,dir,

input [3:0] din,

output reg [3:0] led,

output reg cout);

reg [24:0] with\_divisor = 25'b0;

always @(posedge clk)

begin

if (with\_divisor < 25'd24999999)

begin

cout <= 1'b0;

with\_divisor <= with\_divisor + 1'b1;

end

else

begin

cout <= 1'b1;

with\_divisor <= 25'b0;

end

end

always @(posedge clk, negedge asset)

begin

if (asset == 0)

begin

led <= 4'b1000;

end

else

if (ena == 1)

if (sclr == 0)

begin

led <= 4'b0;

end

else

if (load == 0)

begin

led <= din;

end

else

if (dir == 0)

begin

led <= led - 1'b1;

end

else

begin

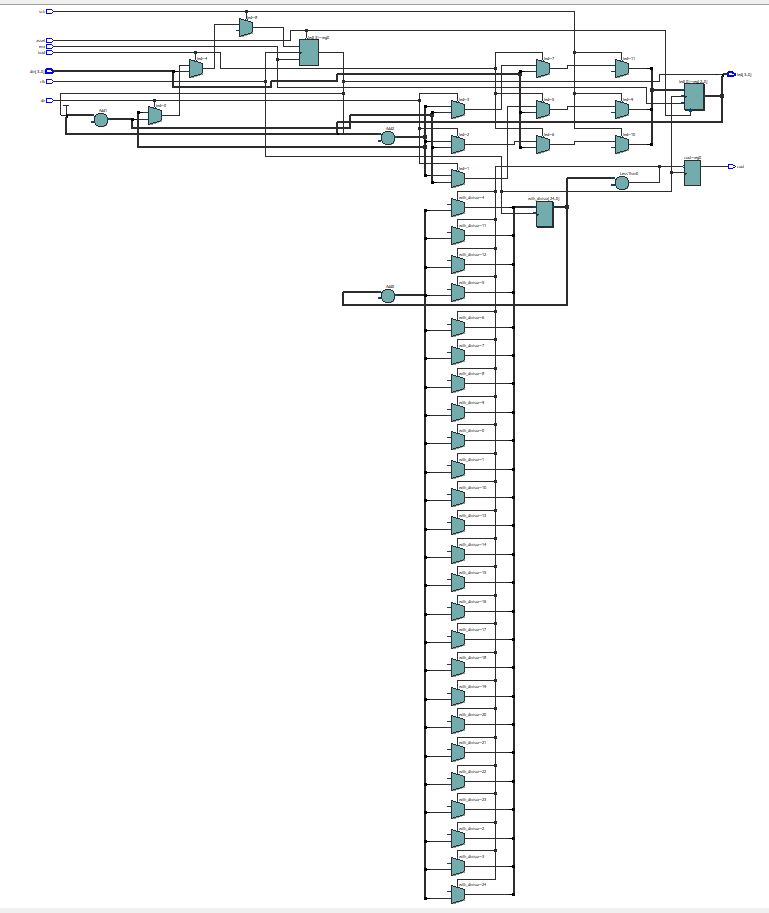
led <= led + 1'b1;

end

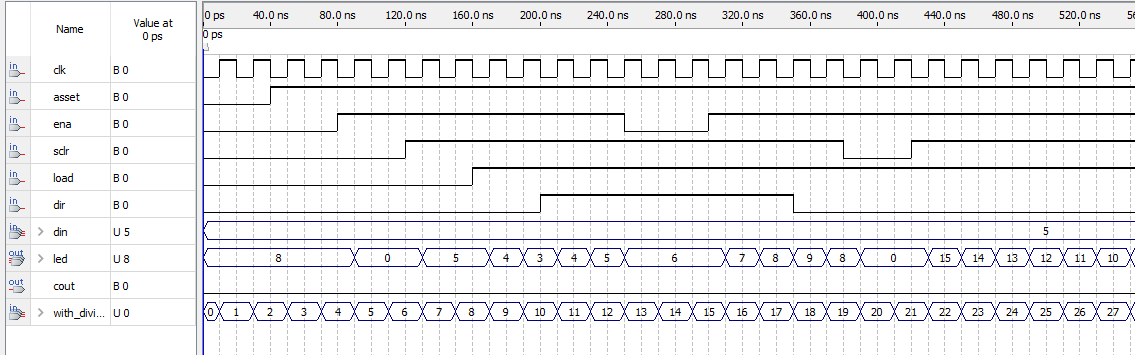
end

endmodule

**Синтезированная схема**



**Результат моделирования**



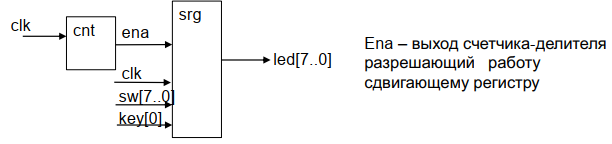
Результаты моделирования полностью совпадают с ожидаемыми.

A picture containing table

Description automatically generated **Были заданы выводы СБИС:**

**2.2. Упражнение 2:**

Необходимо на языке Verilog описать представленную ниже схему:



Cnt – счетчик-делитель: коэффициент деления задается константой. Выход – сигнал переноса.

Srg – сдвигающий регистр

**Тестовое описание схемы:**

module lab4\_2 (

input clk, key,

input [7:0] data,

output reg [7:0] led

);

reg ena;

reg [24:0] tmp;

always @ (posedge clk)

begin

tmp <= tmp + 4'h1;

if (tmp == 25000000)

begin

tmp <= 4'h0;

ena <= 1'b1;

end

else

ena <= 1'b0;

end

always @ (posedge clk)

begin

if (ena)

begin

if (key)

led <= data;

else

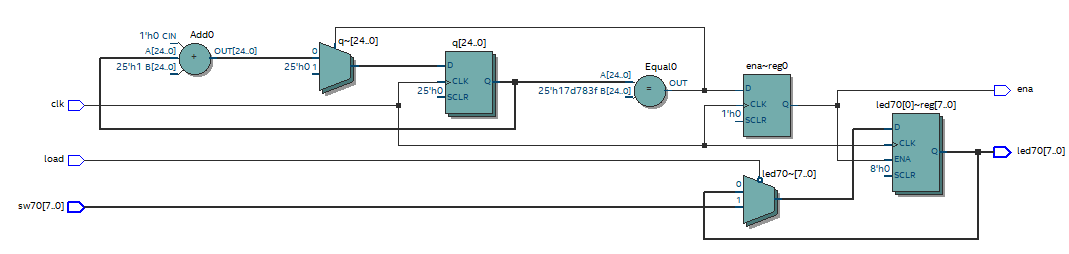
led <= {led[6:0] , 1'b0};

end

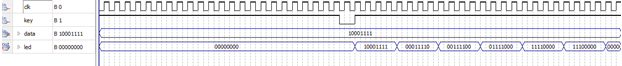
end

endmodule

**Cинтезированная схема в RTL:**



**Результаты моделирования:**



Результаты моделирования полностью совпадают с ожидаемыми

**Были заданы выводы СБИС:**

Table

Description automatically generated

**2.3. Упражнение 3.**

На языке Verilog опишите 2-10 счетчик, содержащий 2 тетрады (счет десятков и счет единиц)

**Тестовое описание схемы:**

module lab4\_3(

input clk, aclr,

output reg [3:0] led\_d, led\_u

);

(\*keep\*) wire cout;

(\*keep\*) reg ena;

(\*keep\*) reg [24:0] tmp;

// счетчик делитель

always @ (posedge clk, negedge aclr)

begin

if (!aclr) begin

tmp <= 4'h0;

ena <= 1'b0;

end

else begin

tmp <= tmp + 4'h1;

if (tmp == 25000000)

begin

tmp <= 4'h0;

ena <= 1'b1;

end

else

ena <= 1'b0;

end

end

// счетчик единиц

always @ (posedge clk, negedge aclr)

begin

if (!aclr)

led\_u <= 4'h0;

else

if (ena)

if (led\_u == 4'h9) led\_u <= 4'h0;

else led\_u = led\_u + 4'h1;

end

assign cout = (led\_u == 4'h9);

// счетчик десяток

always @ (posedge clk, negedge aclr)

begin

if (!aclr)

led\_d <= 4'h0;

else

if (ena && cout)

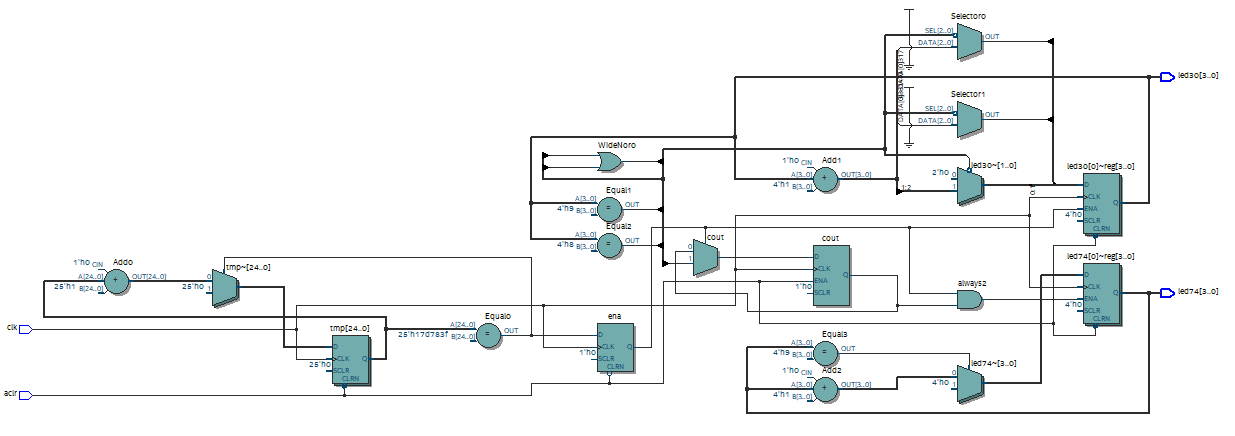
if (led\_d == 4'h9) led\_d <= 4'h0;

else led\_d = led\_d + 4'h1;

end

endmodule

**Синтезированная схема в RTL:**



**Результаты моделирования:**



Результаты моделирования полностью совпадают с ожидаемыми

**Были заданы выводы в СБИС:**

Table

Description automatically generated

1. **Вывод:**

В процессе выполнения лабораторной работы были пуличены навыки работы с RTL процессами, рассмотрено построение конечного автомата в среде Quartus, следующие устройства были описаны на языке Verilog : счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала переноса; двоичный , 4-разрядный счетчик;2-10 счетчик, содержащий 2 тетрады, а также устройство, реализующее заданный конечный автомат. Было проведено функциональное моделирование полностью совпадали с ожидаемыми.