

BÁO CÁO THỰC HÀNH KIẾN TRÚC MÁY TÍNH TUẦN 12

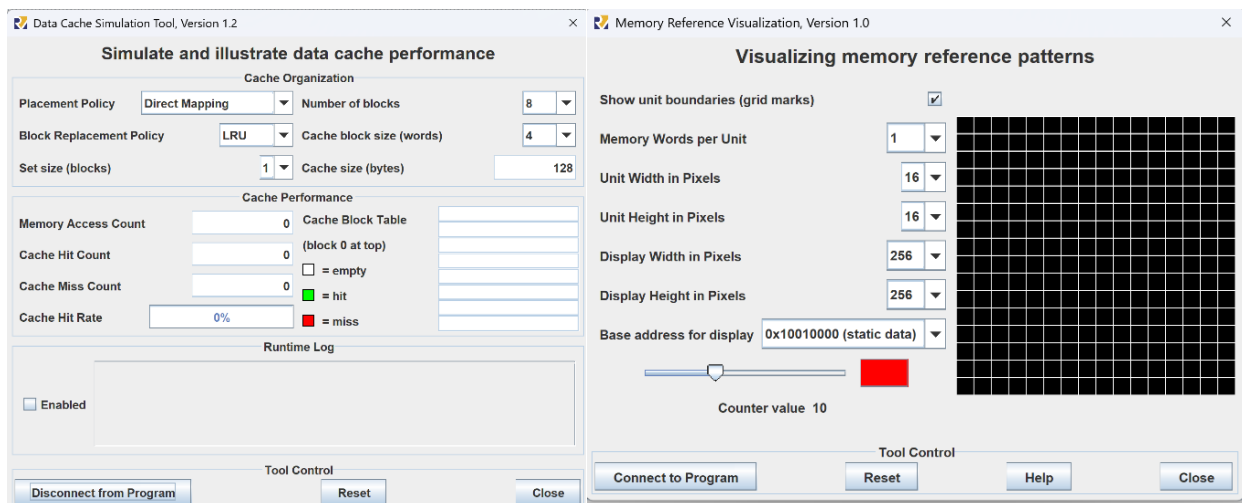
Họ và tên: Phan Khánh Vũ

MSSV: 20235880

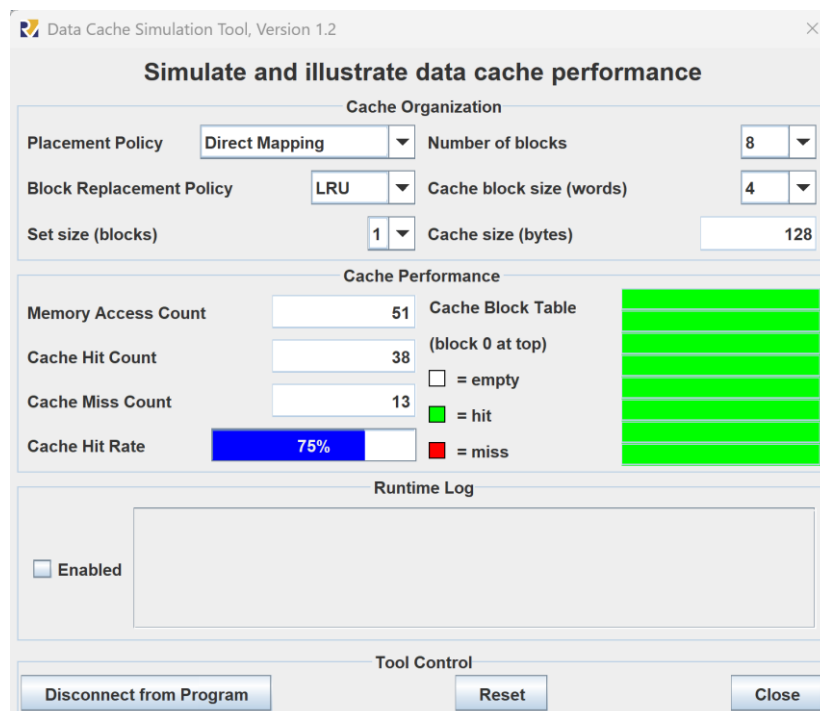
1. Chạy thử nghiệm & thu thập dữ liệu

Ba chương trình được biên dịch và chạy trong môi trường RARS, có hỗ trợ các công cụ như:

- Data Cache Simulator (mô phỏng cache)
- Memory Reference Visualization (mô phỏng truy cập ô nhớ).

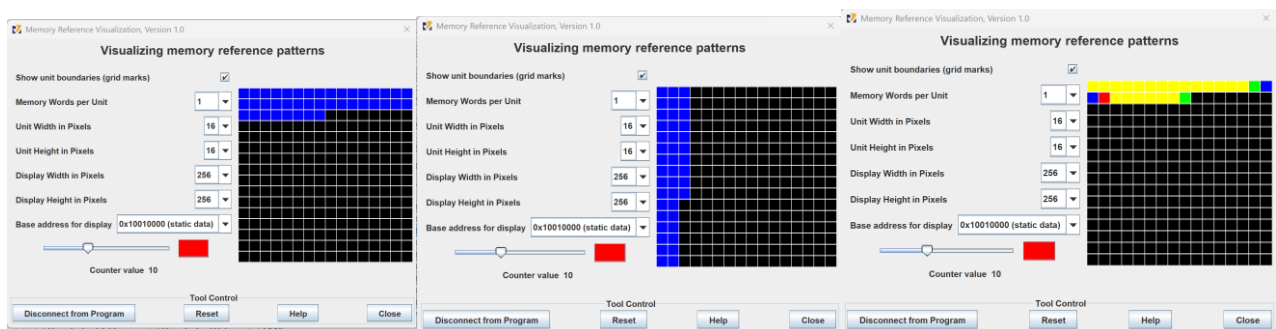


Chạy thử một lần:



Kết quả mô phỏng:

Chương trình	Tỷ lệ cache hit mặc định (block size = 4)	Khi tăng block size (16)	Khi số block = 16 & block size = 16
row-major.asm	75%	Cao hơn	Gần như tối ưu
column-major.asm	0%	Không cải thiện	93.75%
fibonacci.asm	Cao (ước tính ~67–75%)	Tăng nếu block ≥ 3 word	—



2. Phân tích dữ liệu

Row-major

- Truy cập dữ liệu tuần tự theo hàng: $\text{data}[0][0] \rightarrow \text{data}[0][1] \rightarrow \dots \rightarrow \text{data}[15][15]$.
- Do dữ liệu trên RAM cũng được lưu tuyến tính theo thứ tự này \rightarrow rất phù hợp với cơ chế cache line.
- Mỗi block (ví dụ 4 từ nhớ) sau lần cache miss đầu, tiếp theo sẽ có nhiều lần cache hit.

Column-major

- Truy cập theo cột: $\text{data}[0][0] \rightarrow \text{data}[1][0] \rightarrow \dots \rightarrow \text{data}[15][0] \rightarrow \text{data}[0][1] \dots$
- Các lần truy cập cách nhau 16 từ nhớ \rightarrow thuộc các block hoàn toàn khác nhau nếu block size nhỏ.
- \rightarrow Miss liên tục, trừ khi:
 - Tăng block size lên tối đa (16 từ nhớ),

- Và số lượng block đủ chứa toàn bộ ma trận (256 từ).

Fibonacci

- Mỗi vòng lặp truy cập 3 phần tử liên tiếp ($F[n]$, $F[n+1]$, $F[n+2]$).
 - Bộ nhớ được truy cập tuyến tính và liên tiếp \rightarrow cache hoạt động hiệu quả nếu block chứa ≥ 3 từ nhớ.
-

3. Nhận xét & kết luận

- Row-major traversal: hiệu suất truy cập tốt do tận dụng được locality (liên kết không gian – spatial locality).
 - Column-major traversal:
 - Không phù hợp với kiến trúc cache dạng direct-mapped và locality tuyến tính.
 - Chỉ đạt hiệu năng cao khi cấu hình cache được tối ưu (block size = 16, số block = 16).
 - Fibonacci: Truy cập tuyến tính đơn giản, phù hợp với mọi cấu hình cache miễn là block size hợp lý.
-

4. Giải thích kỹ thuật

- Cache hoạt động theo block (line): một block chứa nhiều từ nhớ. Khi một từ được truy cập, cả block chứa nó sẽ được nạp vào cache.
- Locality:
 - Temporal locality: dữ liệu được truy cập nhiều lần trong thời gian ngắn (Fibonacci tận dụng tốt).
 - Spatial locality: dữ liệu gần nhau được truy cập liên tiếp (row-major tận dụng tốt).
- Row-major phù hợp hơn với các hệ thống cache có block nhỏ vì thứ tự truy cập tuyến tính.
- Column-major thường kém hiệu quả trên cache direct-mapped, trừ khi cấu hình đặc biệt phù hợp.

- Cấu hình cache lý tưởng cho column-major: block size = số hàng = 16, số block = 16, cache chứa toàn bộ ma trận, tránh cache replacement.