

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH



COMPUTER ENGINEERING

**BÁO CÁO CUỐI KỲ
MÔN HỌC THIẾT KẾ VI MẠCH SỐ
THẾT KẾ SCHEMATIC VÀ LAYOUT
FIFO 8x8**

GVHD: TS. Lâm Đức Khải

Sinh viên thực hiện: **Phan Quốc Linh - 18520993**

Lớp: CE222.L21

Thành phố Hồ Chí Minh, ngày 20 tháng 6 năm 2021

MỤC LỤC

1. Theory	5
1.1. Định nghĩa FIFO	5
1.2. Tổng quan về kiến trúc và các tín hiệu điều khiển của mạch FIFO	5
1.3. Giải thích hoạt động của fifo 8x8	7
2. Schematic design	8
2.1. Schematic của fifo 8x8.....	8
2.2. Schematic của khối RAM 8x8	8
2.3. Schematic khối counter Front/Back	11
2.4. Schematic của khối Compare 3bit	14
2.5. Schematic của khối Selector	14
3. HSPICE pre-layout simulation results and comments	15
4. Layout design	17
- Layout fifo 8x8:.....	17
- Layout của counter 4bit:.....	18
- Layout của khối RAM 8x8.....	18
- Layout của khối Compare 3bit.....	19
- Layout của khối Selector (Mux2to1 3bit).....	19
5. DRC, LVS, Area check results	19
5.1. Check DRC	19
5.2. Check LVS	20
5.3. Check LPE	20
5.4. Area results	21
6. HSPICE post-layout simulation results and comments	22

MỤC LỤC HÌNH ẢNH

Hình 1: Mô tả hoạt động của FIFO.....	5
Hình 2: Kiến trúc fifo 8x8.....	6
Hình 3: Schematic của mạch fifo 8x8.....	8
Hình 4: Schematic của khối RAM 8x8.....	9
Hình 5: Vị trí khoanh màu đỏ của hình 4, mô tả rõ hơn Schematic của RAM 8x8. .	9
Hình 6: Schematic khối RAM 4x8 trong hình 4.....	10
Hình 7: Schematic khối RAM 1x8 trong hình 6.....	10
Hình 8: Schematic khối cell sử dụng dLatch trong hình 9.	10
Hình 9: Schematic của khối dLatch trong hình 8.	11
Hình 10: Schematic của tristate trong hình 8.....	11
Hình 11: Schematic của khối counter Front/Back.....	12
Hình 12: Schematic của khối counterCell.	12
Hình 13: Schematic của khối HASup trong hình 12.	13
Hình 14: Schematic của cổng xor2 trong hình 13.	13
Hình 15: Schematic của khối compare.	14
Hình 16: Schematic của cổng nor3 trong hình 15.	14
Hình 17: Schematic Mux2to1 3bit.....	15
Hình 18: Mux2to1 1bit trong hình 17.....	15
Hình 19: Waveform thu được khi chạy pre-layout simulation.....	16
Hình 20: Tổng quan Layout fifo 8x8.	17
Hình 21: Mô tả rõ chi tiết Layout fifo 8x8.	17
Hình 22: Layout của khối counter.	18
Hình 23: Layout của khối RAM 8x8.	18
Hình 24: Layout của khối Compare 3bit.	19
Hình 25: Layout của khối Selector.	19
Hình 26: Check DRC fifo 8x8.	20
Hình 27: Check LVS fifo 8x8.....	20
Hình 28: Check LPE fifo 8x8	21
Hình 29: Tụ và trở kí sinh thu được sau khi check LPE.....	21
Hình 30: Width và Length của Layouy fifo 8x8.....	22
Hình 31: Kết quả waveform chạy post-layout simulation fifo 8x8.	22

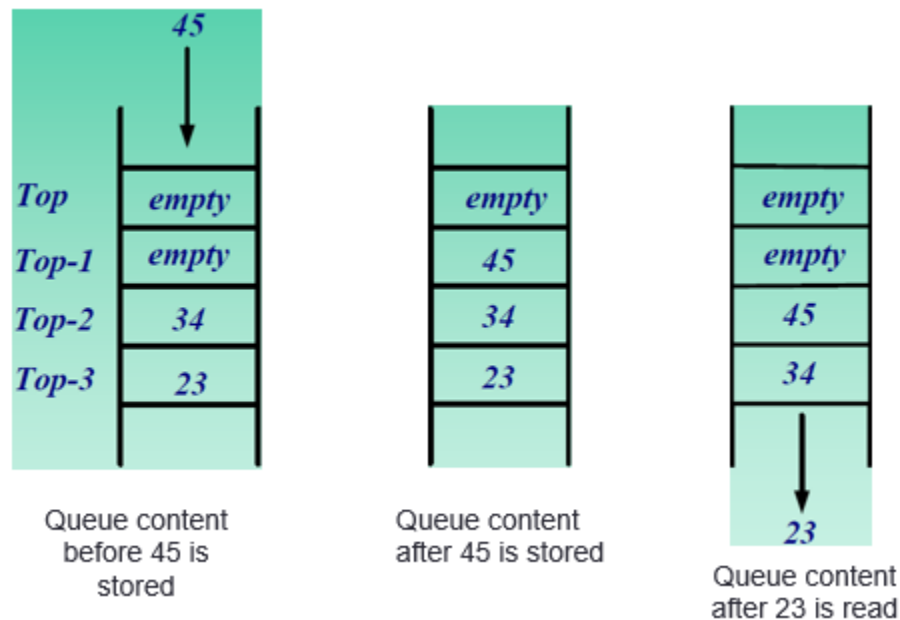
MỤC LỤC BẢNG

Bảng 1: Bảng điều khiển và trạng thái hoạt động của mạch fifo.....	6
Bảng 2: Bảng tín hiệu input và output của fifo.....	7
Bảng 3: Trạng thái hoạt động của RAM.....	8
Bảng 4: Bảng trạng thái hoạt động của counter.....	11

1. Theory

1.1. Định nghĩa FIFO

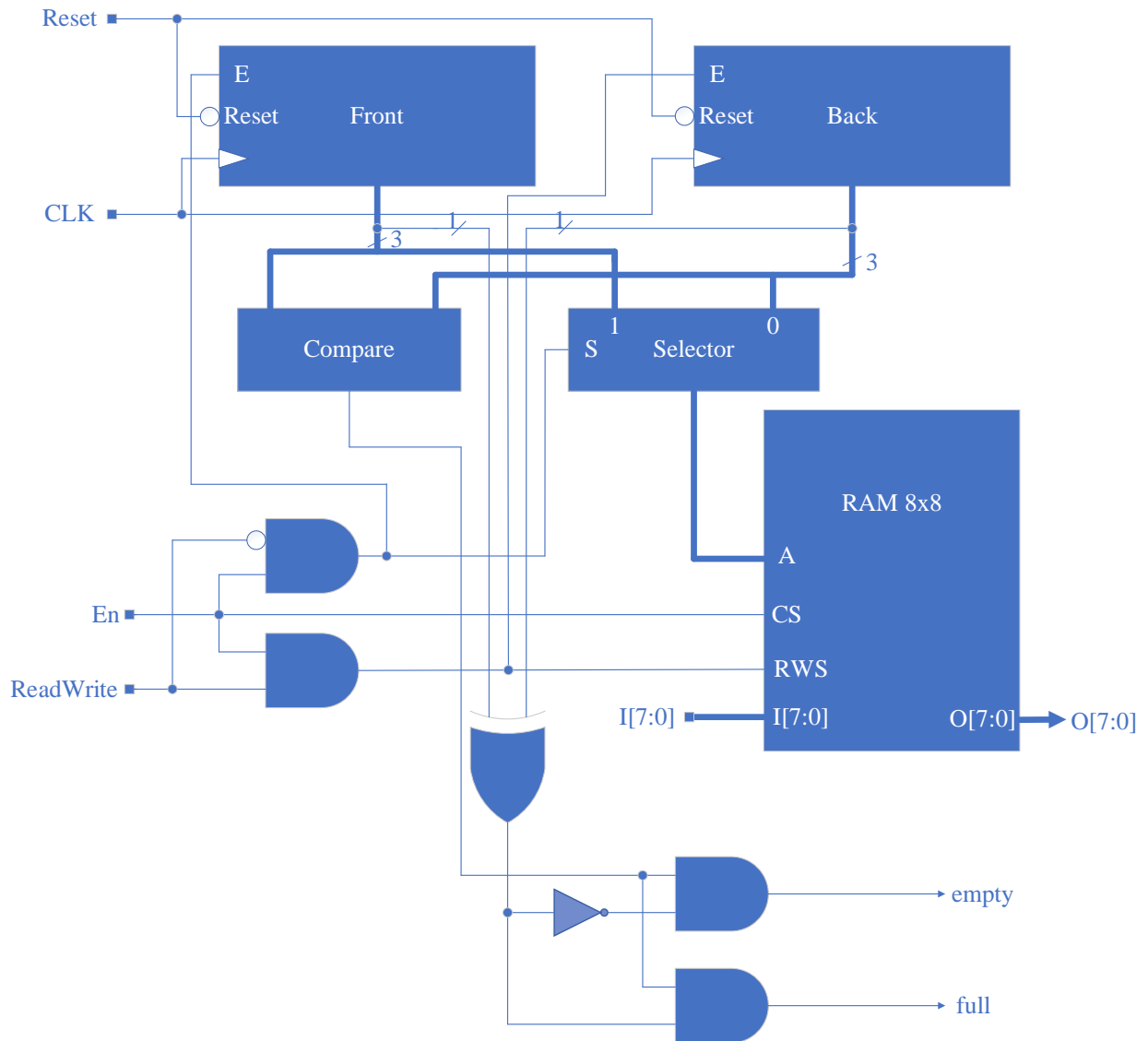
- Fifo (first in, first out): Được hiểu đơn giản là dữ liệu nào được đưa vào trước sẽ được tri xuất ra trước.



Hình 1: Mô tả hoạt động của FIFO.

1.2. Tổng quan về kiến trúc và các tín hiệu điều khiển của mạch FIFO

- Kiến trúc fifo trên gồm các khối chính và chức năng của từng khối
 - + Front/Back: Là 2 counter 4bit đếm lên dùng để trở đến địa chỉ write và read.
 - + Compare: Là khối so sánh bằng 3bit. Nhận giá trị input là 3bit cuối của 2 khối counter trên
 - + Selector: Là 1 mạch mux 2 to 1 3bit. Nếu fifo ở trạng thái write thì $S = 1$ và $S = 0$ khi fifo ở trạng thái read.
 - + Khối RAM 8x8: Đây là 1 con RAM 8 word, 8bit dùng để lưu giá trị nhập vào.



Hình 2: Kiến trúc fifo 8x8.

- Dưới đây là bảng điều khiển và trạng thái hoạt động của mạch fifo

Input		Control Table					Operation table
Read/Write	Enable	S	CS	RWS	E (Front)	E (back)	Operations
x	0	x	0	X	0	0	No change
0	1	1	1	0	1	0	Read
1	1	0	1	1	0	1	Write

Bảng 1: Bảng điều khiển và trạng thái hoạt động của mạch fifo.

- Dưới đây là bảng mô tả các tín hiệu điều khiển

Signal	Input/Output	Numbers of bit	Describable
Reset	Input	1	Tích cực mức thấp, có chức năng reset 2 khối counter về 0.
CLK	Input	1	Tín hiệu xung clock.
En	Input	1	Khi En = 1, cho phép mạch hoạt động.
ReadWrite	Input	1	Khi = 1, fifo ở trạng thái write. Khi = 0, fifo ở trạng thái read.
I[7:0]	Input	8	Giá trị nhập vào.
O[7:0]	Output	8	Giá trị xuất ra.
empty	Output	1	Tín hiệu cho biết fifo còn trống.
full	Output	1	Tín hiệu cho biết fifo đã đầy.

Bảng 2: Bảng tín hiệu input và output của fifo.

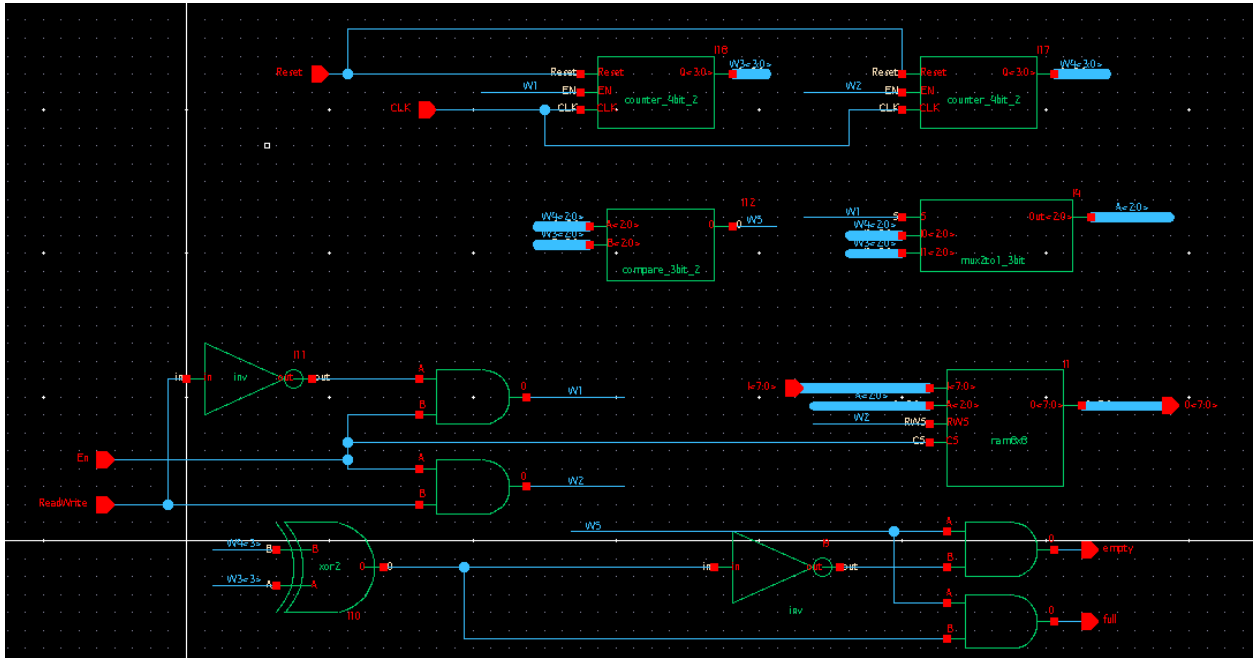
1.3. Giải thích hoạt động của fifo 8x8

- Khi Reset = 0, giá trị của 2 counter front/back được đưa về 0. Lúc này tín hiệu empty = 1, vì fifo chưa có giá trị nào.
- Khi có tín hiệu En = 1, ReadWrite = 1 thì tại cạnh lên của CLK, giá trị I[7:0] được ghi vào RAM 8x8. Lúc này tín hiệu empty = 0, tín hiệu full = 1 khi 3bit cuối của 2 counter Front/Back bằng nhau tức là tín hiệu output của khối Compare = 1 và giá trị bit MSB của 2 counter Front/Back khác nhau. Lúc này tín hiệu O[7:0] = Hi-Z.
- Khi có tín hiệu En = 1, ReadWrite = 0 thì tại cạnh lên của CLK, giá trị O[7:0] bằng với giá trị được lưu ở vị trí bằng với giá trị output của Back counter. Lúc này tín hiệu full = 0, tín hiệu empty = 1 khi 3bit cuối của 2 counter Front/Back bằng nhau tức là tín hiệu output của khối Compare = 1 và giá trị bit MSB của 2 counter Front/Back bằng nhau.

2. Schematic design

2.1. Schematic của fifo 8x8

- Hình ảnh dưới đây là schematic của fifo 8x8 được vẽ bằng phần mềm C designer



Hình 3: Schematic của mạch fifo 8x8.

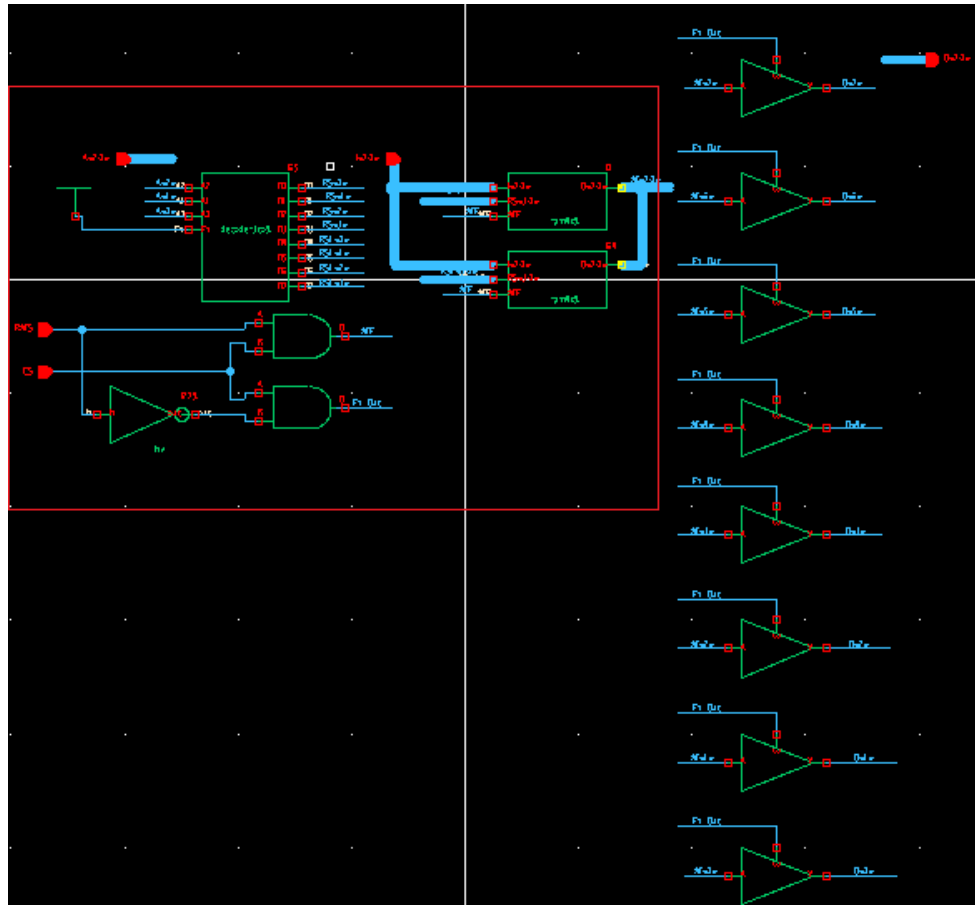
2.2. Schematic của khối RAM 8x8

- Bảng trạng thái hoạt động của RAM

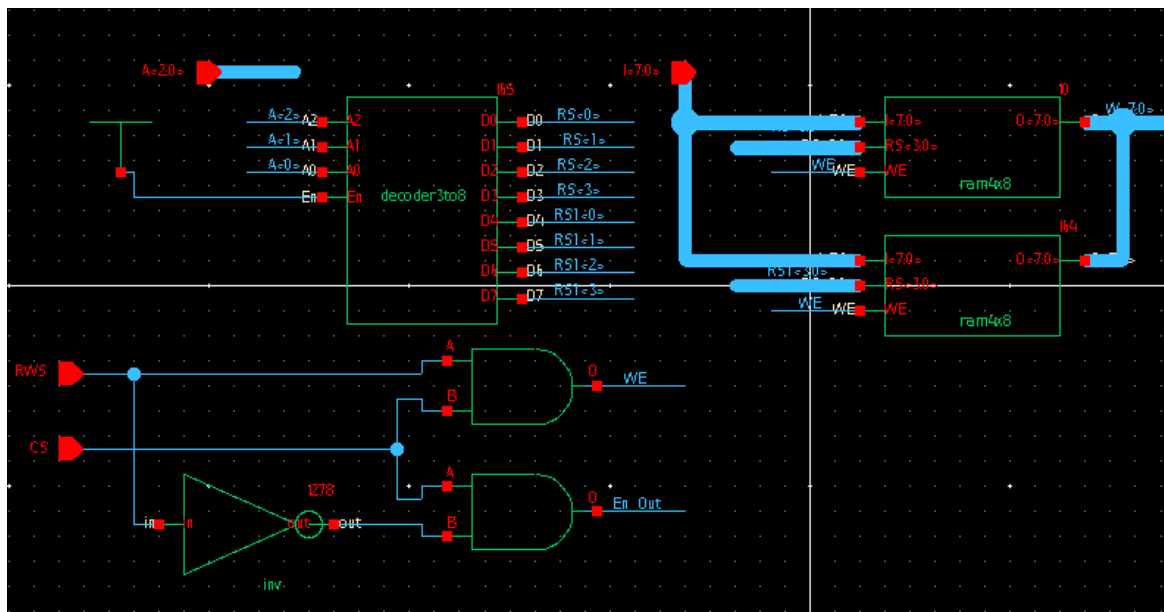
CS	RWS	Operations
0	x	No change
1	0	Read
1	1	Write

Bảng 3: Trạng thái hoạt động của RAM

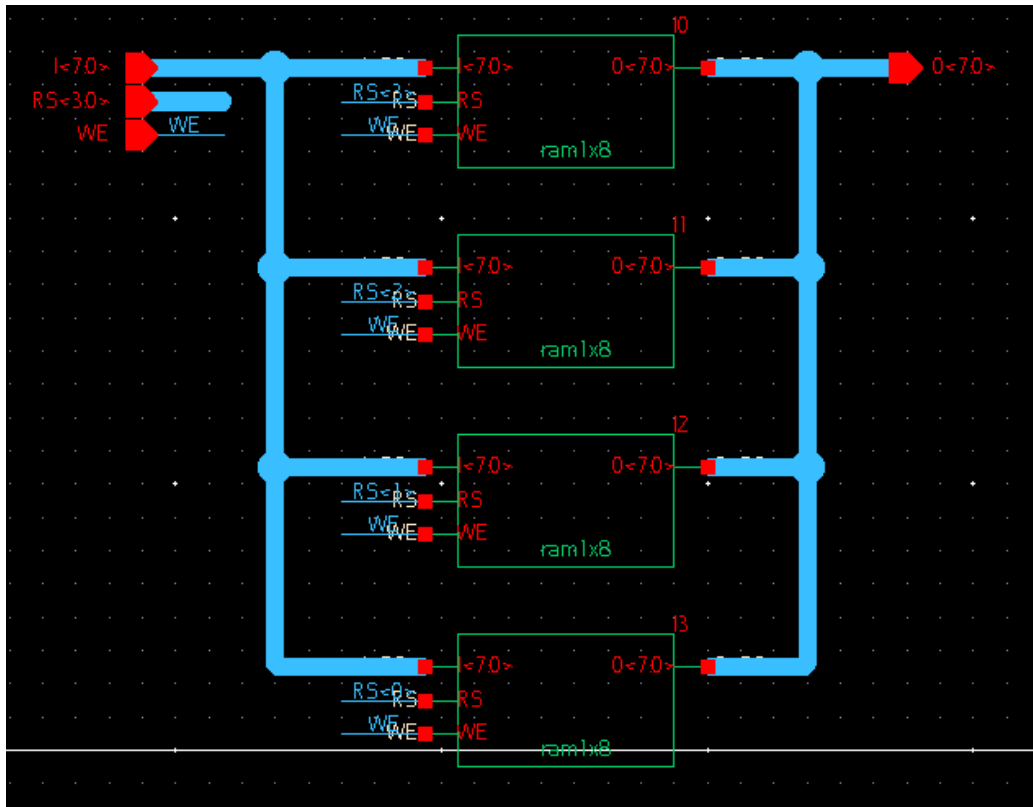
- Hình ảnh dưới đây là schematic của khối RAM 8x8 được vẽ bằng phần mềm C designer



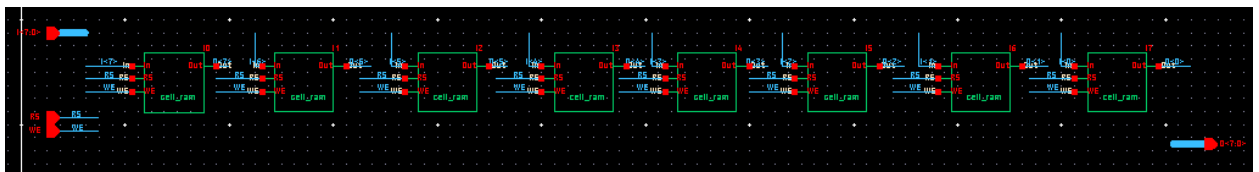
Hình 4: Schematic của khối RAM 8x8.



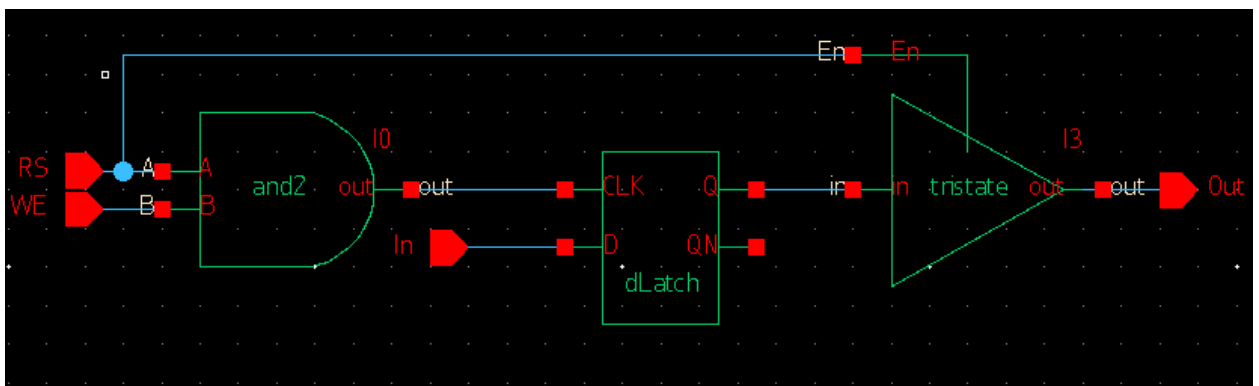
Hình 5: Vị trí khoanh màu đỏ của hình 4, mô tả rõ hơn Schematic của RAM 8x8.



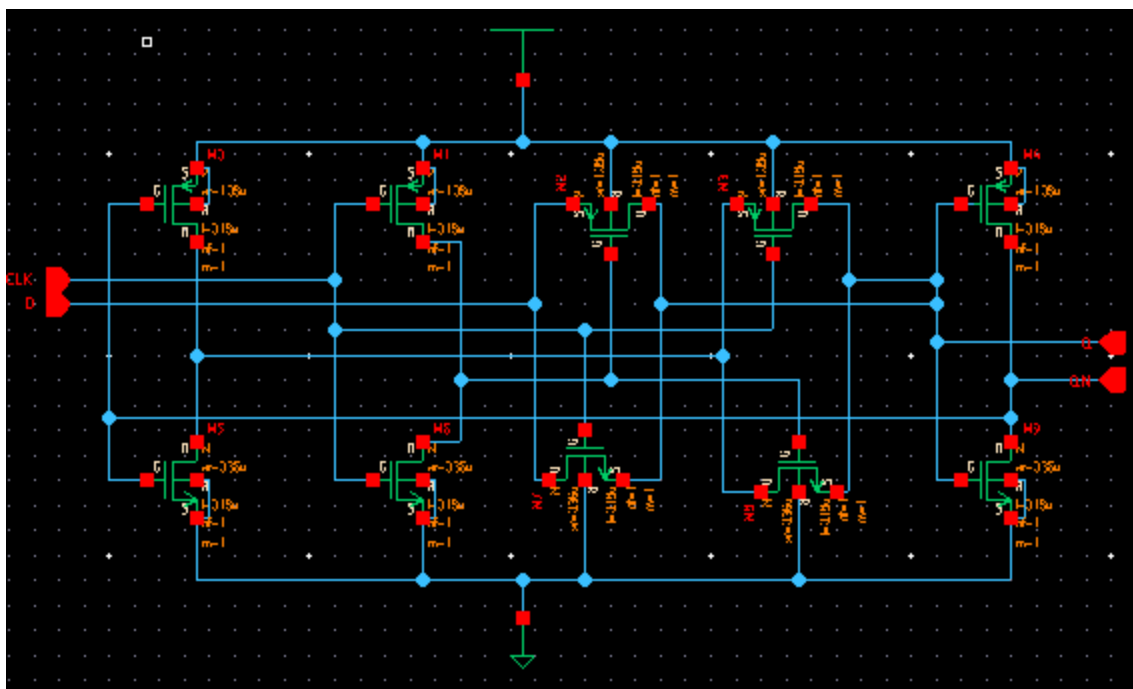
Hình 6: Schematic khối RAM 4x8 trong hình 4.



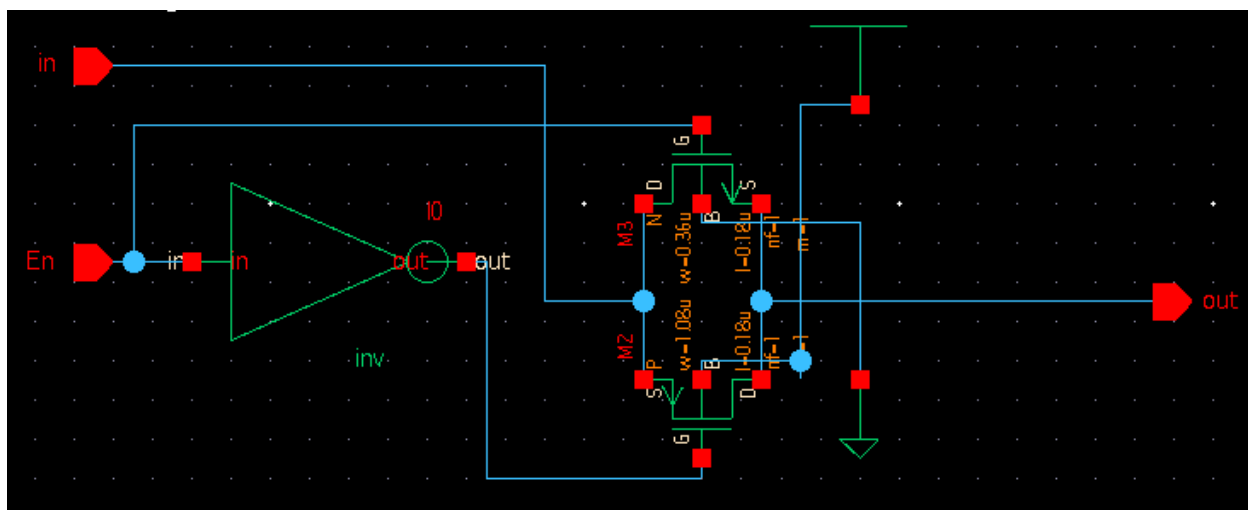
Hình 7: Schematic khối RAM 1x8 trong hình 6.



Hình 8: Schematic khối cell sử dụng dLatch trong hình 9.



Hình 9: Schematic của khối dLatch trong hình 8.



Hình 10: Schematic của tristate trong hình 8.

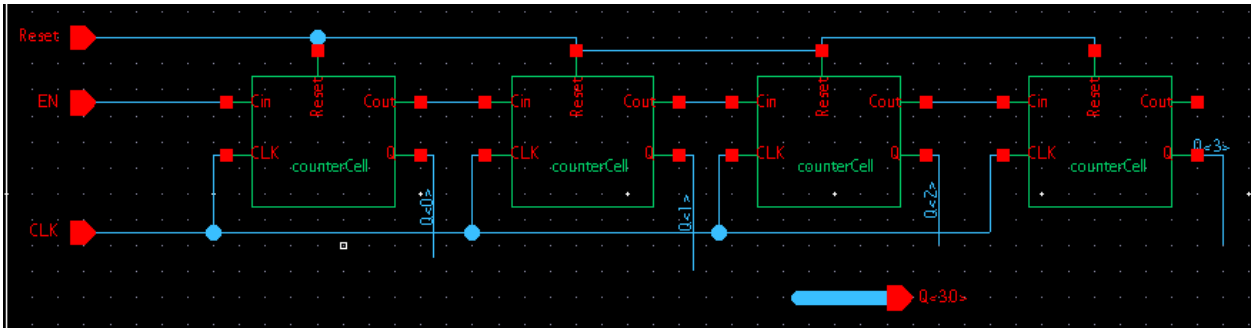
2.3. Schematic khối counter Front/Back

- Bảng trạng thái hoạt động của counter

Reset	En	Operations
0	0	Output = 0
0	1	Output = 0
1	0	No Change
1	1	Count up

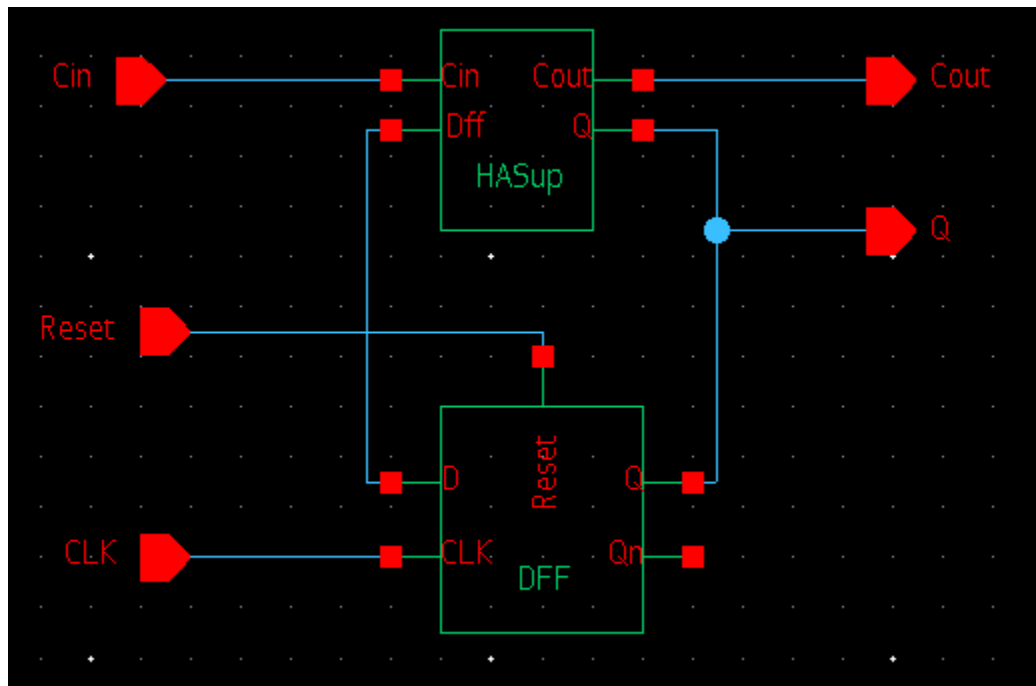
Bảng 4: Bảng trạng thái hoạt động của counter

- Schematic của khối counter Front/Back



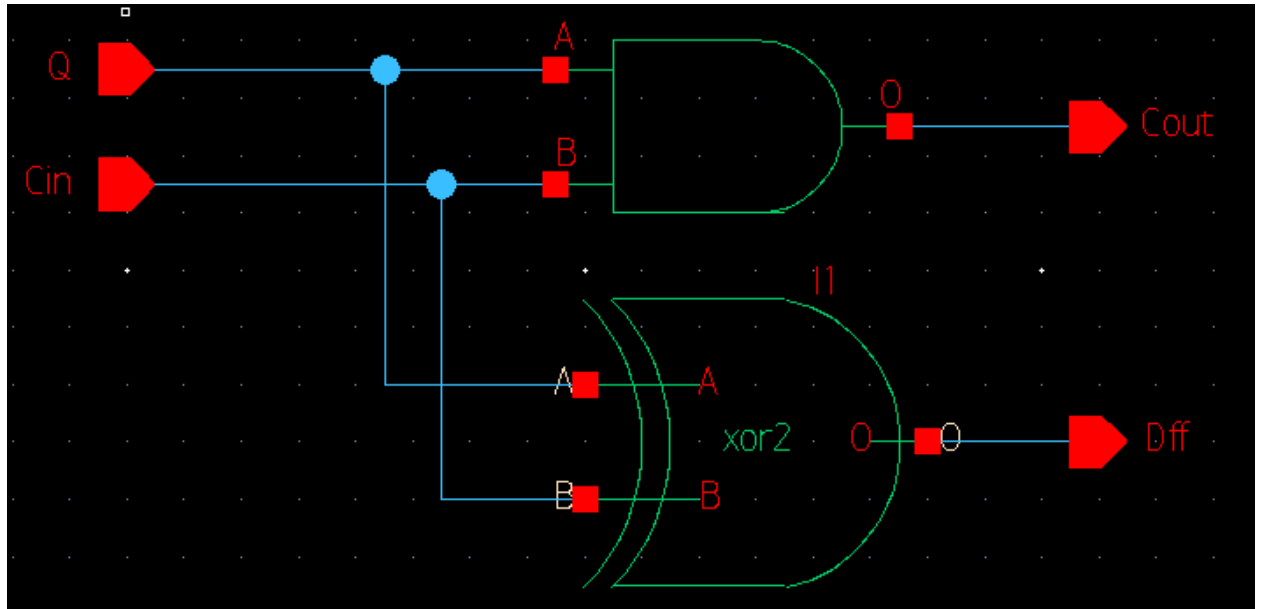
Hình 11: Schematic của khối counter Front/Back.

- Schematic của khối counterCell



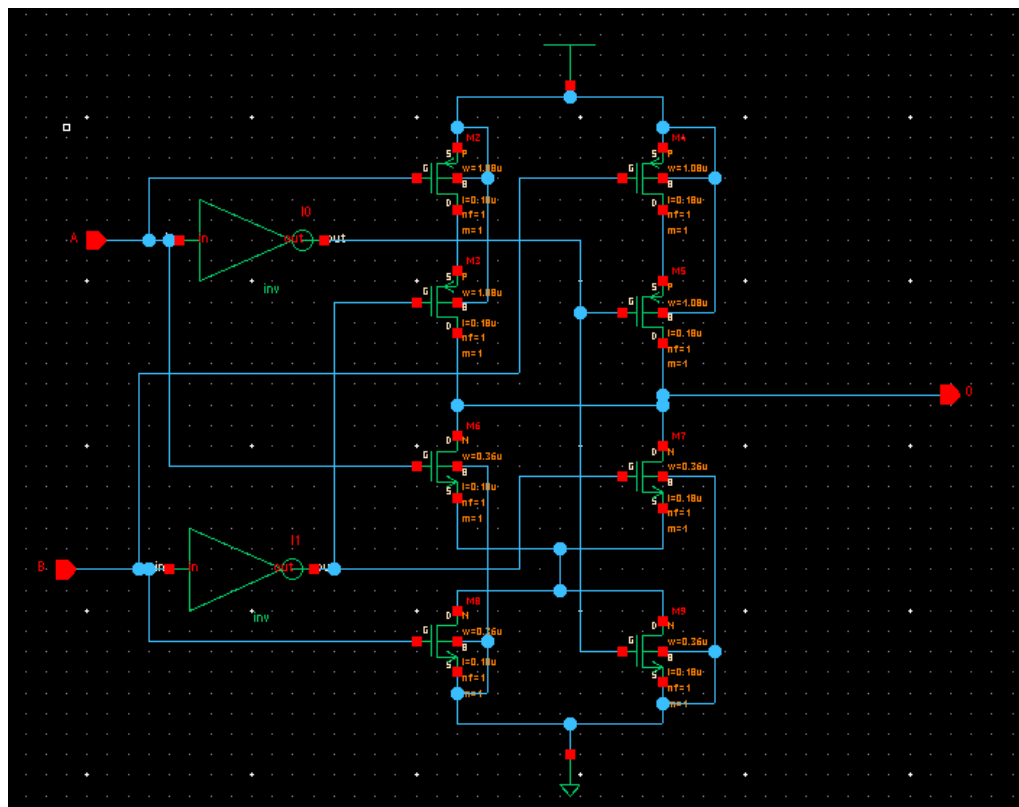
Hình 12: Schematic của khối counterCell.

- Schematic của HASup



Hình 13: Schematic của khối HASup trong hình 12.

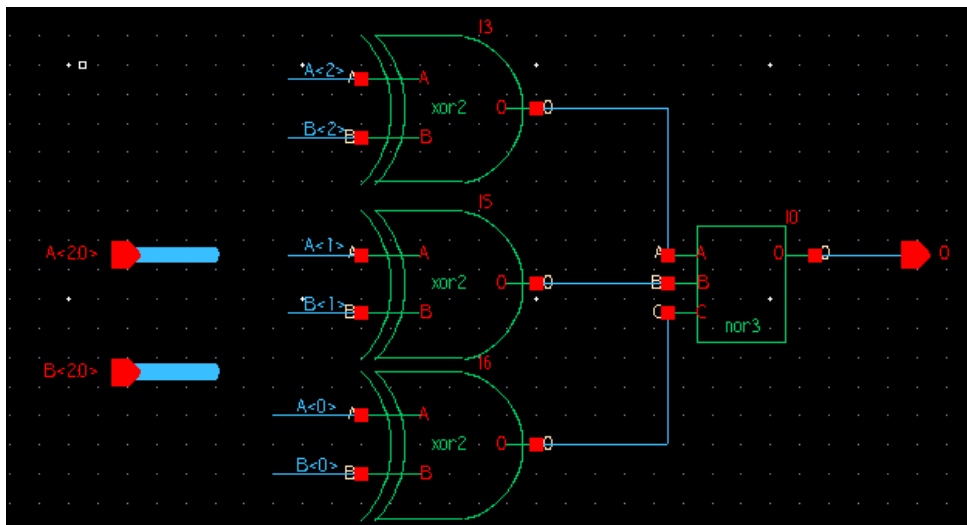
- Schematic của cổng xor2



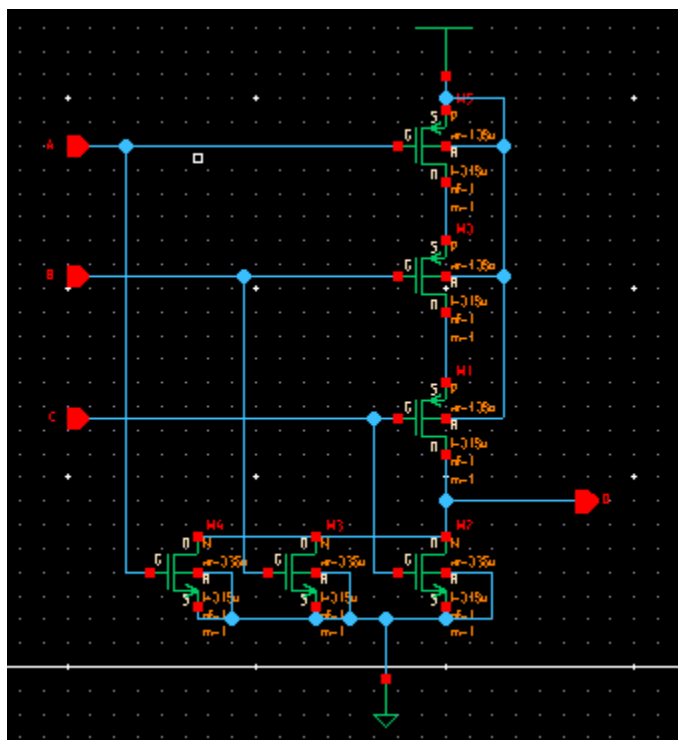
Hình 14: Schematic của cổng xor2 trong hình 13.

2.4. Schematic của khối Compare 3bit

- Schematic của khối compare 3bit



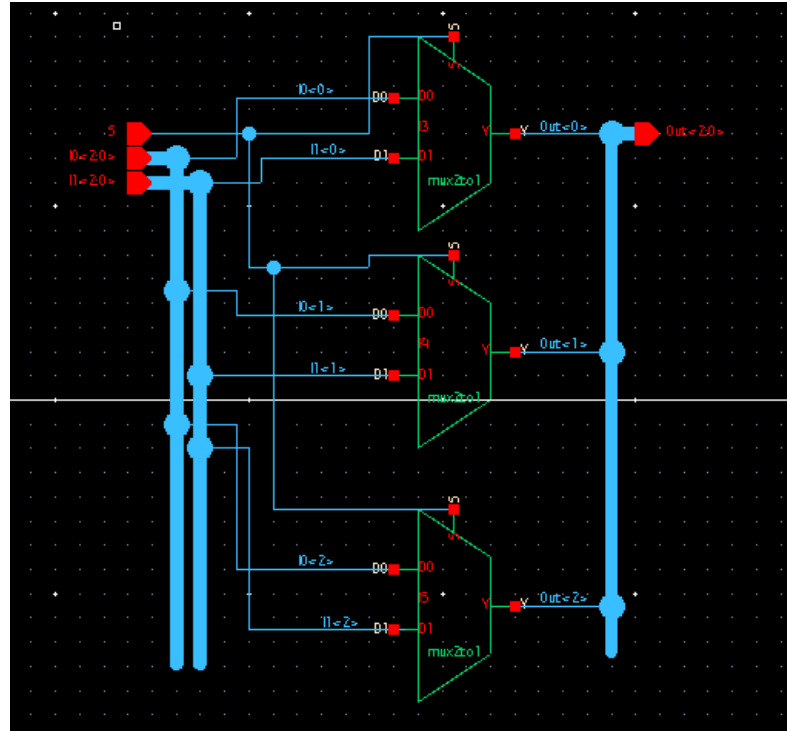
Hình 15: Schematic của khối compare.



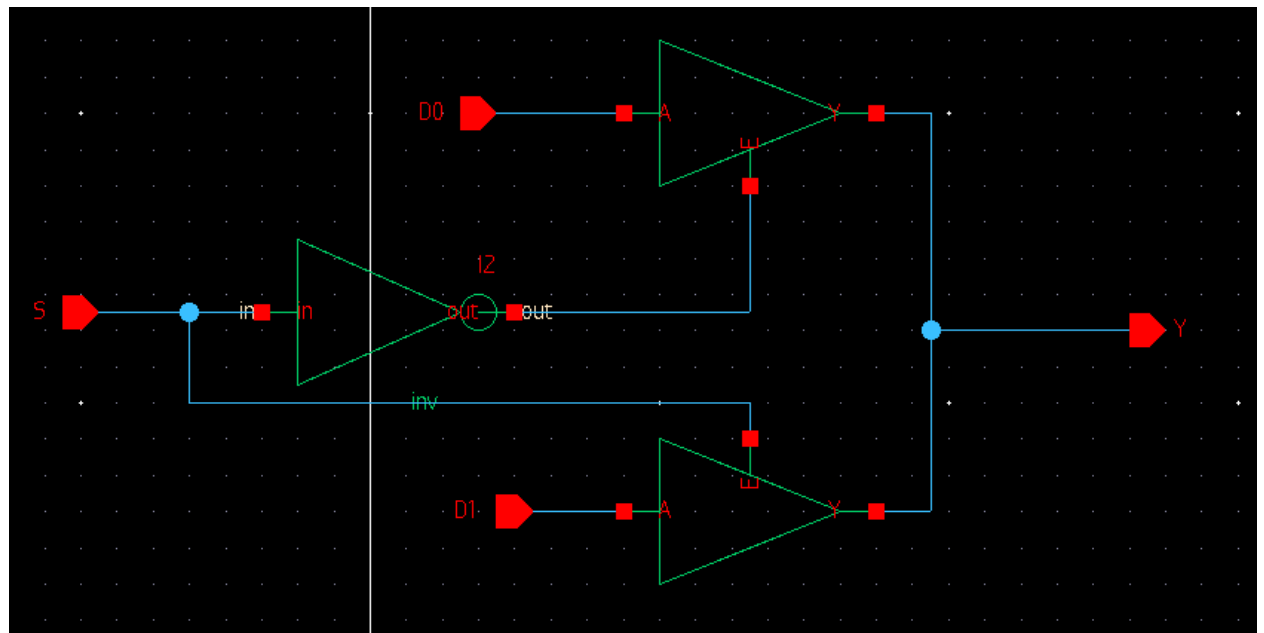
Hình 16: Schematic của cổng nor3 trong hình 15.

2.5. Schematic của khối Selector

- Schematic của khối Selector (Mux2to1 3bit)



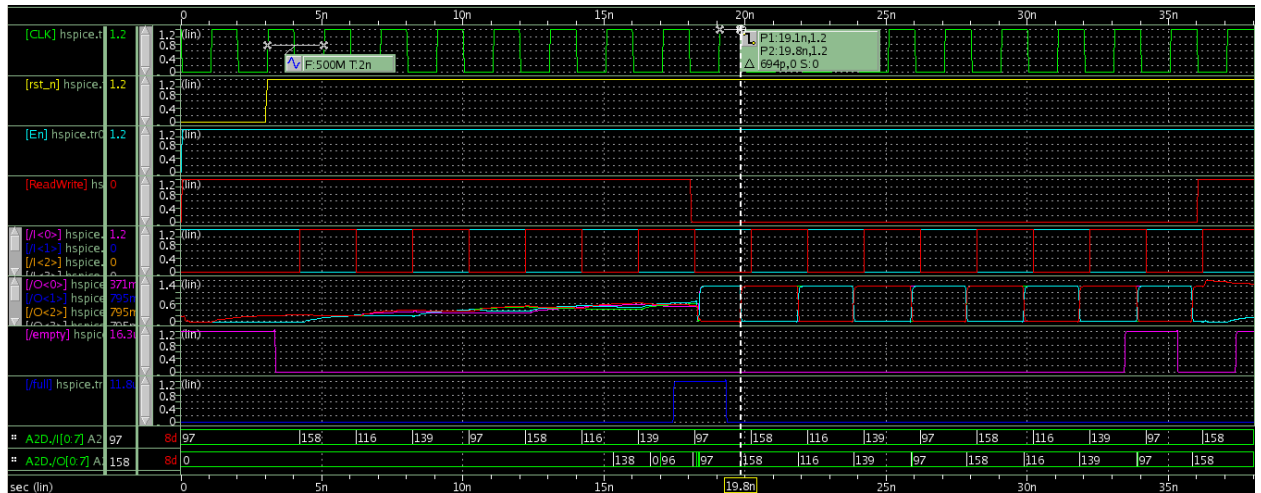
Hình 17: Schematic Mux2to1 3bit.



Hình 18: Mux2to1 1bit trong hình 17.

3. HSPICE pre-layout simulation results and comments

- Hình ảnh Waveform thu được khi chạy pre-layout simulation

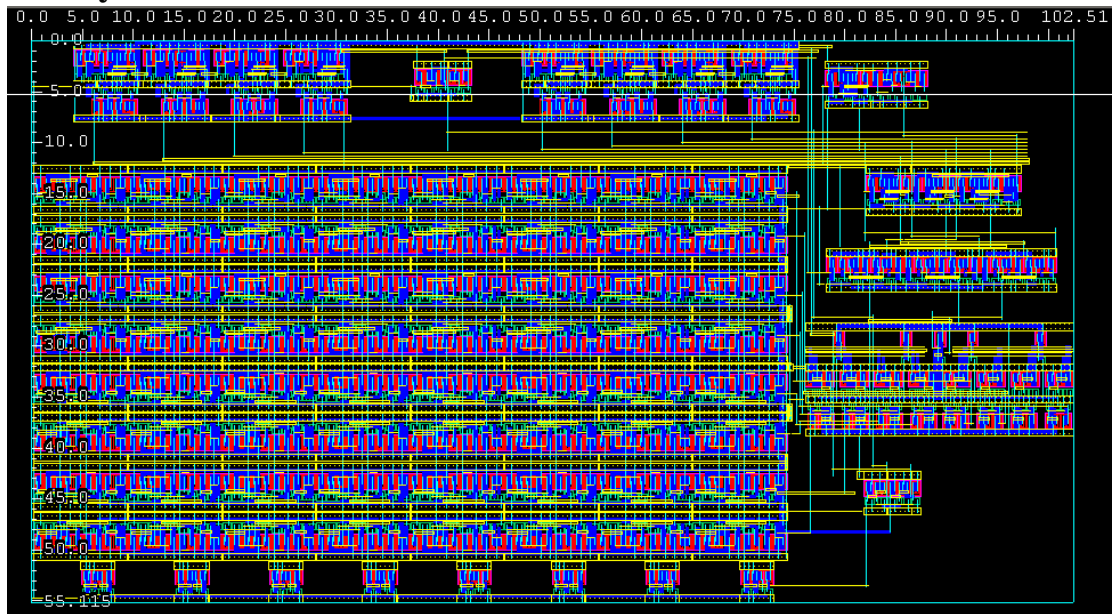


Hình 19: Waveform thu được khi chạy pre-layout simulation.

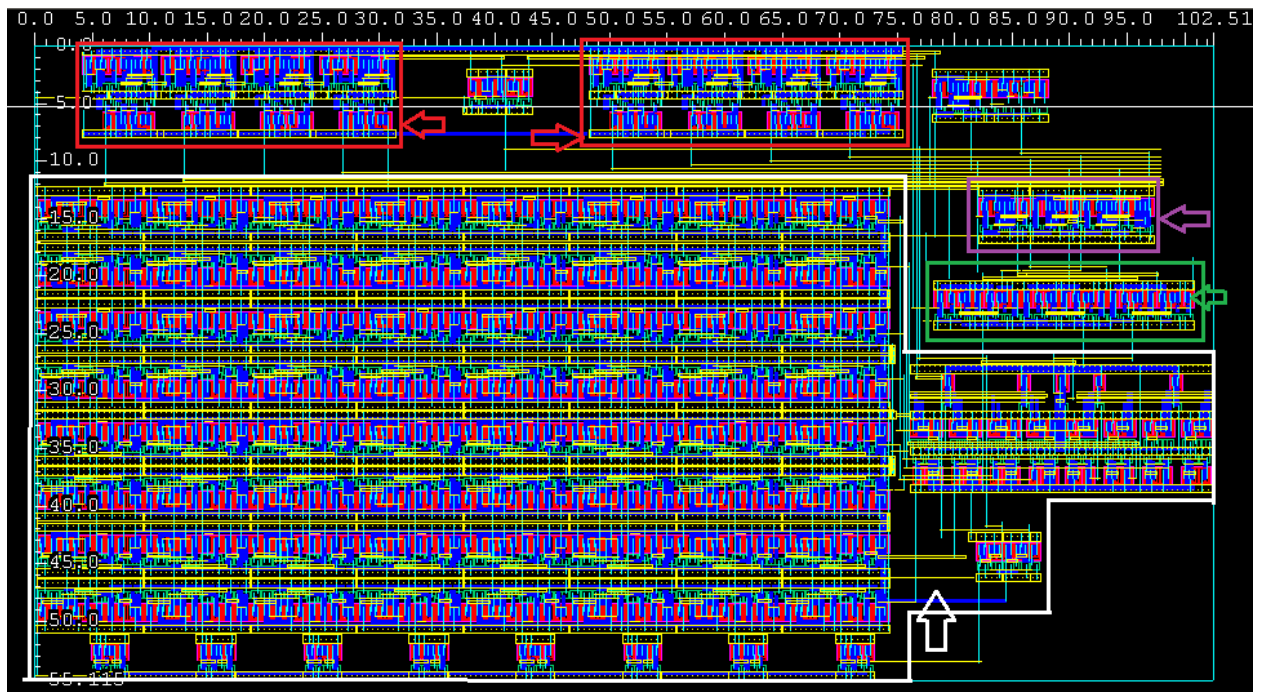
- Comments:
 - + Chu kỳ của fifo $T = 2\text{ns}$, $f = 500\text{Mhz}$. Delay từ cạnh lên xung clock đến khi có giá trị output chính xác là vào khoảng $t = 694\text{ps}$.
 - + Khi Reset(rst_n) = 0 địa chỉ của fifo sẽ được reset về 0. Lúc này tín hiệu empty = 1, full = 0.
 - + Khi Reset(rst_n) = 1, sau tín hiệu cạnh lên CLK, En = 1, ReadWrite = 1, thì giá trị 158 sẽ lưu vào vị trí đầu tiên, lúc này tín hiệu empty = 0. Tiếp tục lưu giá trị input vào đến khi đầy thì tín hiệu full = 1.
 - + Khi En = 1, ReadWrite = 0, lúc này fifo đang ở trạng thái đọc giá trị, sau tín hiệu cạnh lên CLK, fifo đọc giá trị ở địa chỉ đầu có giá trị là 158, lúc này tín hiệu full = 0, tiếp tục đọc giá trị của fifo đến khi nào hết giá trị thì tín hiệu empty = 1.

4. Layout design

- Layout fifo 8x8:



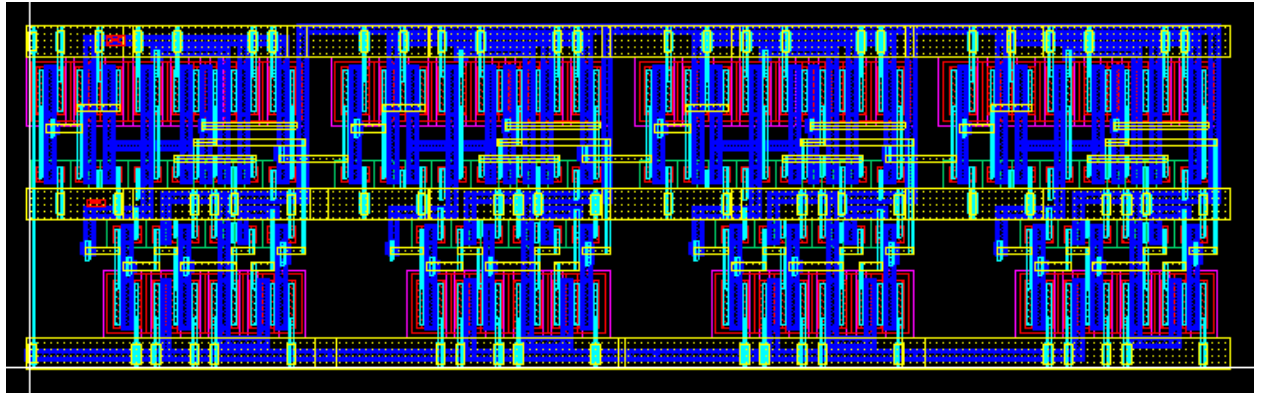
Hình 20: Tổng quan Layout fifo 8x8.



Hình 21: Mô tả rõ chi tiết Layout fifo 8x8.

- + Khung có viền màu đỏ: Hai khối counter Front/Back.

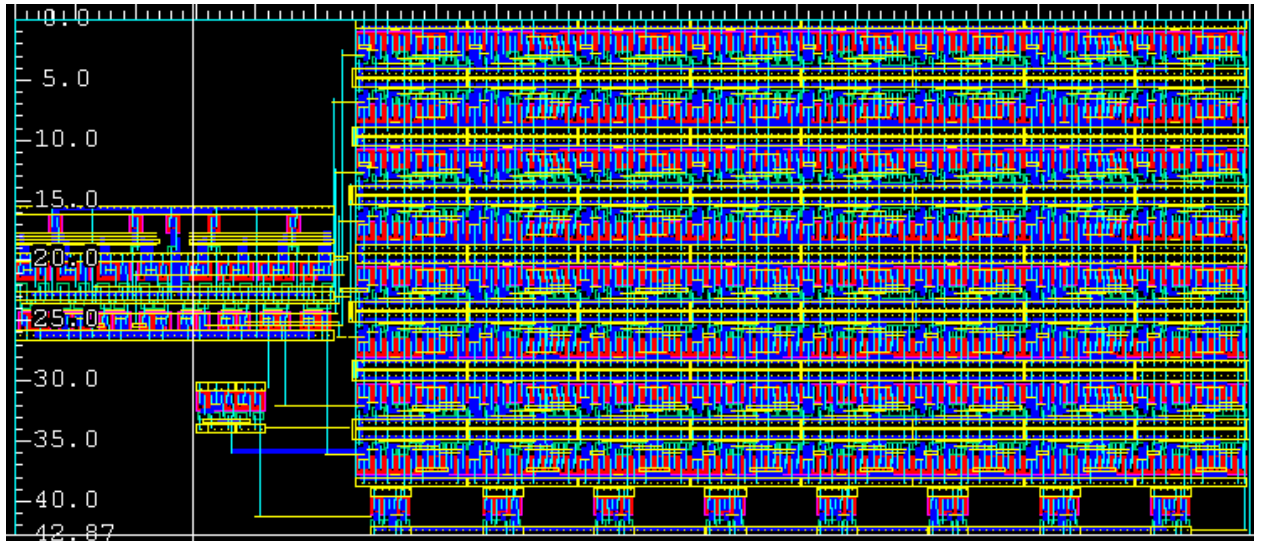
- **Layout của counter 4bit:**



Hình 22: Layout của khối counter.

+ Khung có viền màu trắng: Khối RAM 8x8.

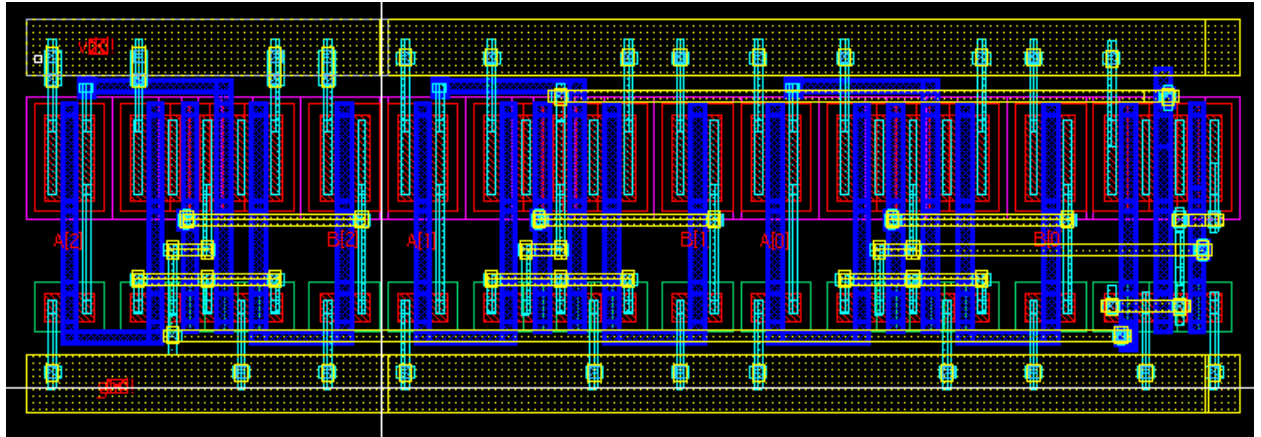
- **Layout của khối RAM 8x8**



Hình 23: Layout của khối RAM 8x8.

+ Khung có viền màu tím: Khối Compare 3bit.

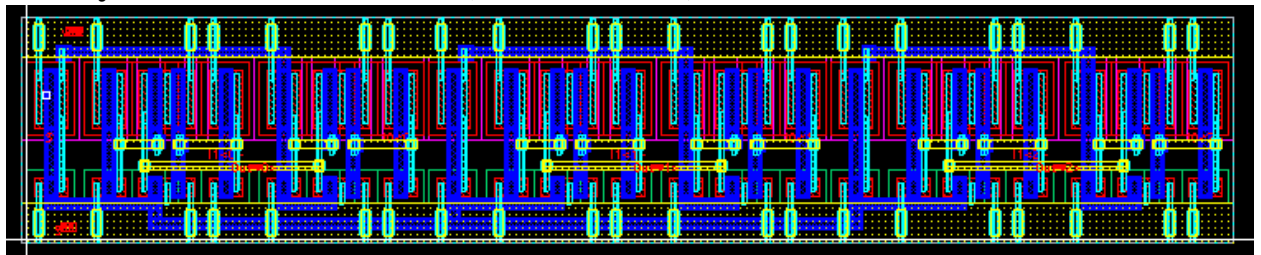
- **Layout của khối Compare 3bit**



Hình 24: Layout của khối Compare 3bit.

+ Khung có viền màu xanh: Khối Selector.

- **Layout của khối Selector (Mux2to1 3bit)**

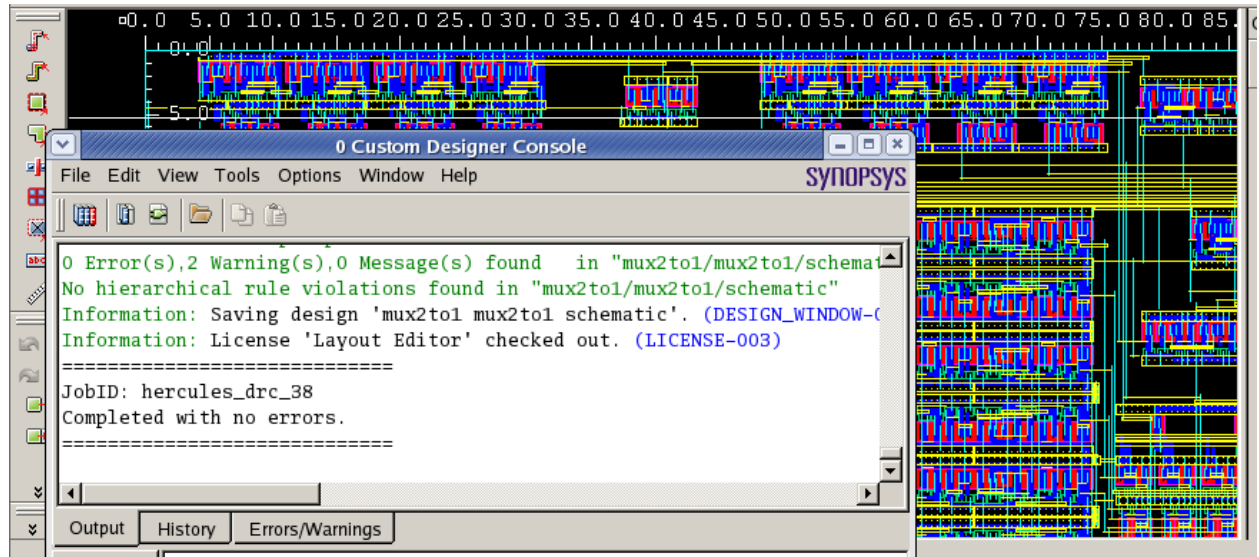


Hình 25: Layout của khối Selector.

5. DRC, LVS, Area check results

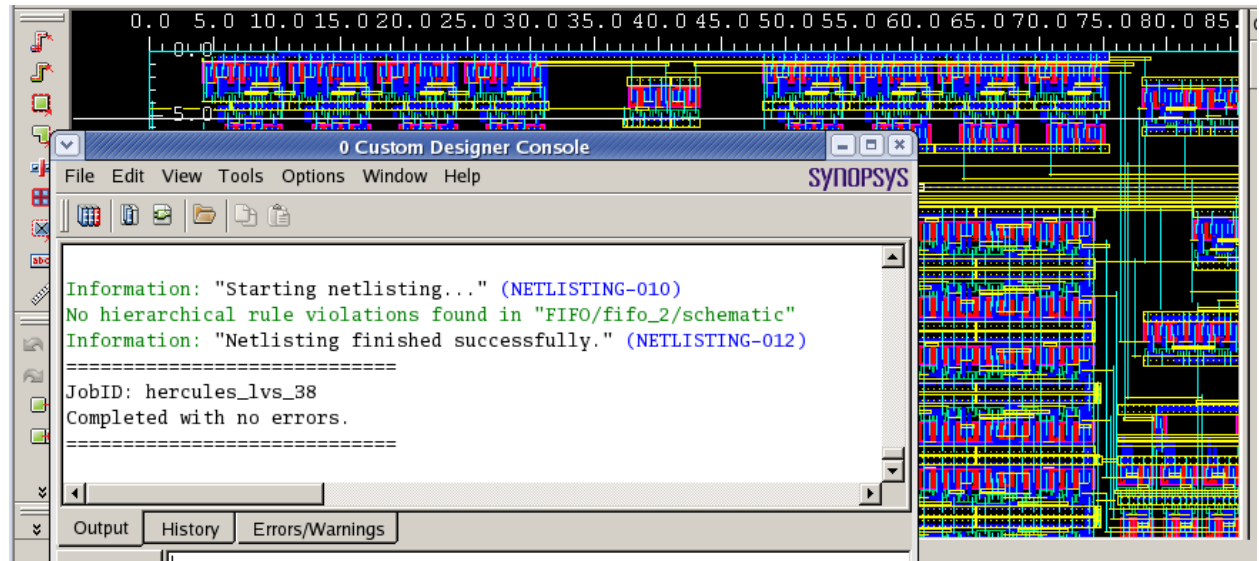
5.1. Check DRC

+ No Errors.



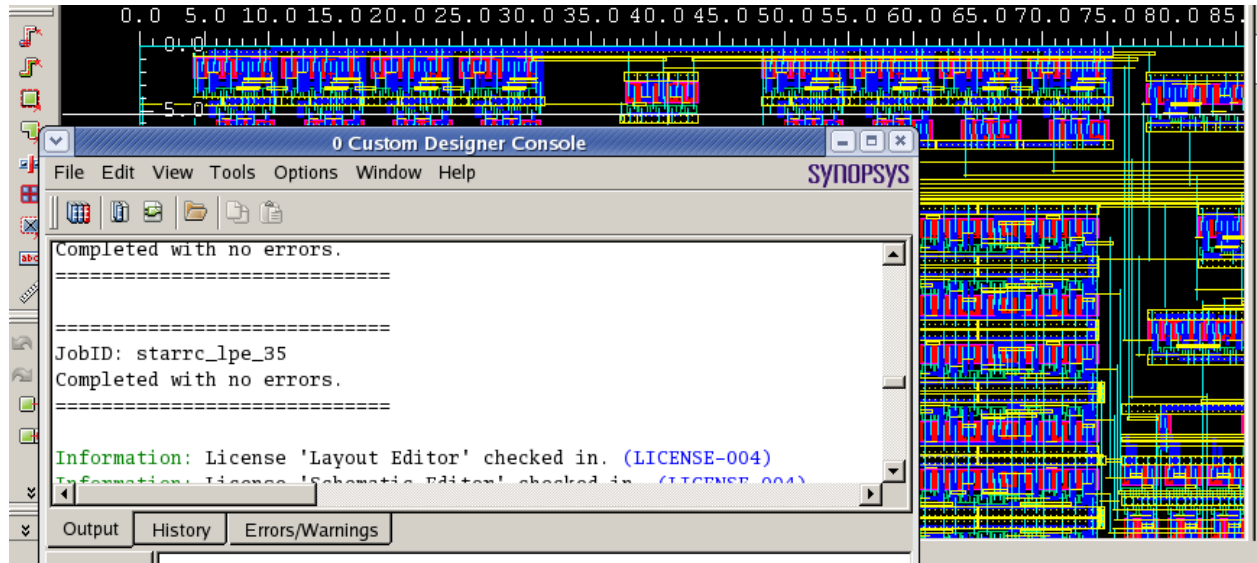
Hình 26: Check DRC fifo 8x8.

5.2. Check LVS + No Errors.

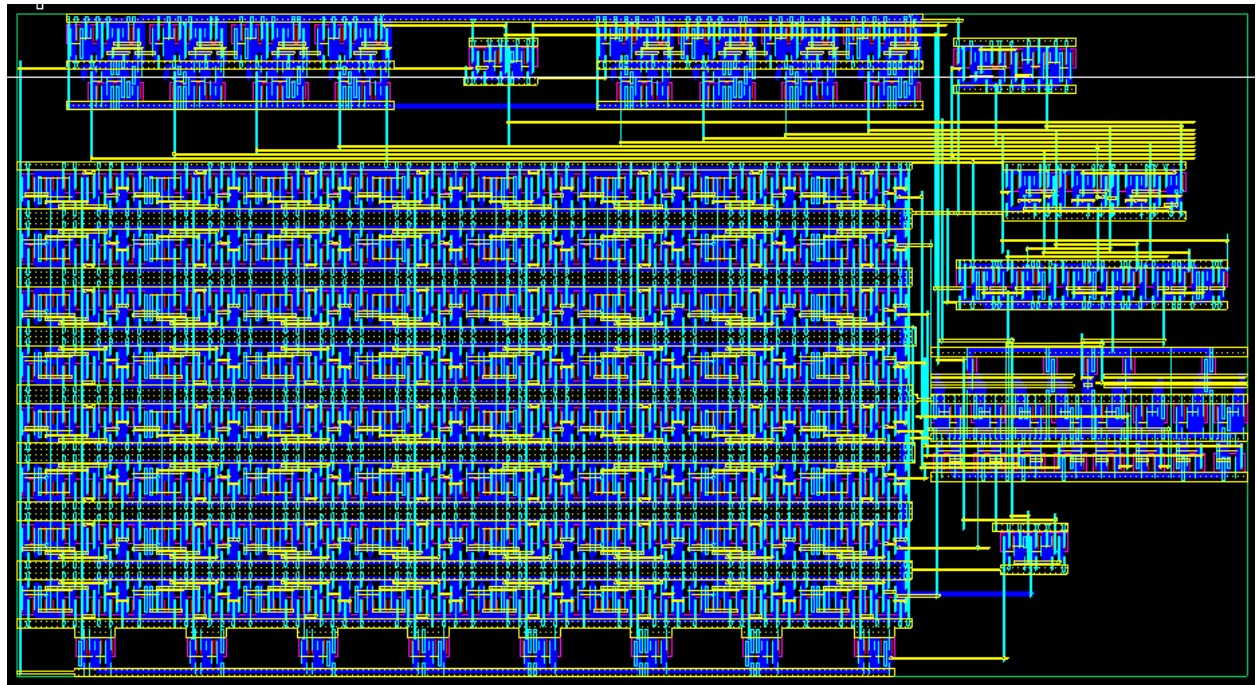


Hình 27: Check LVS fifo 8x8.

5.3. Check LPE + No Errors



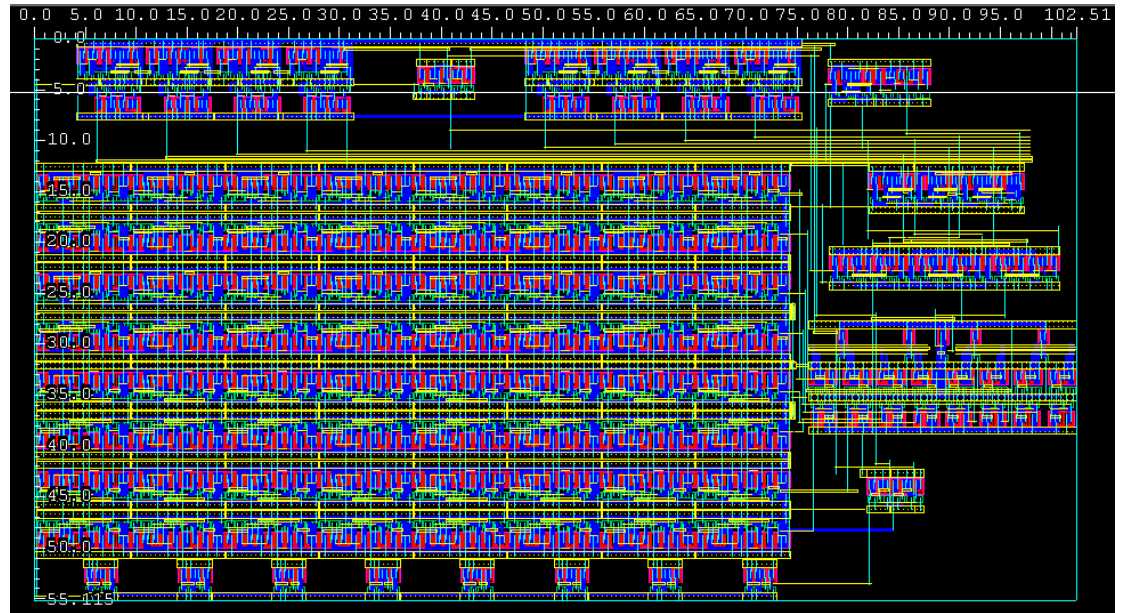
Hình 28: Check LPE fifo 8x8



Hình 29: Tụ và trở kí sinh thu được sau khi check LPE.

5.4. Area results

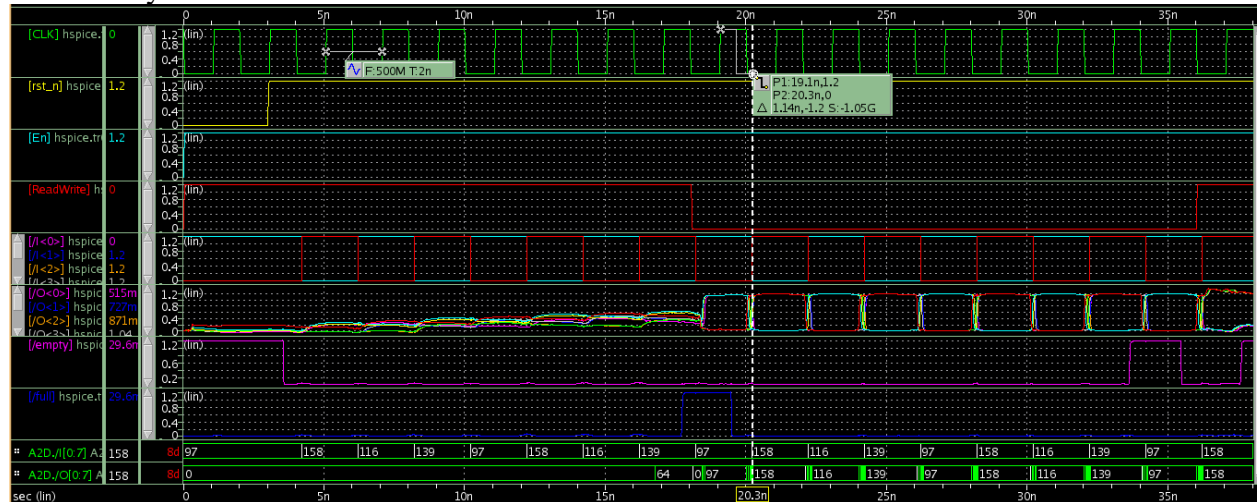
- Layout fifo 8x8 có $W = 55.115\mu\text{m}$ và $L = 102.51\mu\text{m}$ như hình ảnh bên dưới.
- Diện tích Layout 8x8 = $W * L = 5649.83865\mu\text{m}^2$.



Hình 30: Width và Length của Layout fifo 8x8.

6. HSPICE post-layout simulation results and comments

- Post-layout simulation results



Hình 31: Kết quả waveform chạy post-layout simulation fifo 8x8.

- Comments:

- + Chu kỳ $T = 2\text{ns}$, $f = 500\text{Mhz}$, delay từ khi CLK cạnh lên đến khi có giá trị output chính xác là $t = 1.14\text{ns}$ (lớn hơn thời gian delay lúc chạy pre-layout ($t = 694\text{ps}$))
- + Với chu kỳ $T = 2\text{ns}$ là chu kỳ nhỏ nhất nhóm thu được để cho kết quả output của post-layout chính xác.

-----THE END-----