

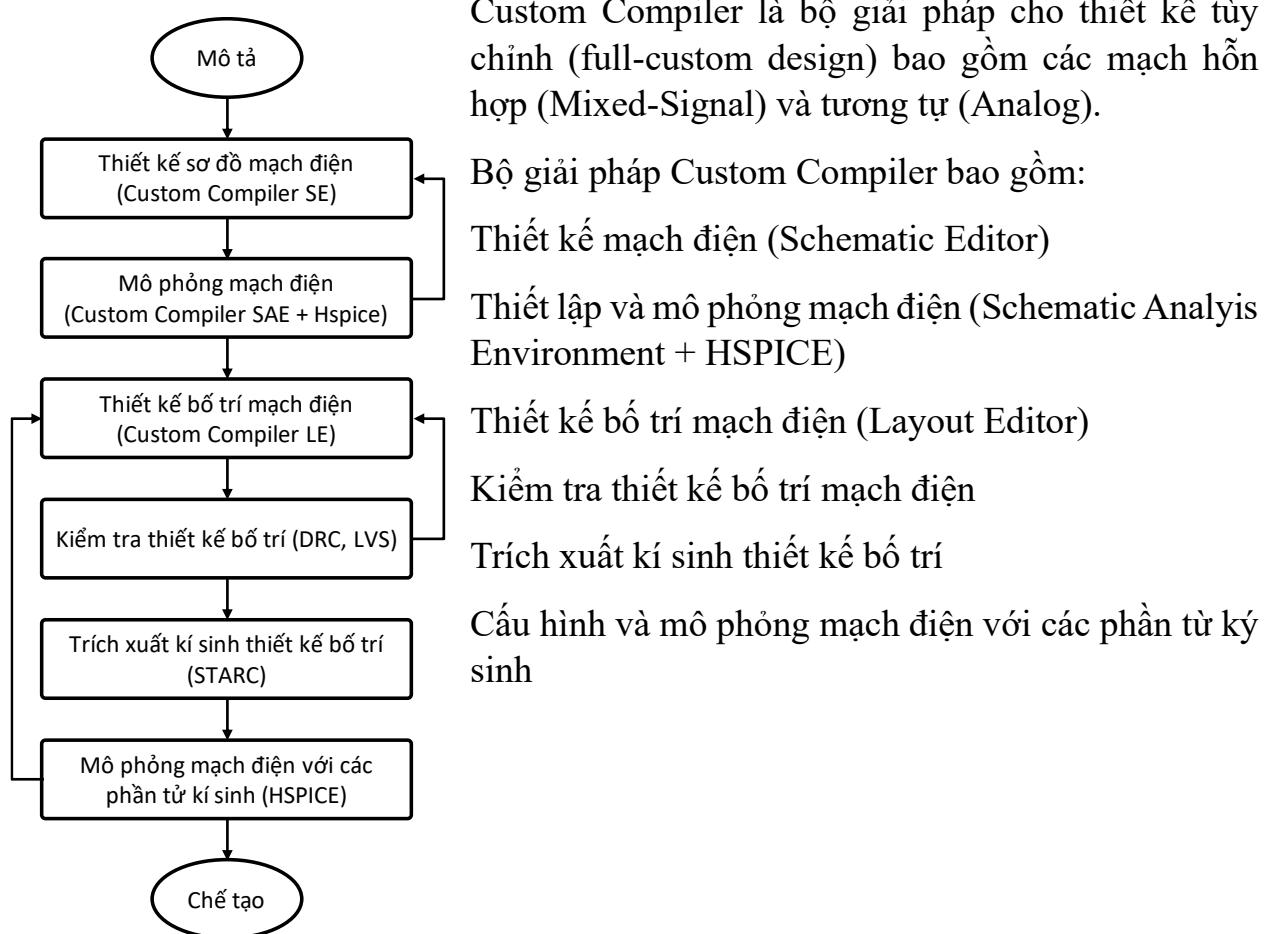
Lab 3 – Module 3A

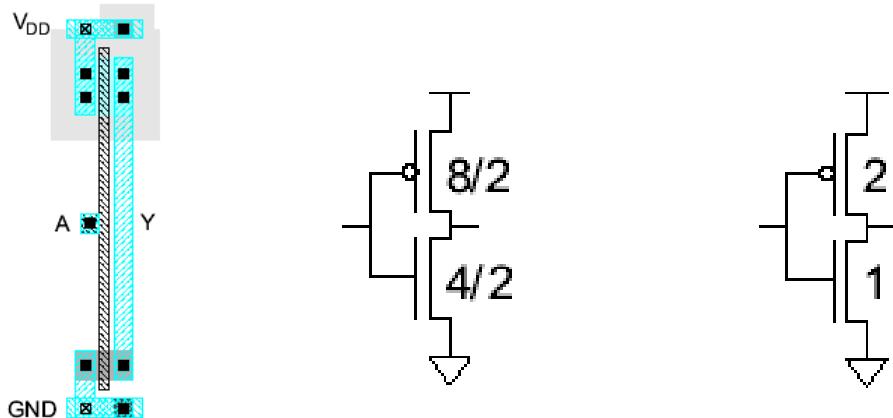
Vẽ bản layout của mạch điện dùng công cụ Custom Compiler

Yêu cầu báo cáo:

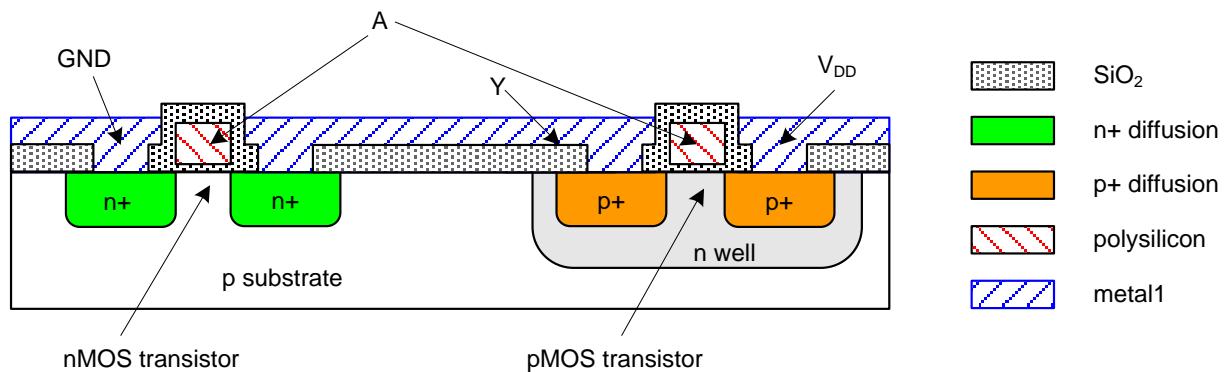
- Layout của mạch điện (hình ảnh)
- Kết quả thực hiện kiểm tra luật thiết kế (DRC)
- Liệt kê và giải thích các vấn đề gặp phải trong quá trình thiết kế và layout thiết kế

1. Giới thiệu về phương pháp và môi trường thiết kế

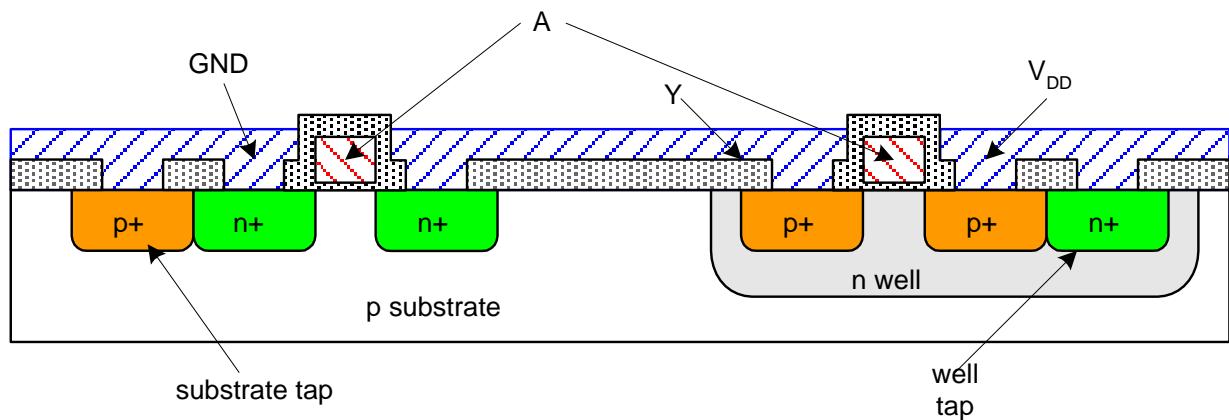




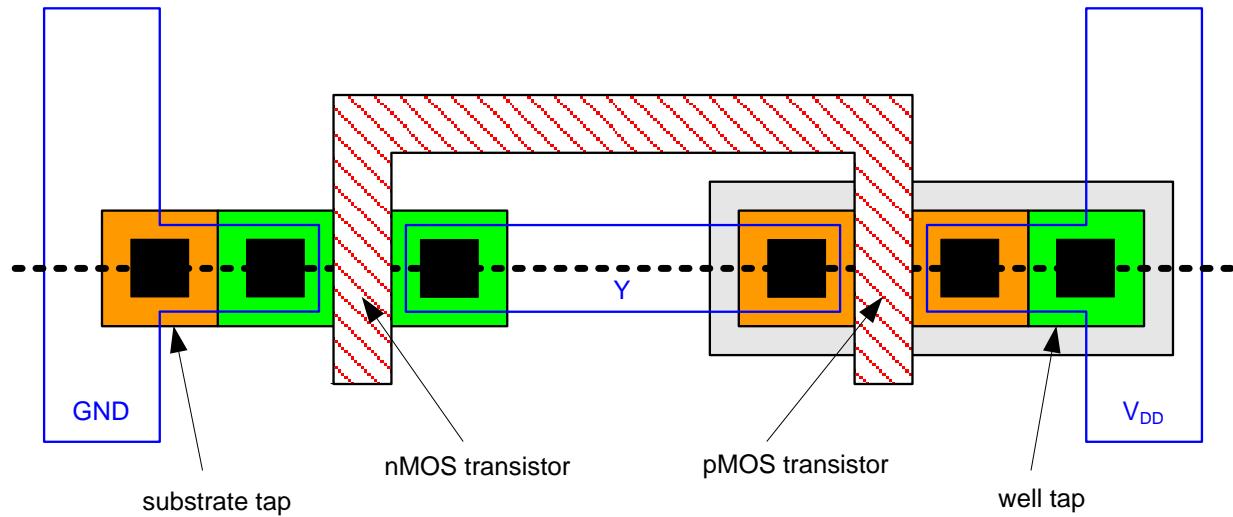
Hình 1: Mạch điện của cỗng đảo (Inverter) và ví dụ về layout của cỗng đảo.



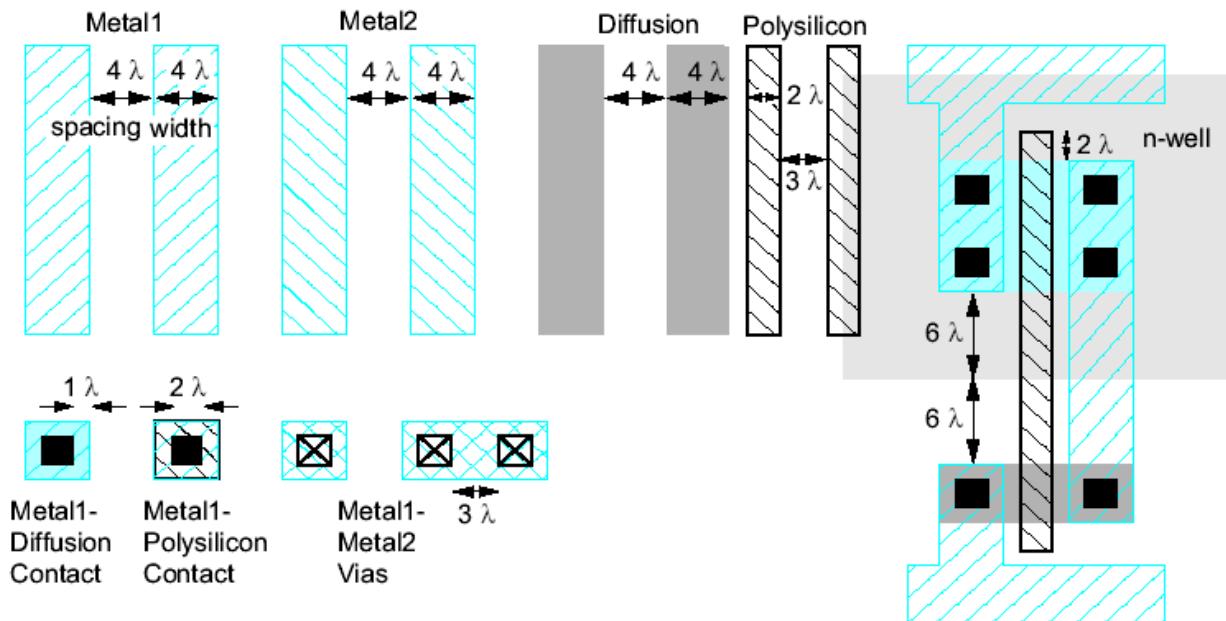
Hình 2: Ví dụ về cỗng đảo với các lớp vật chất bán dẫn.



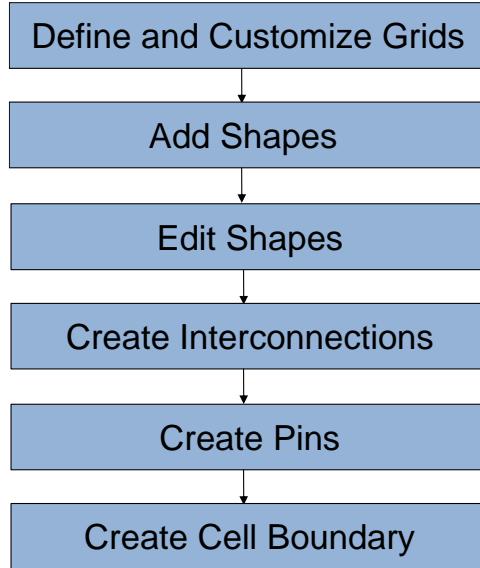
Hình 3: Ví dụ về cỗng đảo với chất nền (body) được nối nguồn đối với PMOS và nối đất đối với NMOS.



Hình 4: Ví dụ về transistor layout nhìn từ trên xuống với các lớp vật liệu.



Hình 5: Ví dụ về luật thiết kế được đơn giản hóa bằng cách định nghĩa $\lambda = L/2$.



Hình 6: Các bước để thực hiện layout mạch điện.

2. Vẽ layout của NMOS và PMOS

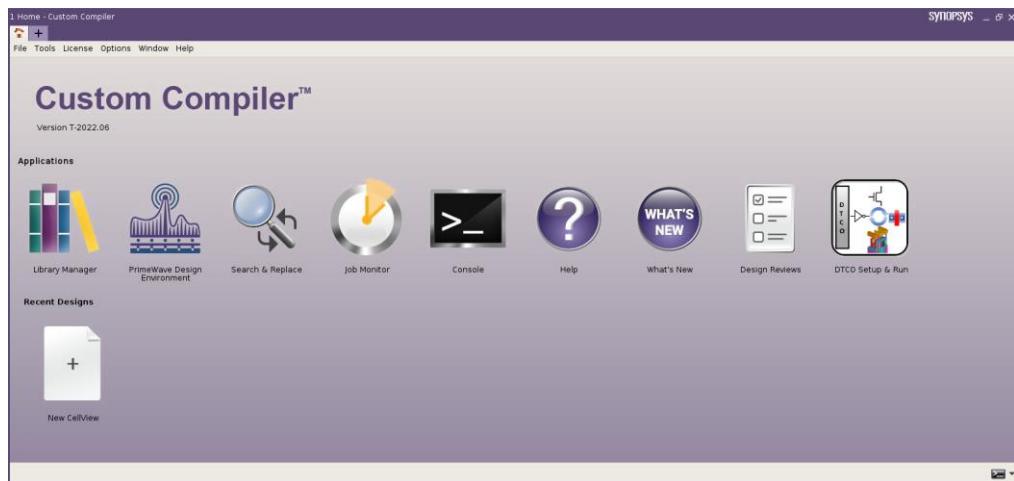
Chuẩn bị bài thực hành:

```
mkdir -p $HOME/icdesign/m3a  
cp -a /home/tools/synopsys/m3a/lab03 $HOME/icdesign/m3a  
cd $HOME/icdesign/m3a/lab03  
source /home/tools/synopsys/env.sh
```

Chạy chương trình bằng lệnh sau:

```
$ custom_compiler &
```

Giao diện hiển thị của chương trình:



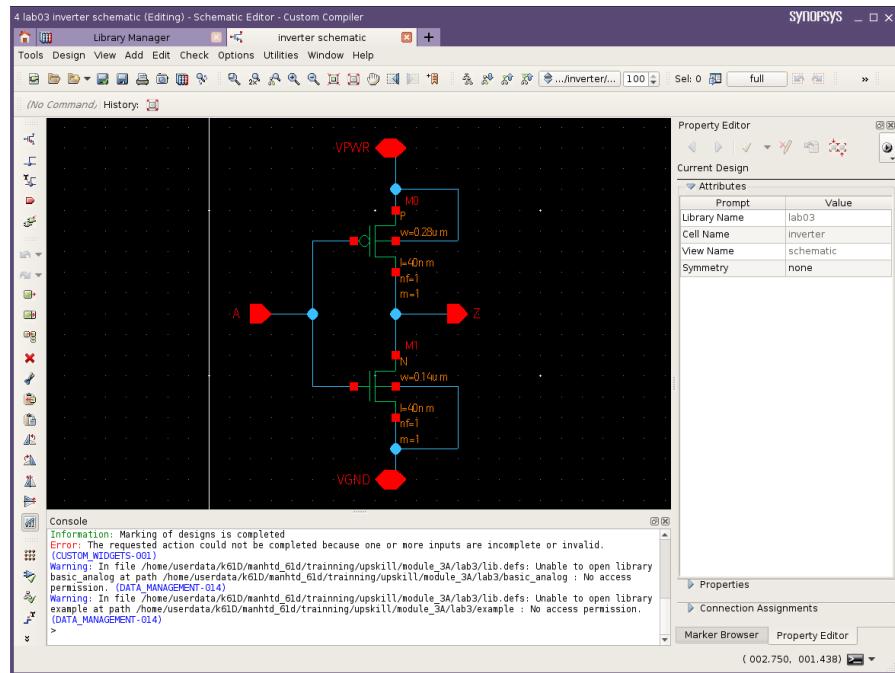
Hình 7: Giao diện chương trình hiển thị.

VNU-ITI Design Upskill Training – Module 3A

Mở trình quản lý thư viện Library Manager.

Tại cửa sổ Library Manager Library, chọn **Libraries: lab03; Cells: inverter; Cell View: Schematic**.

Cửa sổ **Schematic Editor** chứa thiết kế inverter được mở ra như bên dưới.

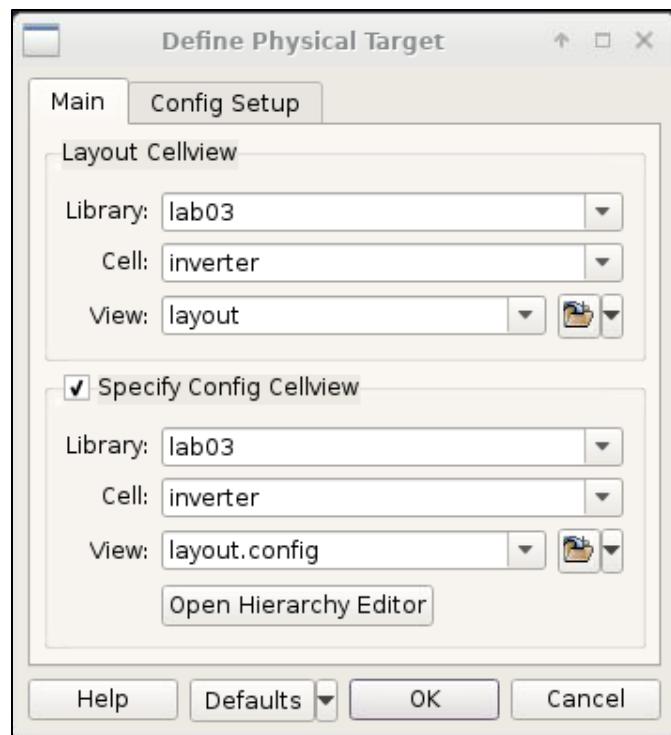


Hình 8.thiết kế mạch điện công inverter.

Bước 1: Tạo Cell View Layout và làm quen với giao diện Layout Editor

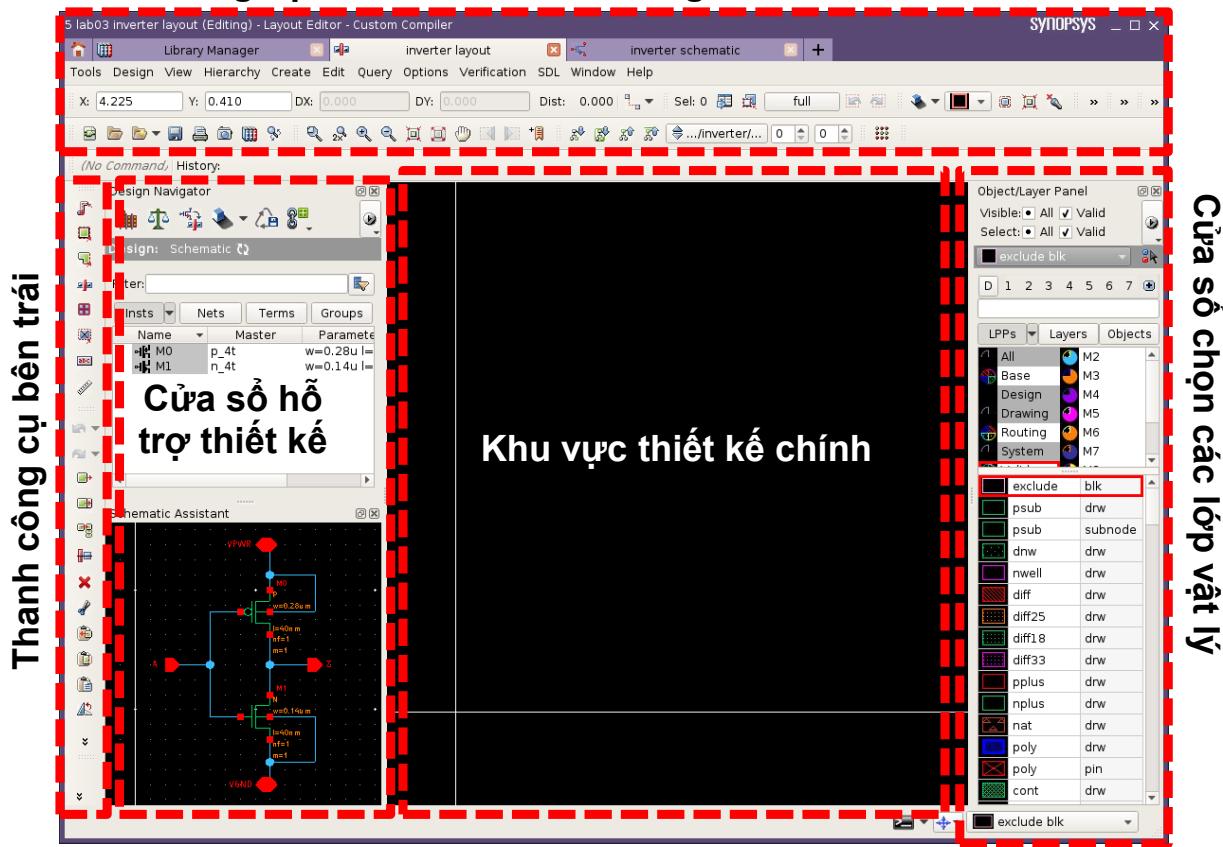
Tại cửa sổ **Schematic Editor** chọn Tools > SDL để mở cửa sổ **Define Physical Target**. Kiểm tra các thông tin như Hình 9 sau đó chọn **OK**.

VNU-ITI Design Upskill Training – Module 3A



Hình 9. Cửa sổ Define Physical Target.

Thanh công cụ và các cửa sổ chương trình



Hình 10: Cửa sổ chương trình Layout Editor.

Tập làm quen với môi trường thiết kế layout – Layout Editor.

Chỗ chuột vào giao điểm của hai trực và cuộn chuột

- Cuộn lên để zoom in thiết kế
- Cuộn xuống để zoom out thiết kế

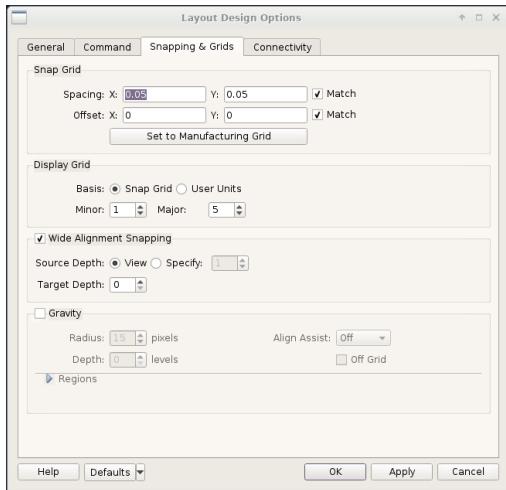
Zoom in vào thiết kế cho đến khi thấy các chấm màu trắng xuất hiện rõ thì dừng lại

- Khoảng cách giữa hai chấm trắng nhỏ là 5nm
- Con trỏ chuột chỉ có thể di chuyển đến các chấm trắng trên
- Tính năng này là Snap to Grid nhằm mục đích hỗ trợ vẽ chính xác

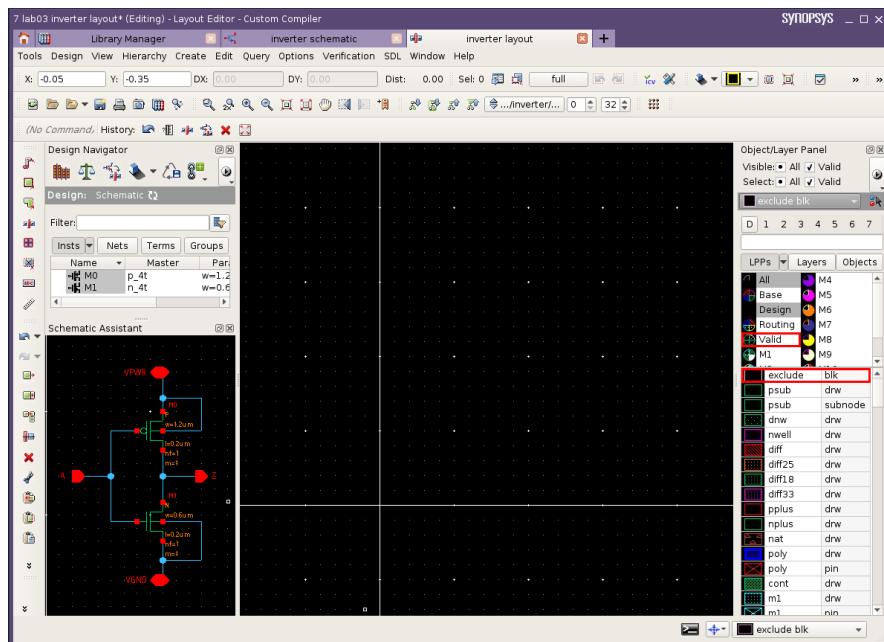
Đọc hiểu các lớp thiết kế vật lý ở cửa sổ chọn các lớp vật lý trước khi chuyển sang bước tiếp theo

- Chọn Options > Design để mở cửa sổ Layout Design Options
- Chọn Tab Snapping & Grids và đặt giá trị ở ô Spacing về 0.05

VNU-ITI Design Upskill Training – Module 3A



Hình 11. Thay đổi kích thước của lưỡi.



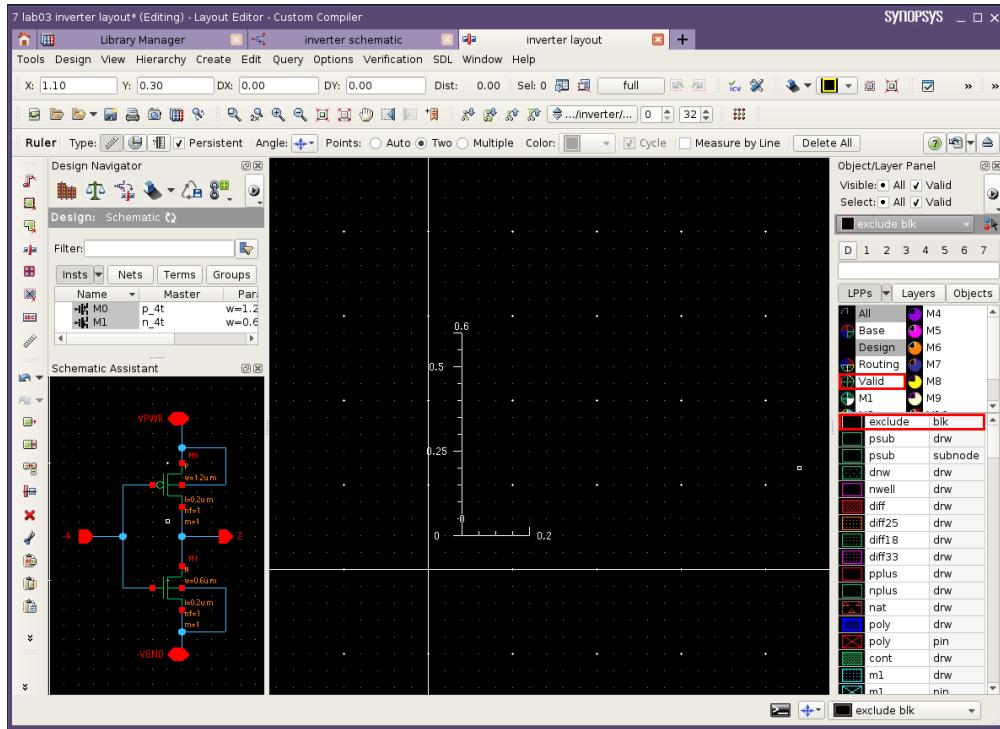
Hình 12. Cửa sổ Layout Editor được Zoom in và sẵn sàng để thiết kế

Bước 2: Vẽ cực Gate của transistor NMOS

Chọn **Create > Ruler** (phím k) hoặc chọn vào biểu tượng ở thanh công cụ bên trái, chuột trái vào một điểm trên khu vực thiết kế chính và kéo đến điểm cần đo để tạo thước.

Tạo một thước ngang 0.2um và một thước dọc 0.6um.

VNU-ITI Design Upskill Training – Module 3A



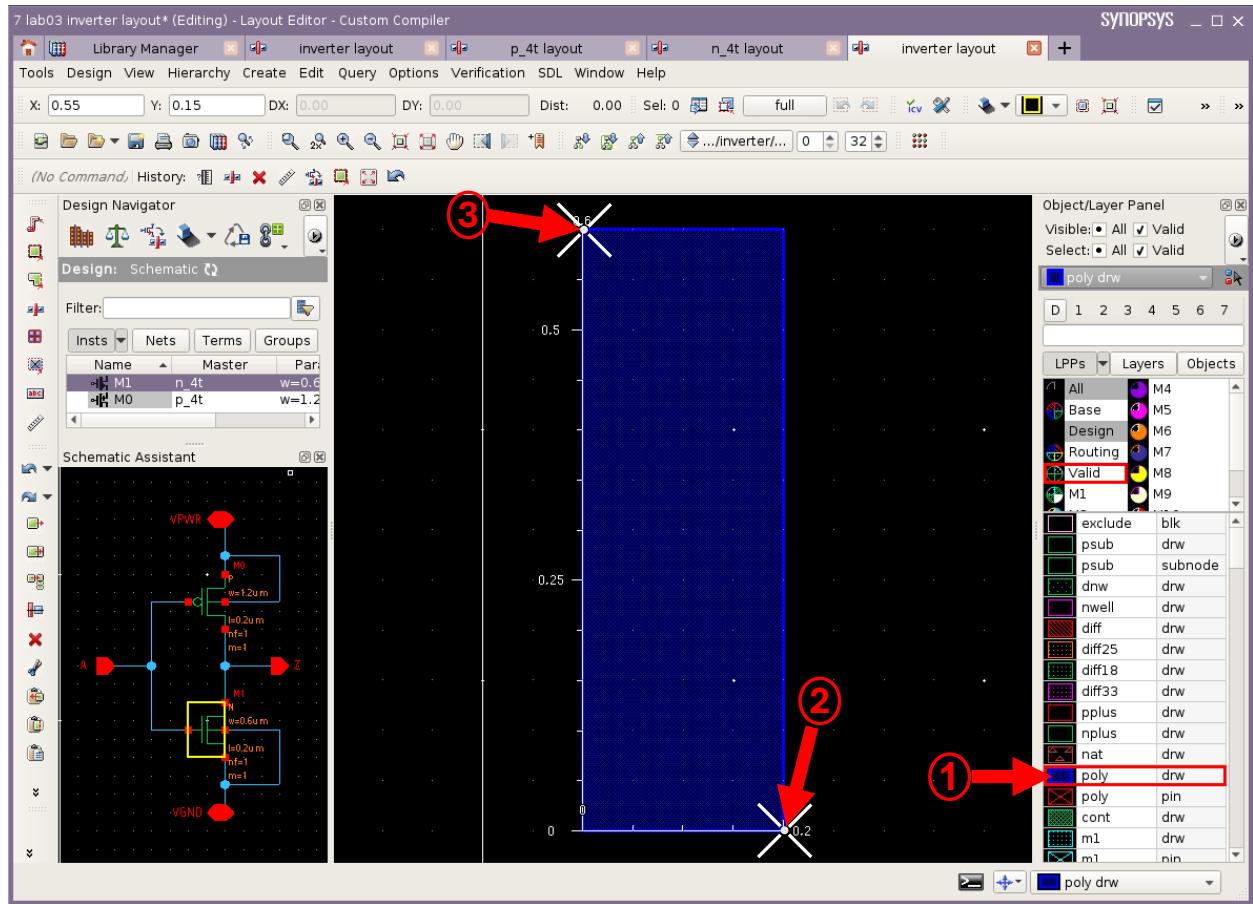
Hình 13: Tạo thước trong cửa sổ thiết kế layout.

Bước 3: Vẽ cực Gate cho transistor NMOS

Chọn **Create > Rectangle** (phím **R**) hoặc chọn biểu tượng để vẽ các ô chũ nhât

- (1) Chọn lớp **poly / blk** để tạo lớp polysilicon
- (2)(3) Chuột trái vào hai điểm để tạo hình cực Gate của transistor

VNU-ITI Design Upskill Training – Module 3A

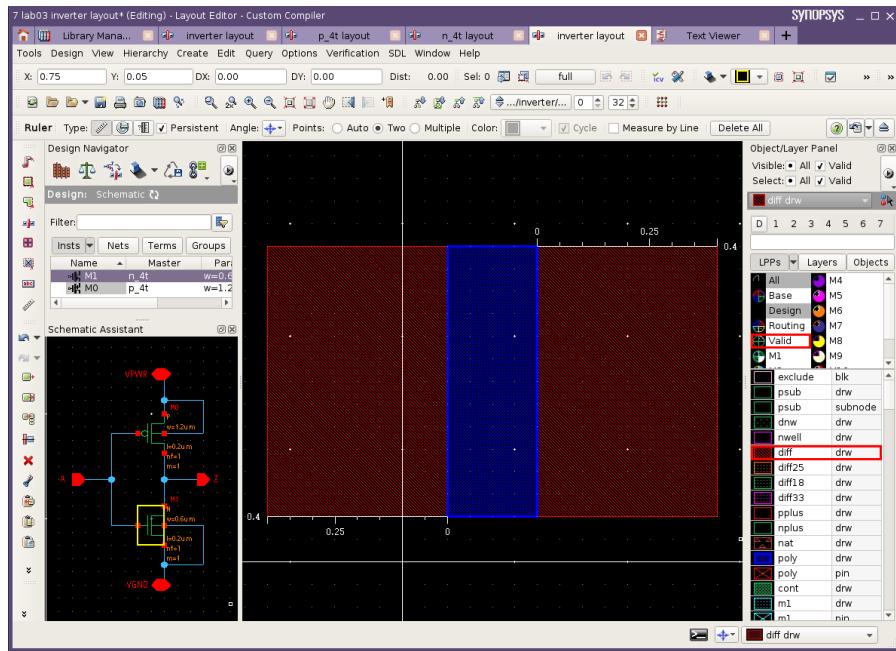


Hình 14: Cực Gate của transistor NMOS.

Bước 4: Vẽ vùng doping p+ cho NMOS

- Tạo thước có độ dài **0.4um** ở cực **trên** bên **phải** cực Gate
- Tạo thước có độ dài **0.4um** ở cực **dưới** bên **trái** cực Gate
- Chọn lớp **diff /drw** để vẽ lớp **doping p+**
- Vẽ hai hình chữ nhật hai bên cực Gate tới hai điểm mút của hai thước vừa tạo
- Nếu thực hiện sai có thể sử dụng phím **u** để **Undo** và **Shift+u** để **redo**
- Bấm phím **Shift + k** để **xóa** hết các thước

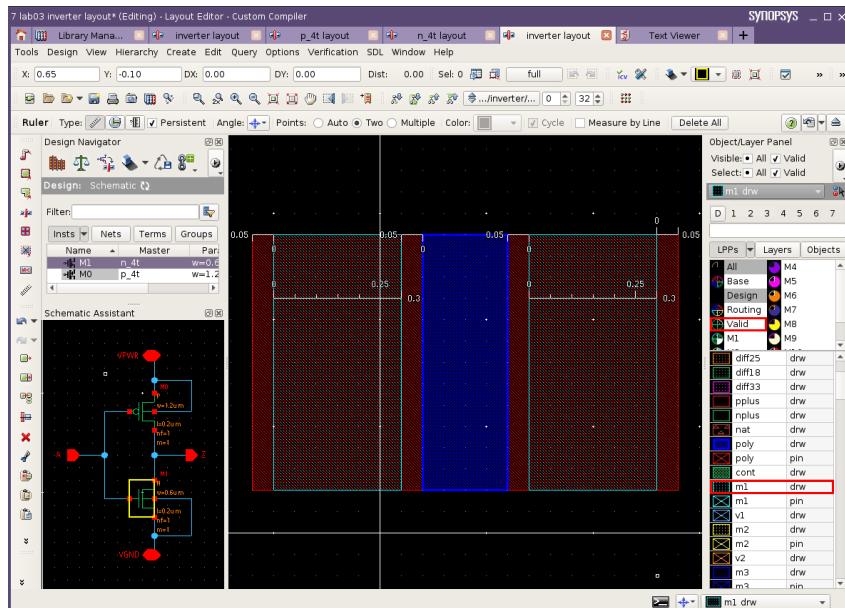
VNU-ITI Design Upskill Training – Module 3A



Hình 15: Lớp doping loại p+ của NMOS.

Bước 5: Vẽ cực D và cực S cho NMOS

- Cực D nằm trên lớp metal 1, cách cực Gate một khoảng **0.05um** về bên phải
- Cực S nằm trên lớp metal 1, cách cực Gate một khoảng **0.05um** về bên trái
- Cực D và S có kích thước **0.3um x 0.6um** và nằm trong vùng doping p+

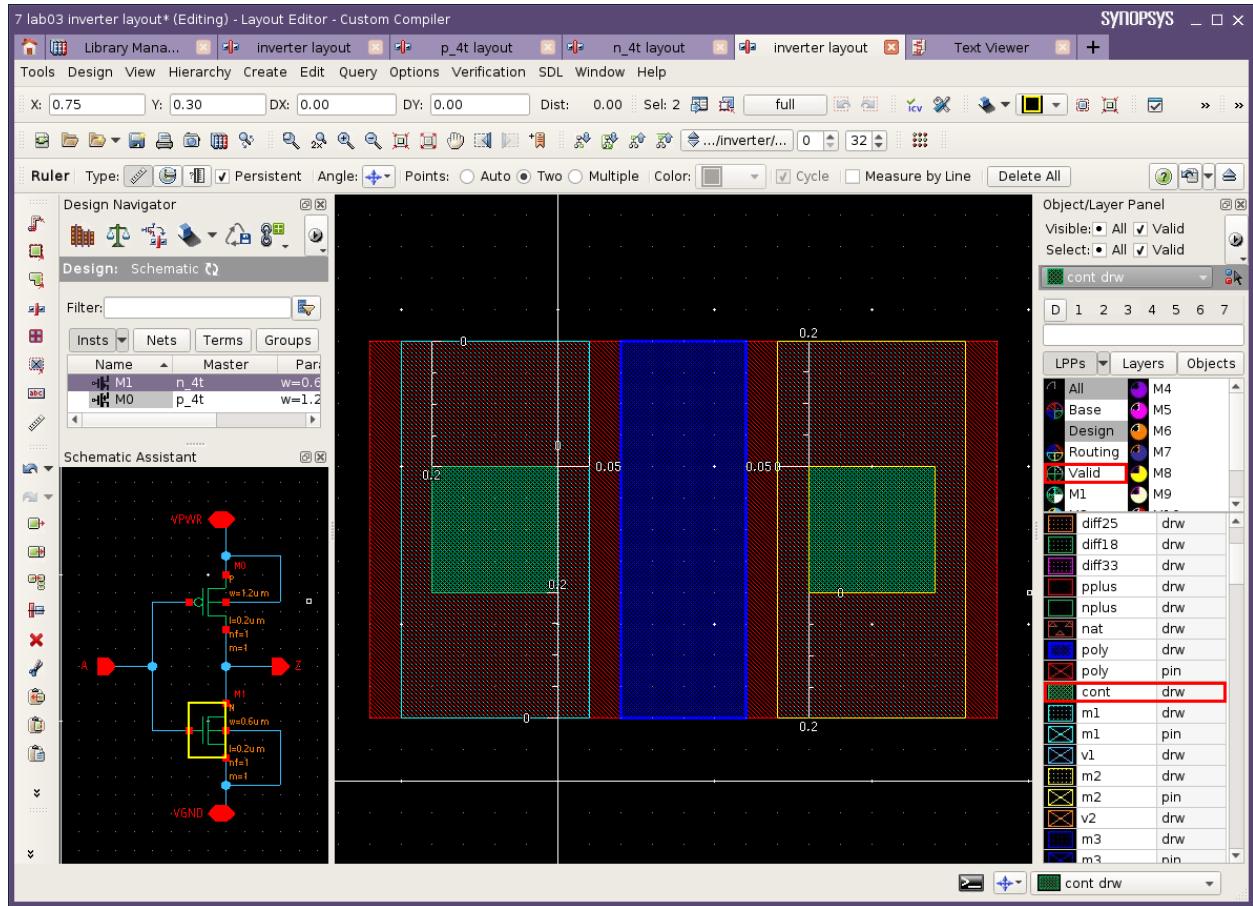


Bước 6: Kết nối Cực D và S xuống lớp Silicon p+

- Vẽ lớp **cont / drw** nối cực D và S xuống lớp Silicon
- Kích thước của lớp **cont / drw** là **0.2um x 0.2um**

VNU-ITI Design Upskill Training – Module 3A

- Vị trí ở hoàn toàn bên trong lớp metal 1 của cực D và S

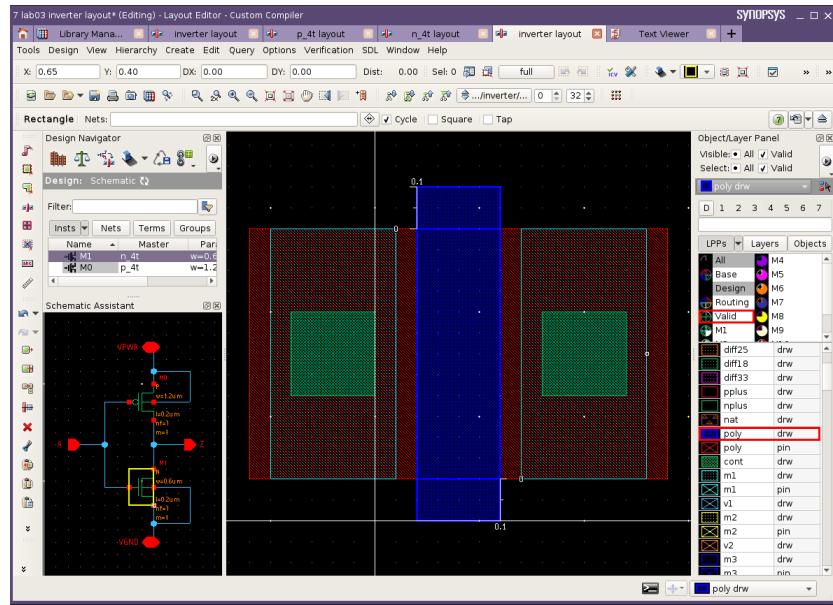


Hình 16: Kết nối cực D và S xuống lớp Silicon bằng lớp cont / drw.

Bước 7: Kéo rộng cực Gate

- Để đảm bảo luật thiết kế, cực Gate phải rộng hơn lớp doping p+
- Kéo dài trên và dưới cực Gate bằng lớp poly /drw 0.1um

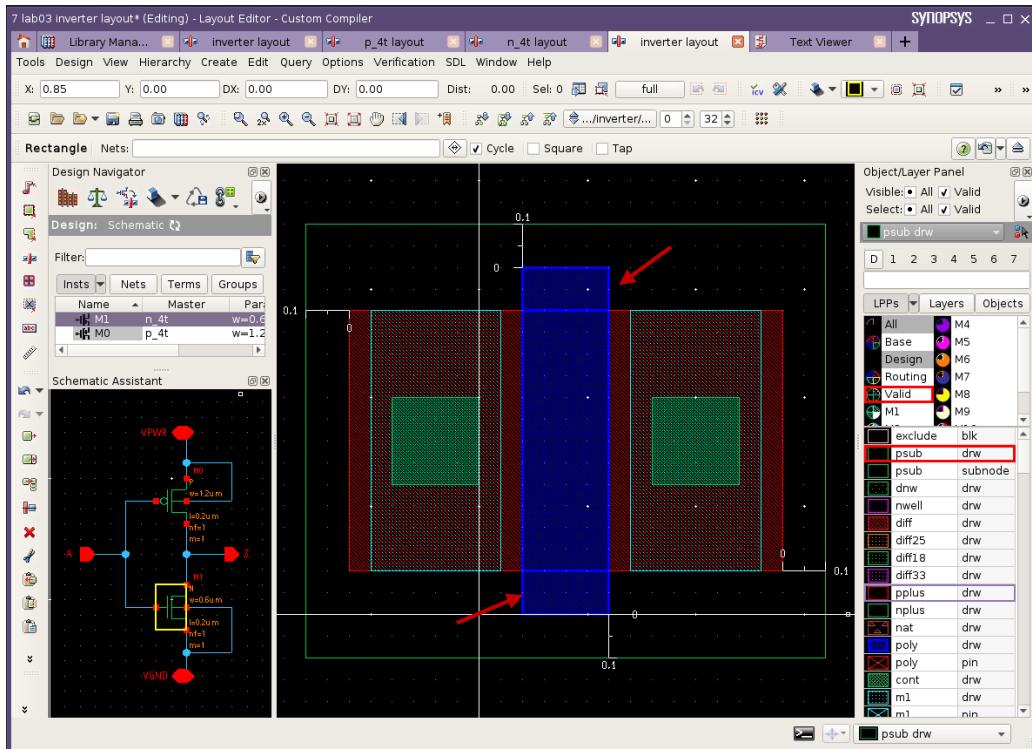
VNU-ITI Design Upskill Training – Module 3A



Hình 17: Kéo rộng cực Gate nhằm đảm bảo luật thiết kế.

Bước 8: Vẽ vùng chất nền psub cho transistor NMOS

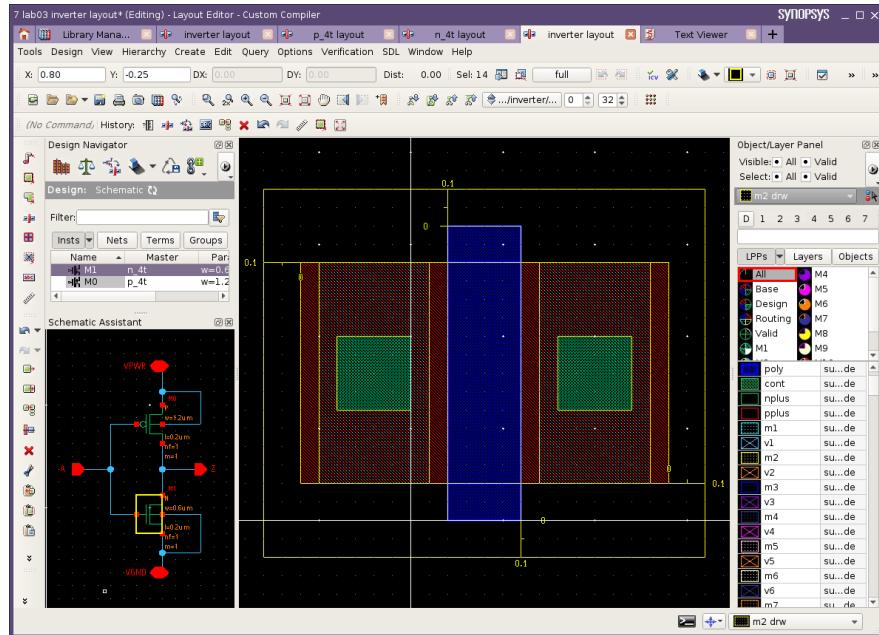
- Vẽ lớp nền loại p (psub / drw) bao quanh transistor NMOS
- Khoảng cách đến các cạnh của NMOS là **0.1um**



Hình 18: Lớp chất nền loại p (đường màu xanh lá).

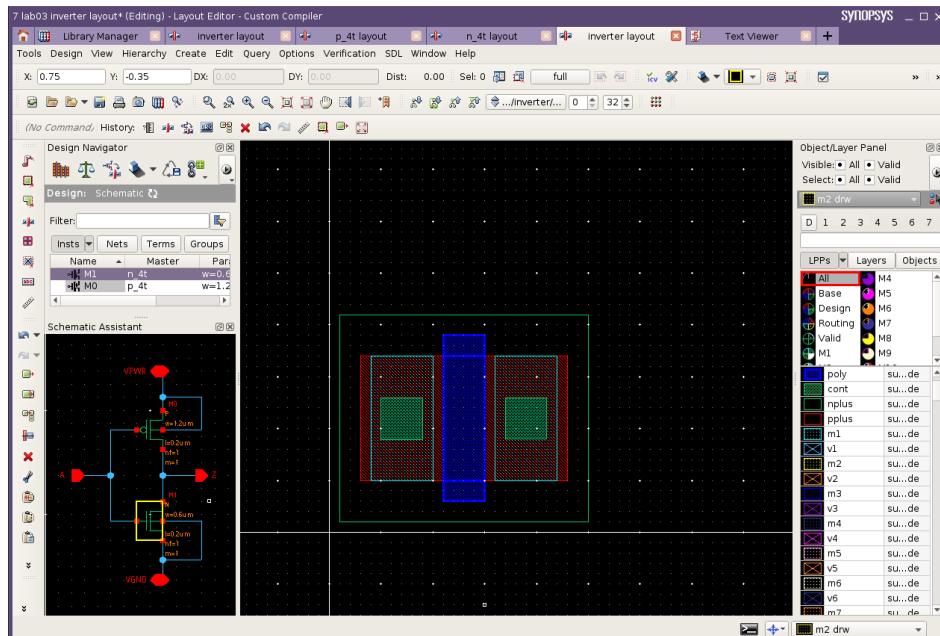
Bước 9: Di chuyển đối tượng

- Nhấn giữ chuột trái và kéo để **chọn toàn bộ NMOS**



Hình 19: Chọn toàn bộ NMOS.

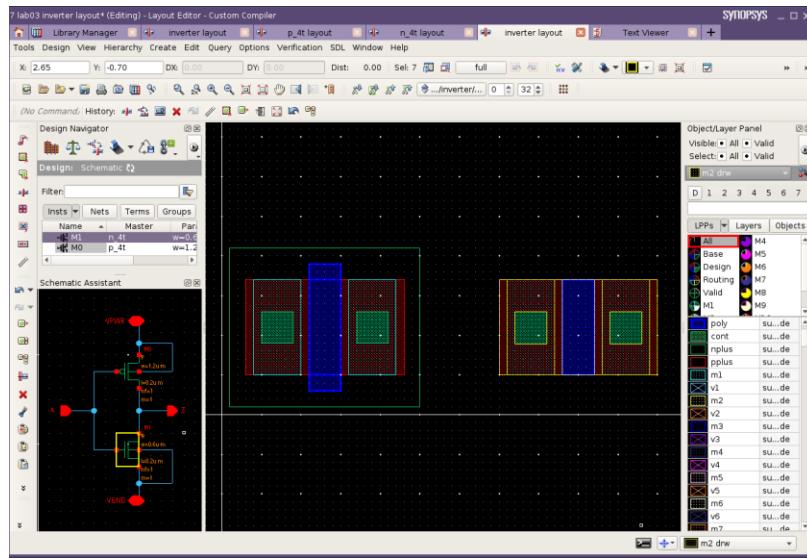
- Chọn Edit > Move (phím m) sau đó bấm chọn layout**
- Di chuyển đối tượng đến giao điểm của hai trục



Hình 20. Đối tượng NMOS sau khi di chuyển.

Bước 10: Copy đối tượng

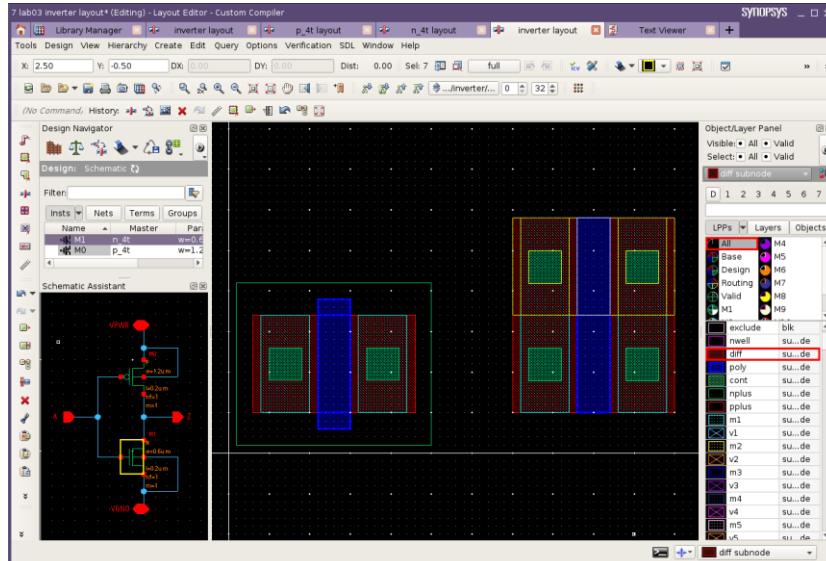
- Chọn toàn bộ vùng chứa lớp **diff / drw**
- Chọn **Edit > Copy** (phím c) và **chuột trái vào đối tượng** vừa chọn
- Di chuyển đối tượng vừa copy sang bên ngoài NMOS và chọn chuột trái



Hình 21: Copy đối tượng và đặt chỗ.

Bước 11: Vẽ transistor PMOS bằng lệnh copy

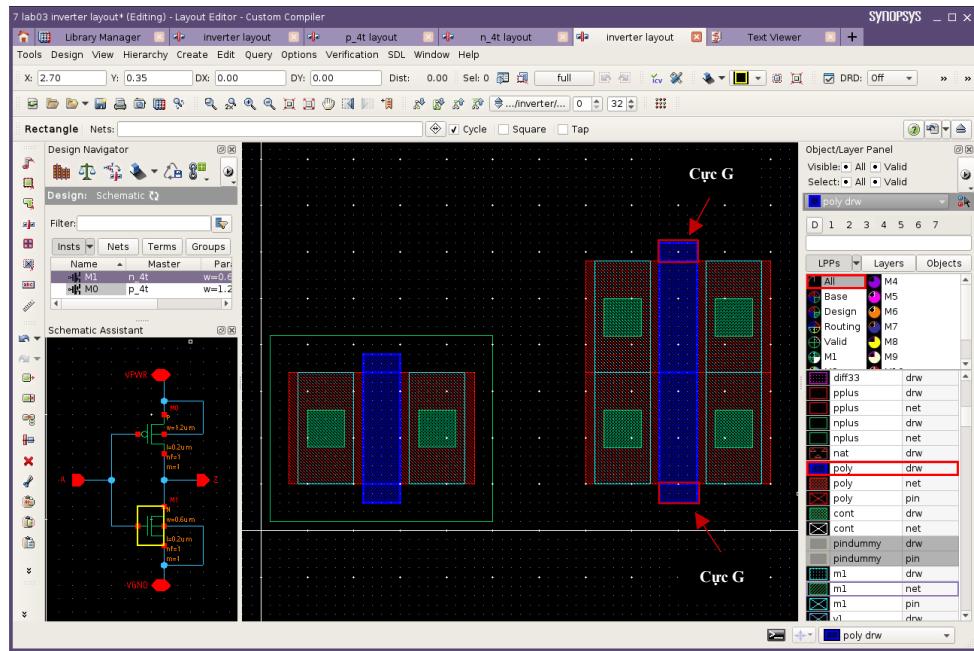
- Bằng cách copy và di chuyển có thể tạo ra transistor PMOS
- Copy đối tượng vừa di chuyển và đặt lên phía trên đối tượng cũ để tạo transistor PMOS



Hình 22: Transistor mới gấp đôi transistor cũ.

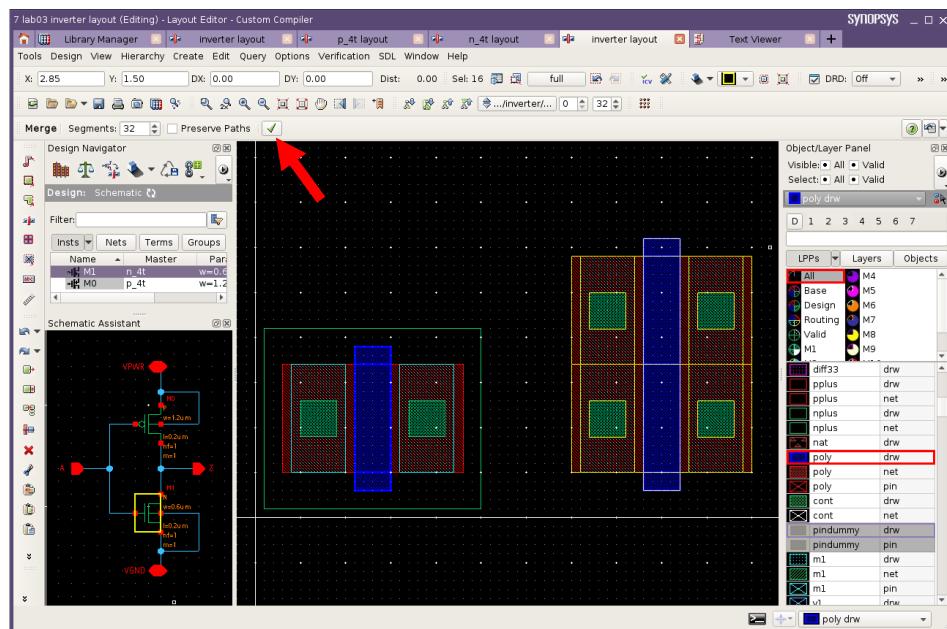
Bước 12: Hợp nhất các khối có cùng tính chất

- Kéo rộng cực G như đã thực hiện với NMOS để đảm bảo luật thiết kế



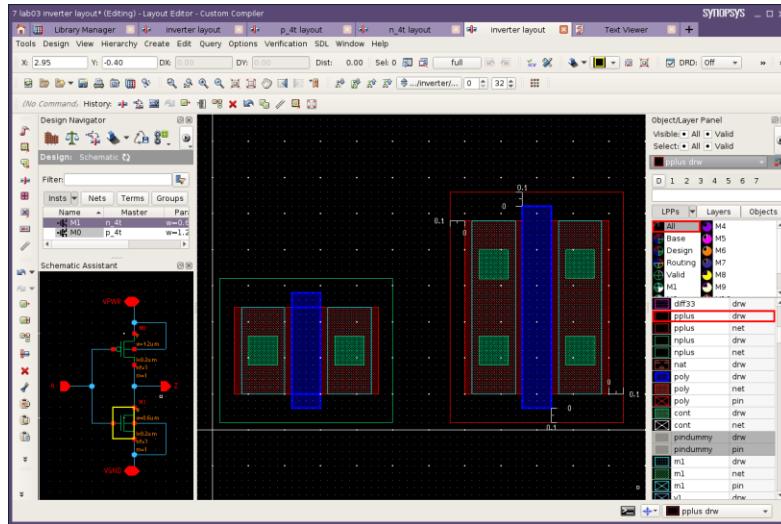
Hình 23: Đảm bảo luật thiết kế cho PMOS.

- Chọn toàn bộ PMOS sau đó chọn **Edit > Merge**, cuối cùng chọn dấu tích trên thanh công cụ **Merge** để hoàn thành (hợp nhất các khối **chung lớp** liền kề nhau)



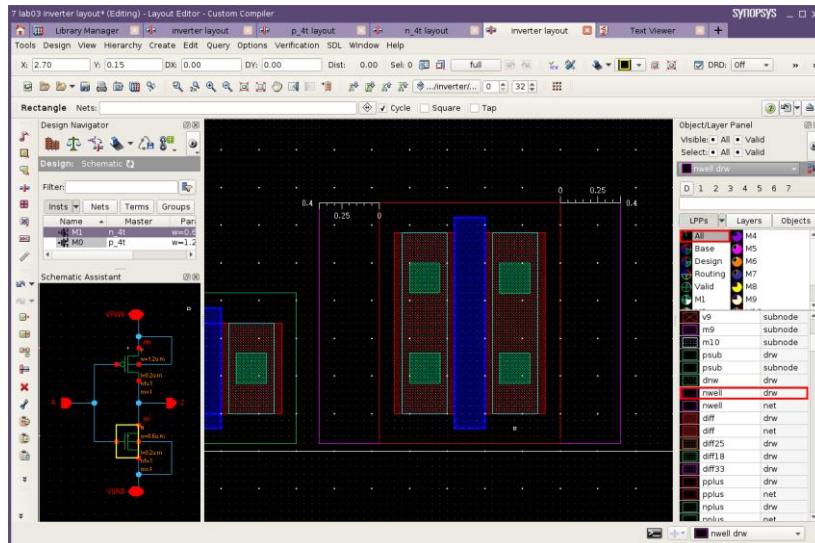
Bước 12: Vẽ các lớp nền của PMOS

- Vẽ lớp **pplus / drw** bao quanh PMOS với khoảng cách đến các cạnh ngoài là **0.1um**



Hình 24: Lớp pplus chỉ thị lớp doping kênh p.

- Thêm lớp **nwell / drw** bao quanh lớp **pplus** với khoảng cách hai cạnh bên là **0.4um**
- **Lưu ý:** Nếu lớp **nwell / drw** chùng vào vùng của NMOS thì phải **di chuyển PMOS ra xa hơn** rồi mới vẽ lớp **nwell / drw**



Hình 25: Lớp nwell màu tím bao xung quanh pplus.

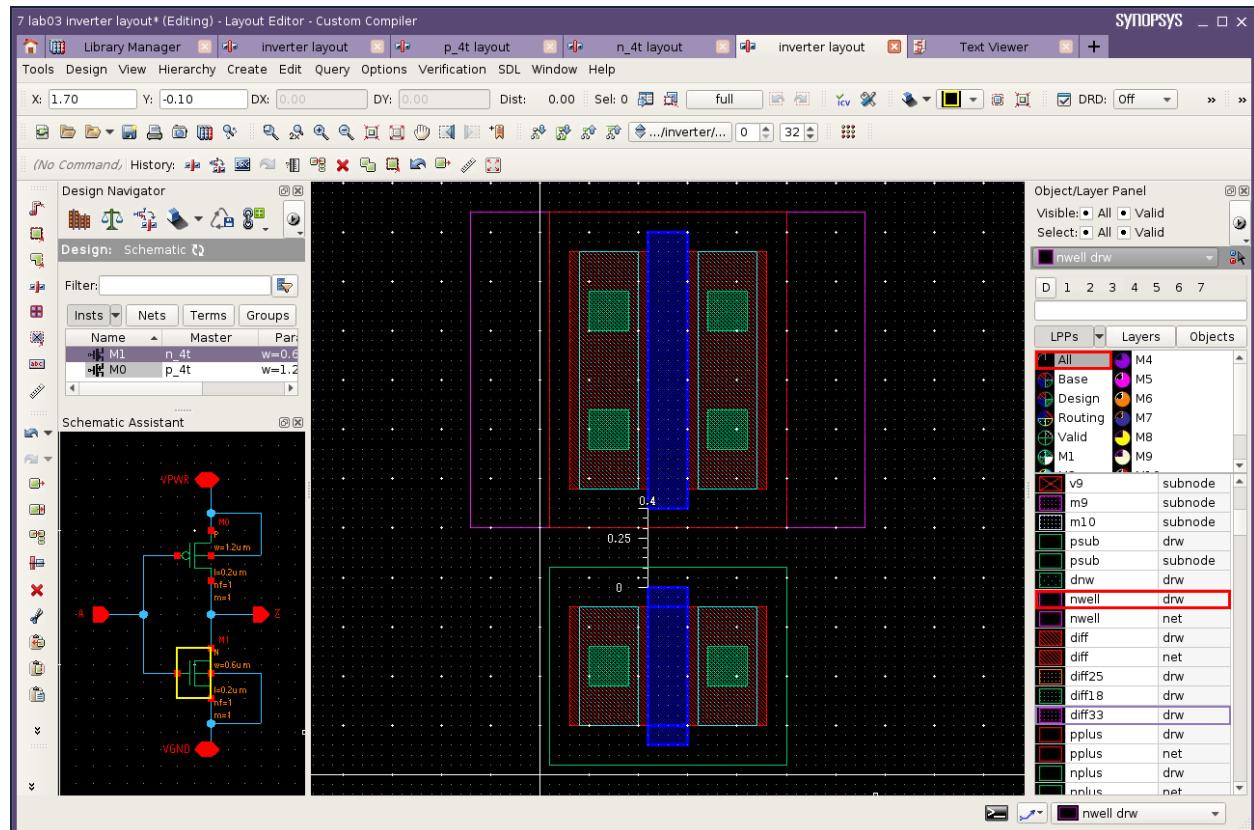
Giữ nguyên cửa sổ và chuyển sang bài thực hành số 2.

3. Vẽ layout của cổng đảo Inverter

- Mở Cell View: layout của Cell: inverter nếu chưa được mở từ trước

Bước 1: Đặt chỗ transistor NMOS và PMOS

- Di chuyển transistor PMOS lên trên NMOS sao cho cực Gate của hai transistor này nằm trên 1 đường thẳng và cách nhau **0.4um**

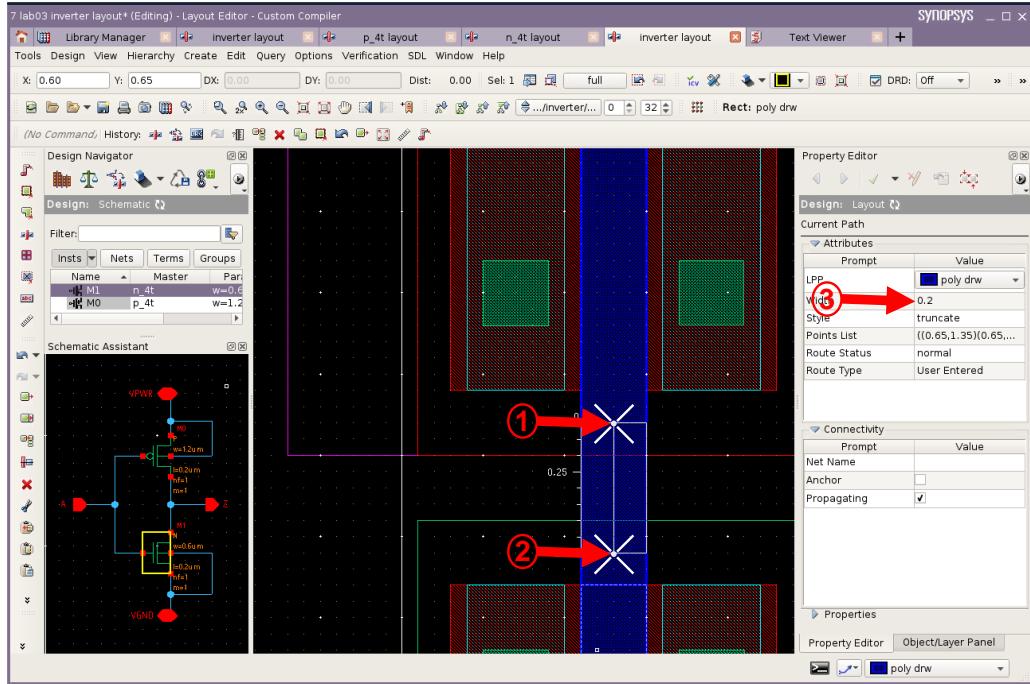


Hình 26: Sắp xếp lại transistor NMOS và PMOS.

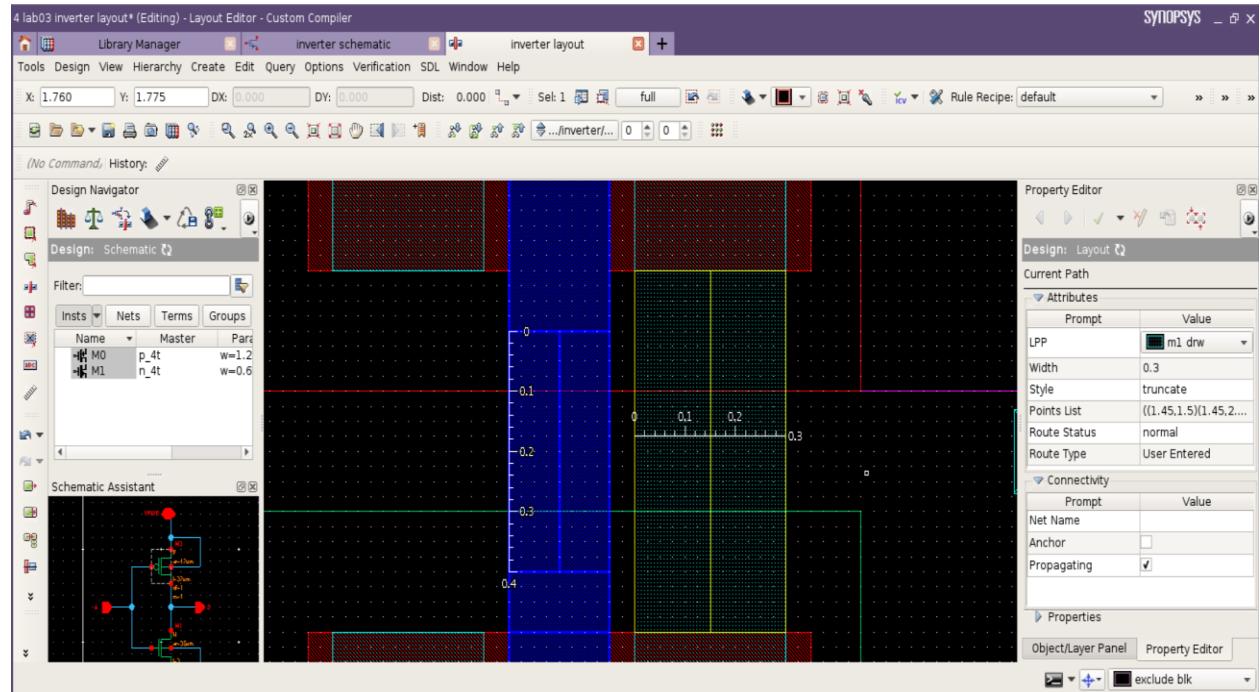
Bước 2: Kết nối các net A và Z cho inverter

- Chọn **Create > Interconnect** (phím p) hoặc chọn biểu tượng để tạo kết nối
 - Chuột trái vào vùng cực dưới của cực Gate trên PMOS
 - Kéo đến đầu cực Gate trên NMOS và **nhấn hai lần chuột trái**
 - Chọn đối tượng dây rồi chọn phím q để thay đổi độ rộng dây **0.2**
 - Làm tương tự để nối cực D của PMOS đến cực D của NMOS với độ rộng dây là **0.3**
- Nhấn **ESC** để thoát lệnh tạo kết nối

VNU-ITI Design Upskill Training – Module 3A



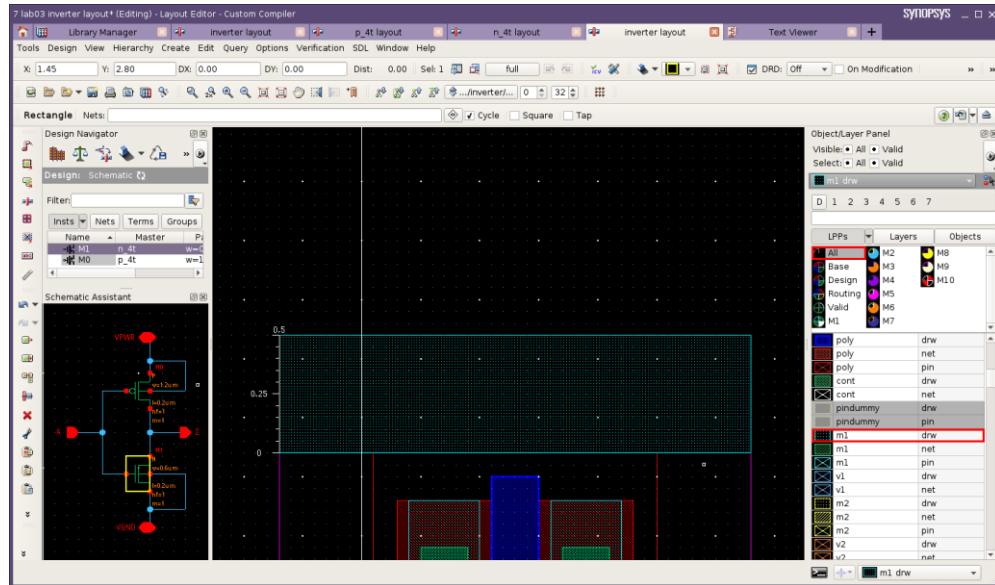
Hình 27: Thao tác tạo kết nối.



Hình 28: Kết nối các net A và Z của inverter.

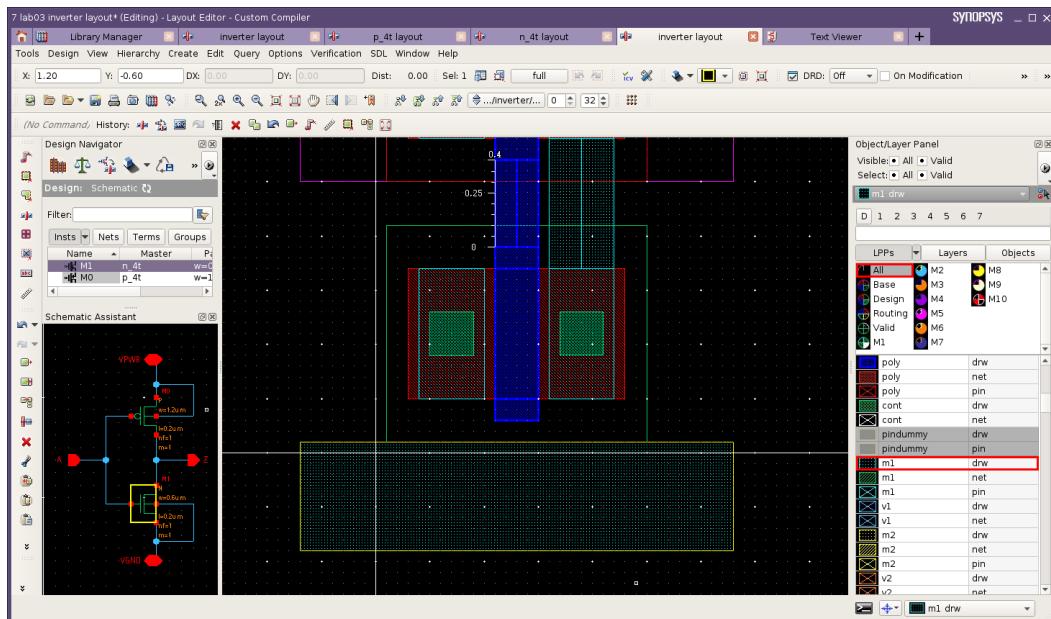
Bước 3: Tạo các đường điện áp và kết nối với inverter

- Tạo một đường dây trên lớp metal 1 có **độ rộng 0.5um** và độ dài bằng PMOS (**2um**)
- Vị trí tại cực trên của lớp nwell



Hình 29: Đường truyền nguồn VPWR.

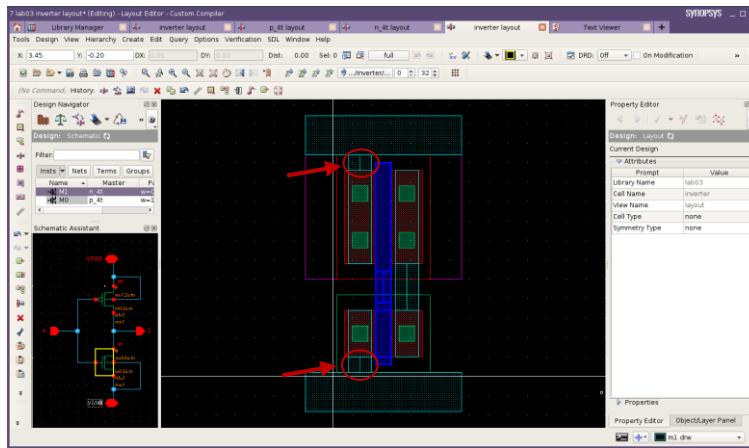
- Copy đôi tượng dây vừa tạo và đặt tại vị trí cực dưới tiếp giáp với lớp psub của NMOS để tạo đường truyền thê nền VGND



Hình 30: Tạo đường truyền thê nền VGND.

Bước 4: Kết nối các cực đến nguồn cấp và thế nền

- Tạo kết nối (Inteconnect) từ cực S của PMOS đến dây nguồn cấp VPWR
- Tạo kết nối (Inteconnect) từ cực S của NMOS đến dây thế nền VGND

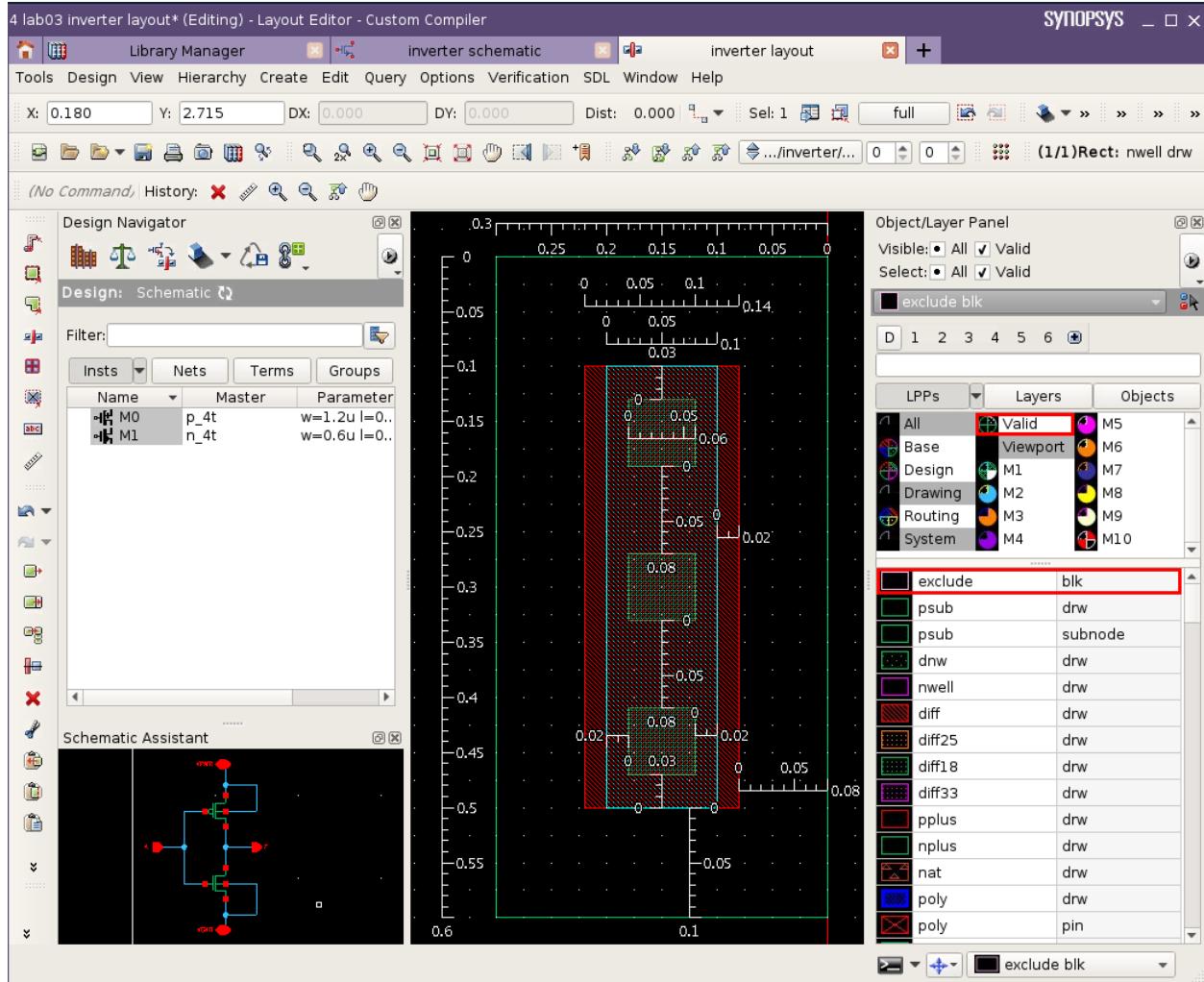


Hình 31: Kết nối inverter đến nguồn VPWR và thế nền VGND.

Bước 5: Kết nối các cực Base trên hai transistor

- Thay đổi grid spacing về giá trị **0.01** (Options/design/Snapping & Grid)
- Vẽ một lớp nplus /drw phía bên trái lớp pplus và nằm trong lớp nwell
- Kích thước lớp nplus là **0.3um x 0.6 um**
- Bên trong lớp nplus vẽ một lớp diff / drw kích thước **0.14 um x 0.4um**
- Bên trong lớp diff vẽ một lớp m1 / drw có kích thước **0.1um x 0.4um**
- Vẽ các lớp cont /drw vào bên trong lớp m1 vừa vẽ có kích thước **0.06um x 0.06um** với khoảng cách **0.08um**

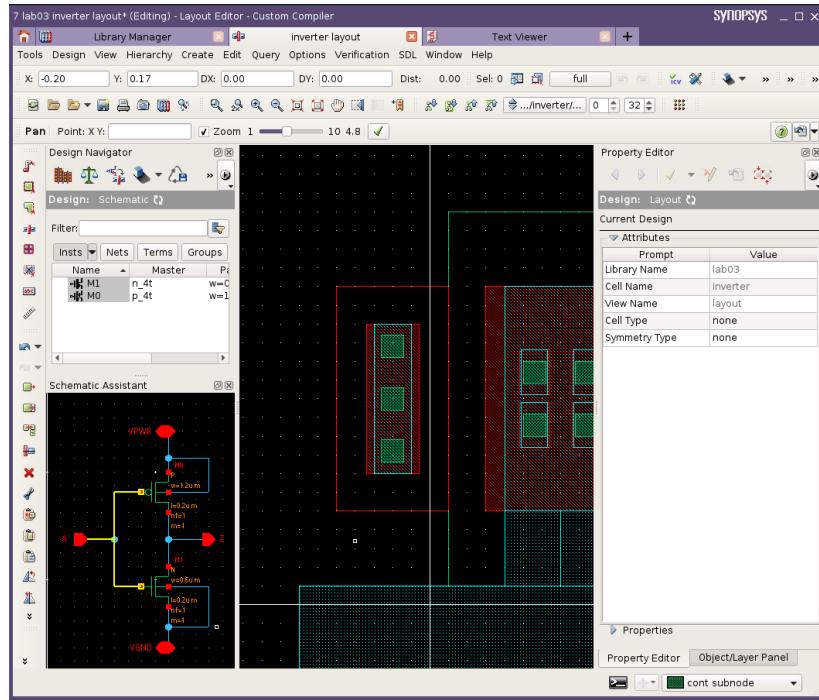
VNU-ITI Design Upskill Training – Module 3A



Hình 32. Cực Base của PMOS.

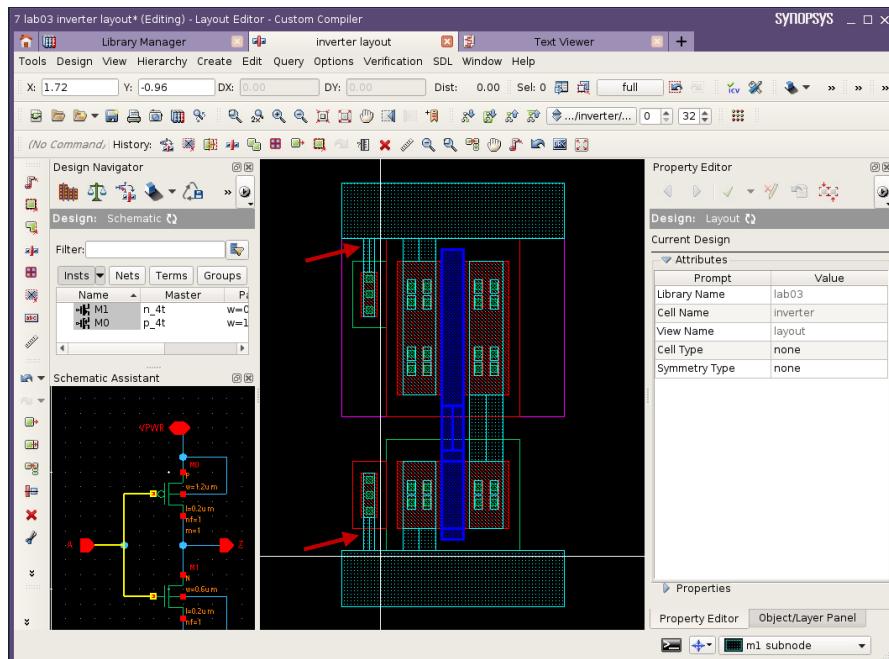
- Làm tương tự với NMOS nhưng thay lớp **nplus** bằng **pplus /drw**

VNU-ITI Design Upskill Training – Module 3A



Hình 33. Cực Base của NMOS.

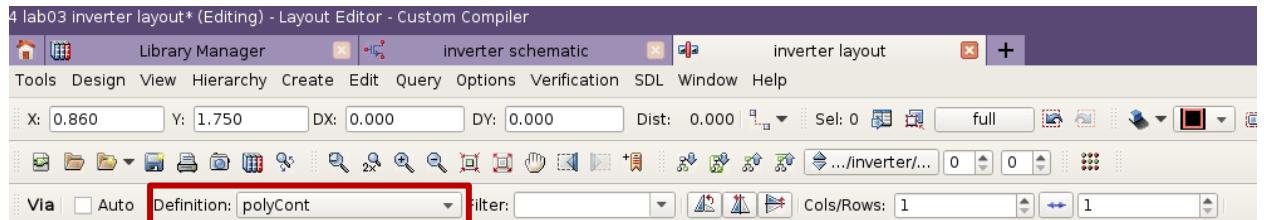
- Nối cực Base của PMOS với đường VPWR
- Nối cực Base của NMOS với đường VGND



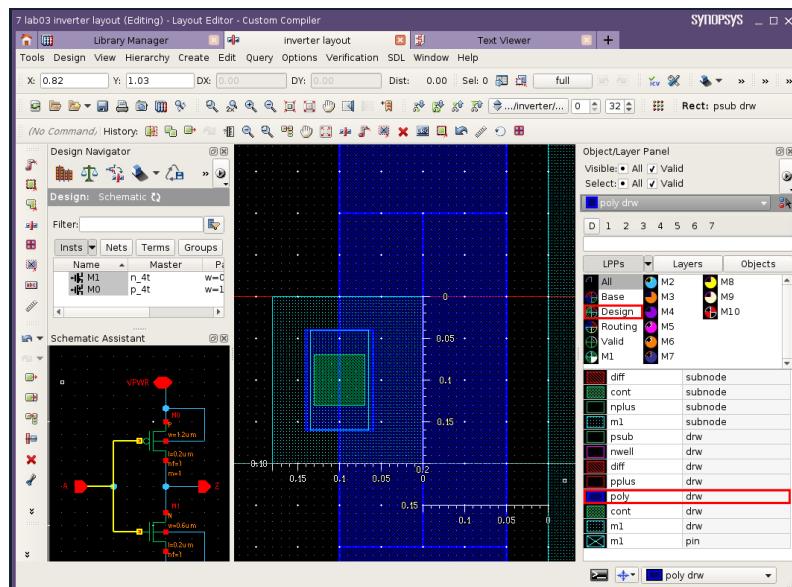
Bước 6: Tạo và đặt chỗ Via

- Chọn Create > Via (phím o) hoặc chọn biểu tượng
- (1) Tại ô Definition chọn polyCont để tạo kết nối m1-poly

VNU-ITI Design Upskill Training – Module 3A



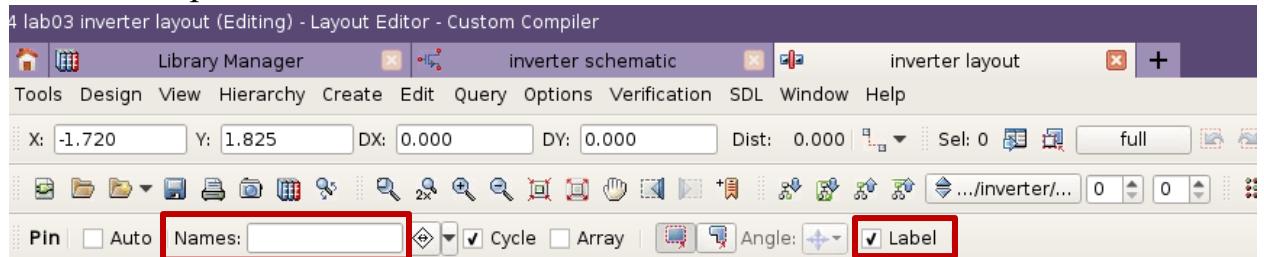
(2) Đặt Via m1-poly trên lớp nằm trong lớp poly và m1



Hình 34. Tạo via poly - metal 1.

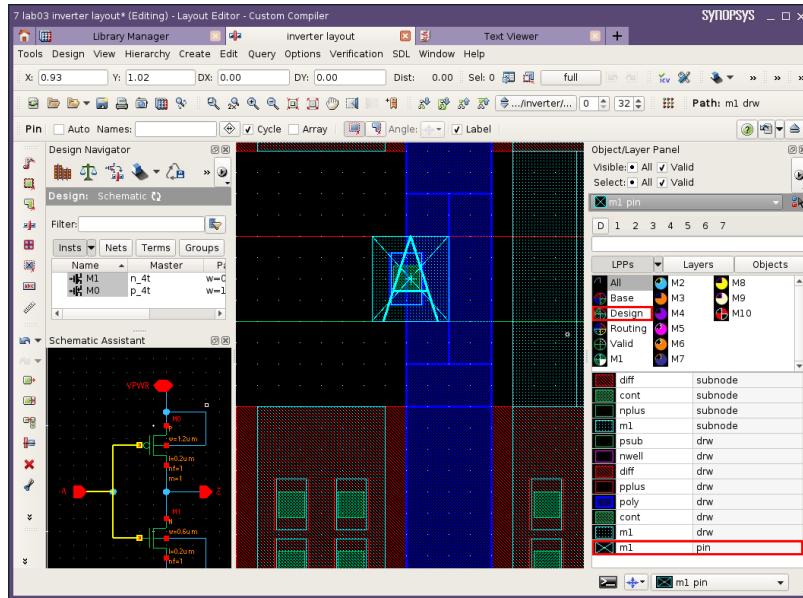
Bước 7: Tạo các chân pin và gán nhãn

- Chọn **Create > Pin > By Shape** (phím Ctrl + p) hoặc chọn biểu tượng
- Tích chọn vào tùy chọn **label**
- Đặt tên cho pin là A



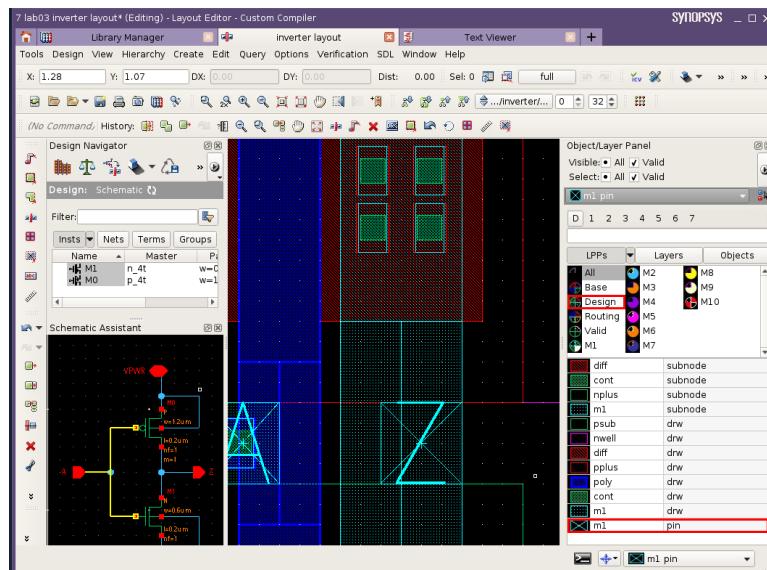
VNU-ITI Design Upskill Training – Module 3A

- Chọn lớp metal 1 / pin và vẽ



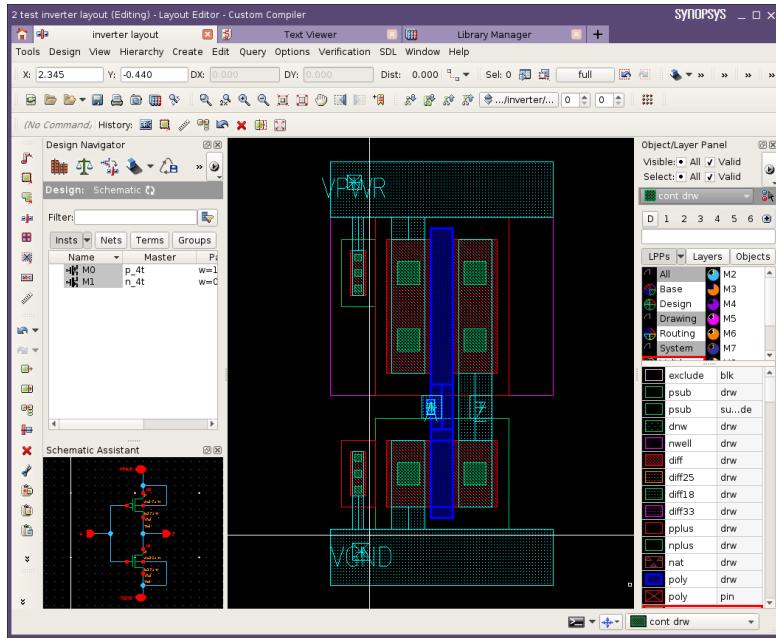
Hình 35. Tạo pin A cho inverter.

- Làm tương tự với chân pin Z, VPWR, VGND



Hình 36. Tạo pin Z cho inverter.

VNU-ITI Design Upskill Training – Module 3A



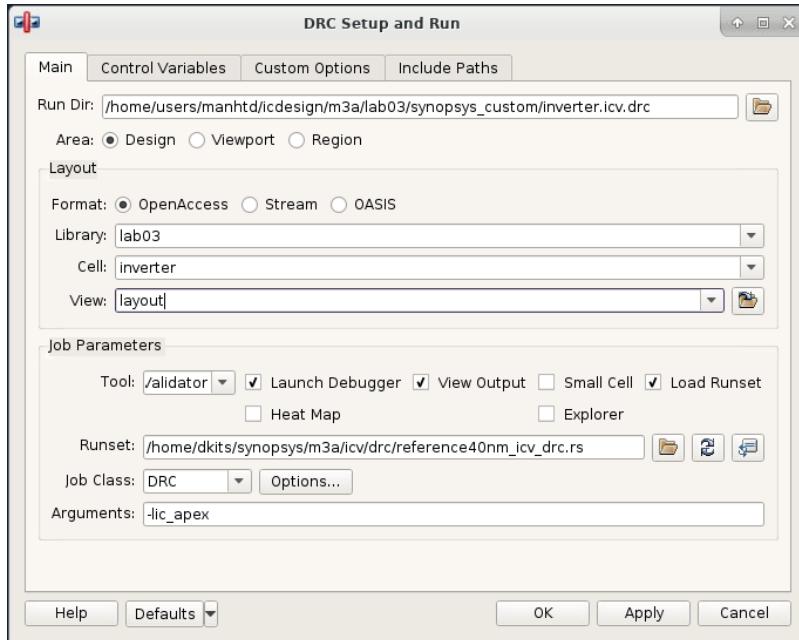
Hình 37. Layout hoàn thiện của cổng inverter.

4. Kiểm tra luật thiết kế trên layout đã tạo

Bước 1: Thiết lập chương trình và chạy kiểm tra luật thiết kế

- Mở file tài liệu chứa thông tin luật thiết kế:
`/home/dkits/synopsys/m3a/doc/ReferenceKit_DesignRule.pdf`
- Tại cửa sổ **Layout Editor** chọn **Verification > DRC > Setup and Run** để mở cửa sổ **DRC Setup and Run**
- Tại cửa sổ **DRC Setup and Run** kiểm tra các thông tin ở các ô **Run Dir**, **Format**, **Cell**, **View**
- Chọn dấu tích vào các **Launch Debugger**, **View Output**, **Load Runset**
- Tại ô **Arguments** thêm tùy chọn `-lic_apex`

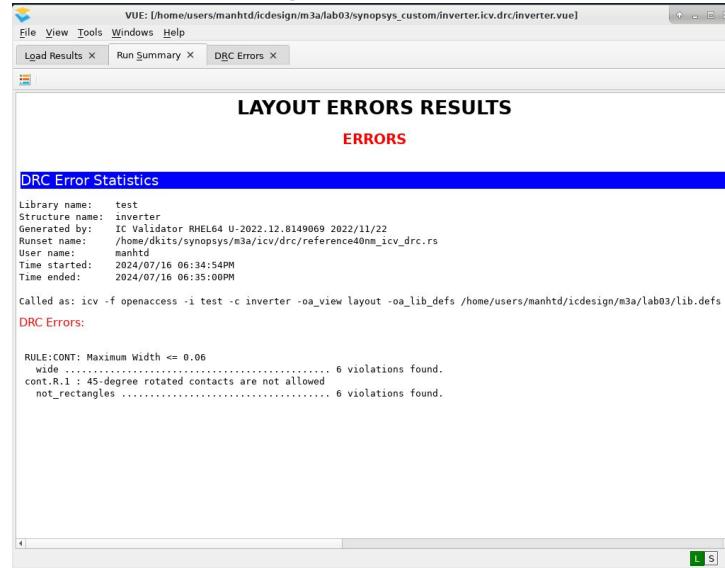
VNU-ITI Design Upskill Training – Module 3A



Hình 38. Cửa sổ DRC Setup and Run.

- Cuối cùng chọn **OK** để chạy chương trình kiểm tra luật thiết kế
- Đọc các file output chương trình và đảm bảo chương trình chạy thành công

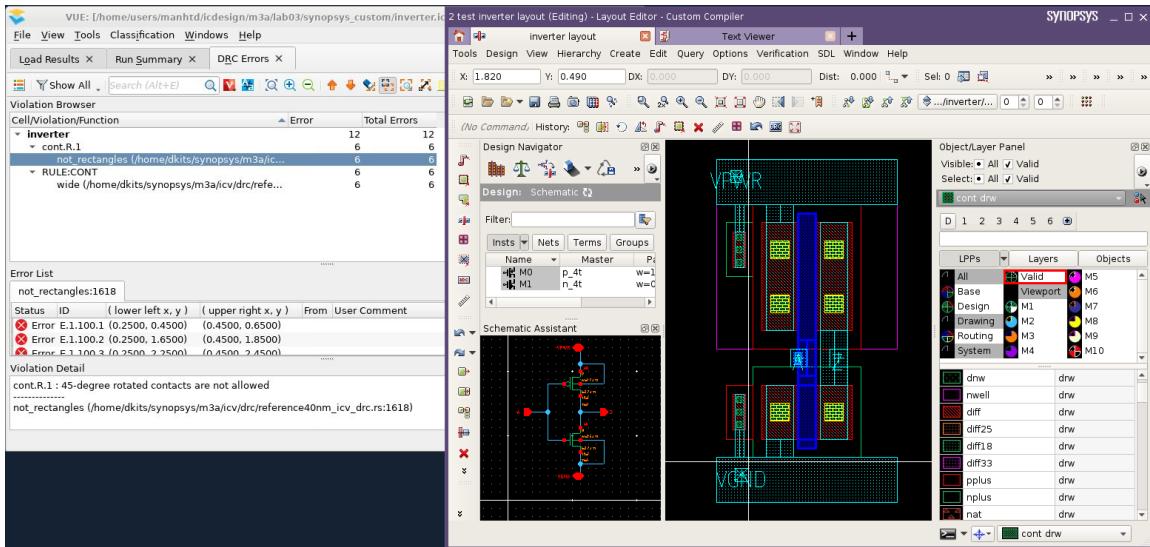
Bước 2: Gỡ lỗi thiết kế với chương trình IC Validator VUE



Hình 39. Giao diện phần mềm gỡ lỗi thiết kế VUE.

- Tại cửa sổ của trình gỡ lỗi VUE, đọc các lỗi và phán đoán lỗi
- Chọn tab DRC Errors và nháy đúp chuột vào các lỗi trên bảng liệt kê
- Quay trở về cửa sổ Layout Editor để xem các lỗi vi phạm luật thiết kế

VNU-ITI Design Upskill Training – Module 3A

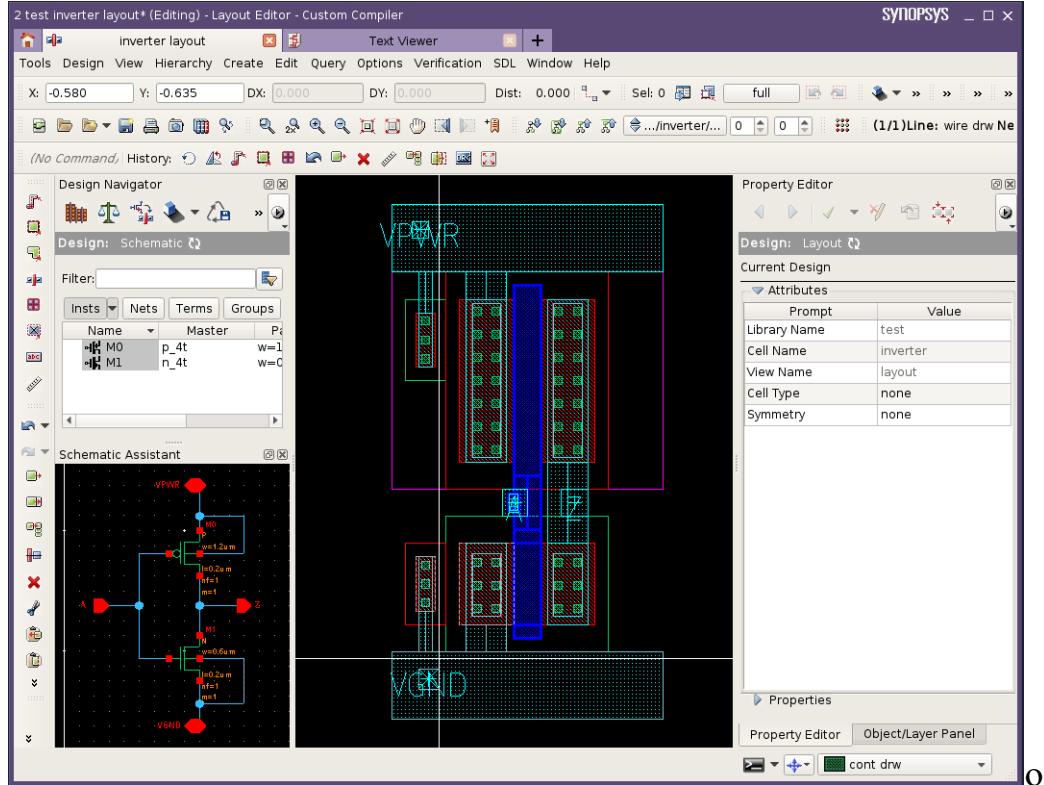


Hình 40. Gõ lỗi sử dụng phần mềm IC Validator VUE.

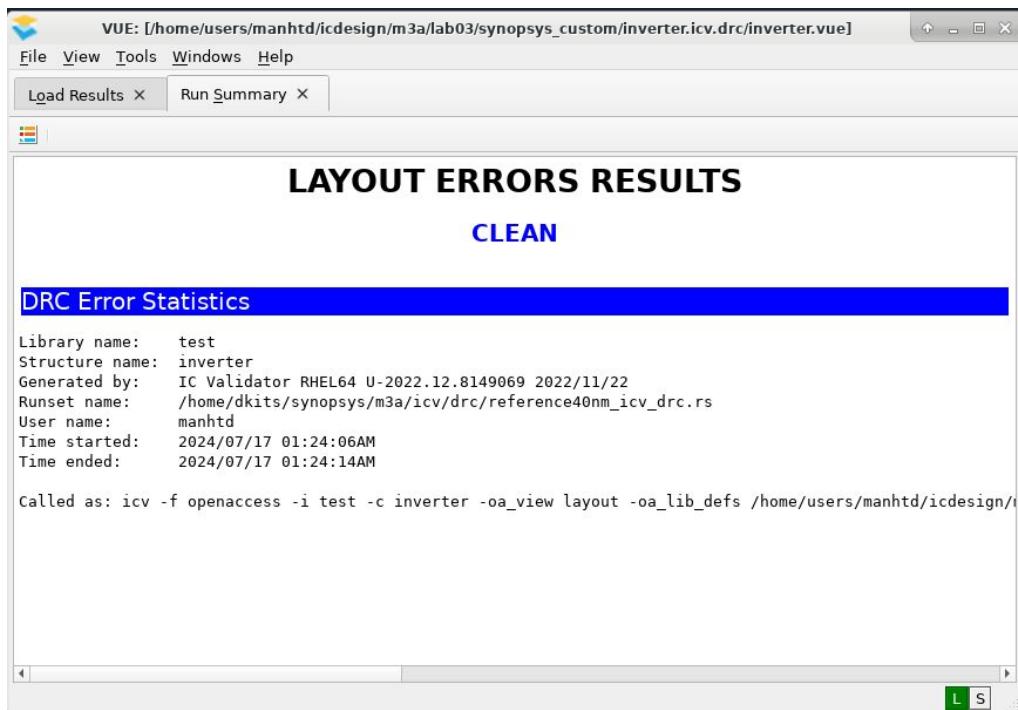
Bước 3: Sửa lỗi và tái kiểm tra luật thiết kế

- Xóa các đối tượng khỏi ở lớp cont/drw có kích thước lớn hơn 0.06um x 0.06umo
- Tạo một mảng Via diffCont có 7 hàng và 2 cột
- Đặt vào vị trí của các lớp diff / drw ở hai bên transistor PMOS (sử dụng thước để căn chỉnh vị trí đặt sao cho phù hợp)
- Làm tương tự với NMOS (3 hàng và 2 cột)
- Kiểm tra lại luật thiết kế bằng cách chọn **Verification > DRC > Run**

VNU-ITI Design Upskill Training – Module 3A



Hình 41. Thiết kế layout của inverter sau khi sửa lỗi.



Hình 42. VUE thông báo không có lỗi thiết kế trên layout transistor.