

Projet ZigBee

Rapport final

PROMO MT 2026
2A MT

12/06/2025



Table des matières

Remerciements.....	4
1 Introduction - Projet 2A Zigbee	5
1.1 Présentation du projet.....	5
1.2 Dossiers et organisation du git.....	5
1.3 Techo 130nm Open PDK IHP – outils open source.....	6
1.3.1 Open PDK IHP 130nm.....	6
1.3.2 Outils utilisés	6
1.3.3 Installation.....	7
1.4 Spécifications.....	8
2 LNA Inductance dégénérée – single.....	9
2.1 Design et simulations.....	9
2.1.1 Schéma de principe et équations.....	9
2.1.2 Dimensionnement et simulation.....	11
2.1.3 Synthèse.....	16
2.2 Layout	20
2.2.1 Floor Plan et Routage	20
2.2.2 Vue layout final	22
3 LNA Grille commune	23
3.1 Etude théorique	23
3.1.1 Présentation de l'architecture.....	23
3.1.2 Dimensionnement théorique	23
3.2 Design et simulation	25
3.2.1 GC Single.....	25
3.2.2 GC Pseudo-Différentiel	31
3.3 Tableau récapitulatif	36
3.4 Layout	37
3.4.1 Listes des pins (In/Out).....	37
3.4.2 Vue layout.....	37
4 Mixer.....	42
4.1 Design et simulations.....	42
4.1.1 Schéma de principe et dimensionnement	42
4.1.2 Résultats de simulation.....	42
4.2 Layout	45
4.2.1 Listes des pins (In/Out).....	45

4.2.2	Vue layout.....	46
5	Balun.....	47
5.1	Design et simulations.....	47
5.1.1	Schéma de principe et dimensionnement	47
5.1.2	Résultats de simulation.....	49
5.2	Layout	50
5.2.1	Listes des pins (In/Out).....	50
5.2.2	Vue layout.....	51
6	VCO.....	52
6.1	Design et simulations.....	52
6.1.1	Schéma et dimensionnement.....	52
6.1.2	Intégration	56
6.1.3	Simulation	57
6.1.4	Tableau récapitulatif.....	60
6.2	Layout	60
6.2.1	Listes des pins (In/Out).....	61
6.2.2	Vue layout.....	62
7	PFD, Pompe de charge et Filtre de boucle.....	65
7.1	Design et simulations	65
7.1.1	Schéma de principe et équations.....	65
7.1.2	Dimensionnement et simulation.....	65
7.1.3	Performances	67
7.1.4	Tableau récapitulatif.....	68
7.2	Layout	69
7.2.1	Listes des pins (In/Out).....	69
7.2.2	Vue layout.....	70
8	Diviseur de fréquence.....	74
8.1	Schéma de principe et équations.....	74
8.1.2	Dimensionnement et simulation.....	76
8.1.3	Performance	78
8.1.4	Tableau récapitulatif.....	81
8.2	Layout	81
8.2.1	Listes des pins (In/Out).....	81
8.2.2	Vue layout.....	82
9	Chainage PLL analogique	84

10	PLL Verilog-A	86
10.1	Design et simulations.....	86
10.1.1	Schéma de principe et équations.....	86
10.1.2	Dimensionnement et simulation	87
10.1.3	Performance	88
11	Circuit complet : LNA GrilleCom – Mixer-Balun.....	95
11.1	Simulation	95
11.1.1	Gain et Linéarité	96
11.1.2	Tableau récapitulatif.....	98

Remerciements

Ce projet a été réalisé dans le cadre de notre formation d'ingénieur à Phelma, Grenoble INP-UGA. Nous exprimons notre profonde gratitude au Professeur S. Bourdel pour ses conseils précieux et son accompagnement constant tout au long de ce travail. Sa disponibilité et son expertise ont grandement contribué à la réussite du projet.

Nous tenons également à remercier chaleureusement le Professeur Y. Le Guennec ainsi que T. Larja pour leur soutien technique et leur aide précieuse dans l'analyse du système et la coordination des différentes étapes du projet.

Ce travail n'aurait pas pu être mené à bien sans l'implication et l'aide technique d'A. Luitot et A. Aitoumeri, notamment pour la mise en place et la configuration des environnements logiciels. Leur contribution a été essentielle au bon déroulement du projet.

Nous remercions également le Leibniz Institut for High Performance Microelectronics (IHP) pour sa collaboration et le partage de ressources, qui ont permis de renforcer la qualité de notre démarche.

Enfin, ce projet s'inscrit dans le cadre du programme Microélectronique et Télécommunications (MT). Nous adressons un remerciement particulier à l'ensemble de la Promotion 2026 pour leur esprit d'équipe, leur implication collective et leur soutien tout au long de cette expérience enrichissante.

1 Introduction - Projet 2A Zigbee

L'ensemble des documents produits lors de ce projet, fichiers de design, bancs de simulation et layout se trouve dans le dépôt git à l'adresse suivante :

1.1 Présentation du projet

L'objectif du projet est de concevoir un récepteur ZigBee. Cette conception regroupera dimensionnement et dessin des masques pour ensuite produire le circuit intégré. Tout au long de la conception, de nombreuses simulations et tests seront réalisés afin d'optimiser le fonctionnement sur silicium.

Nous représentons l'architecture du récepteur de la manière suivante :

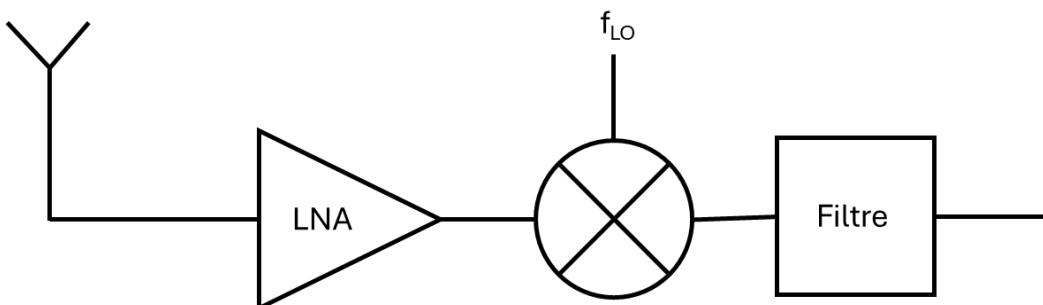


Figure 1 : Rx-Zigbee

Après production, récepteur ZigBee sera testé afin de comparer avec les résultats numériques. Un premier rapport d'analyse système a été réalisé. Le but de ce rapport est de synthétiser les résultats de simulations, les différentes dimensions des composants de chaque bloc et l'état actuel du layout réalisé. Cette synthèse nous sera utile pour le test des circuits en juin 2026. Nous détaillerons chaque blocs (LNA inductance dégénéré, LNA grille commune, Mixer, PLL VCO, PLL Pompe de charge, PLL Diviseur de fréquence, PLL Verilog-A) de la manière suivante :

- Rappel théorique
- Les différentes étapes de dimensionnement
- Résultats de simulations et dimension des composants finaux.
- Présentation du layout.

Dans un premier temps, nous présenterons la technologie et les outils utilisés ainsi qu'un bref rappel de l'analyse système

1.2 Dossiers et organisation du git

Le dépôt est divisé en deux parties : documentation et design et plusieurs branches. Les branches Git nous ont permis de développer les différents blocs de manière indépendante, en évitant les conflits de fichier. La branche main réunit les circuits et layout finaux ainsi que les principaux bancs de test.

La partie documentation comprend plusieurs sous-dossiers chacun ayant des fonctions :

- AgriZigbee
 - Cas d'usage du circuit Zigbee (modèle de consommation/article)

- Compte rendu
 - Rapport analyse système et ce rapport
- Inductance
 - Documents de dimensionnement théorique des différentes inductances modélisées
- LNA
 - Documents de dimensionnement théorique des deux LNA modélisés
- Mixer
 - Documents de dimensionnement théorique du mixer
- PLL
 - Documents de dimensionnement théorique de la PLL
- Revue de projet
 - PDF des 4 revues de projets
- Spec_projet
 - Dimensionnement des différentes spécification niveau système
- Techno_IHP
 - DRM et paramètre technico
- Tutoriels
 - Prise en main des logiciels
 - Utilisation des machine virtuelles de Phelma
 - Utilisation de GitHub

1.3 Techo 130nm Open PDK IHP – outils open source

1.3.1 Open PDK IHP 130nm

La technologie Open PDK IHP (Process Design Kit) est une initiative de l'IHP (Innovations for High Performance Microelectronics) visant à fournir un ensemble ouvert d'outils et de fichiers nécessaires à la conception de circuits intégrés (CI) en utilisant leurs procédés technologiques, notamment SG13G2, un procédé bipolaire-CMOS (BiCMOS) optimisé pour les hautes fréquences (jusqu'à 300 GHz).

L'Open PDK permet aux chercheurs, startups et universités d'accéder gratuitement à des outils compatibles avec des plateformes de conception open source comme KLayout, Magic ou OpenROAD. Il rend la conception de circuits plus accessible, reproductible et collaborative, en particulier dans les domaines RF, analogiques et millimétriques.

Dans le cadre de ce projet, nous développerons nos circuits sur cette technologie.

- Le PDK est disponible sur le dépôt git suivant : <https://github.com/IHP-GmbH/IHP-Open-PDK>
- La documentation complète du PDK est disponible au lien suivant : <https://ihp-open-pdk-docs.readthedocs.io/en/latest/index.html>.

1.3.2 Outils utilisés

Pour dimensionner les composants et réaliser les simulations, nous utilisons le logiciel QUCS-S (https://github.com/ra3xdh/qucs_s) et le simulateur Ngspice (<https://ngspice.sourceforge.io/>)

Ngspice ne permet pas de réaliser des simulations harmonic balance. Pour cela, nous avons essayé d'installer le simulateur Xyce (<https://github.com/Xyce/Xyce>), mais sans succès.

Pour réaliser les layouts, nous avons utilisé le logiciel Klayout () .

Pour réaliser le LVS, le logiciel QUCS-S ne permet pas de générer les netlists dans le bon format. Nous avons installé le logiciel Xschem (<https://xschem.sourceforge.io/stefan/index.html>) qui permet de générer correctement les netlist pour le script LVS fourni par IHP. Néanmoins, Nous avons observé un certain nombre de problème lors de l'exécution du script LVS, nous empêchant de valider cette étape.

1.3.3 Installation

Nous avons installé et travailler sur des machines virtuelle, distribution Ubuntu 24.02 LTS

1.3.3.1 *Installation classique*

IHP à produit un tutoriel fiable à l'adresse suivant : <https://ihp-open-pdk-docs.readthedocs.io/en/latest/install.html>

Pour l'installation de QUCS-S, l'étudiant Adrien Luitot (promotion MT 2025) à écrit un tutoriel à l'adresse suivante : https://analog-course.readthedocs.io/en/latest/design_softwares/qucs.html

1.3.3.2 *Docker*

Nous avons reçu en fin de projet un dépôt Git réalisé par un chercheur qui propose un docker comprenant l'ensemble des outils utiles et le PDK installé : <https://github.com/iic-jku/IIC-OSIC-TOOLS>

Nous avons pu tester cette solution et elle apparaît fiable. Néanmoins, nous n'avons pas réellement éprouvé cette solution, nous ne garantissons pas le fonctionnement de l'ensemble des outils.

1.4 Spécifications

Tableau 1 : spécification et marges

LNA							
Paramètres variables				Paramètres critiques			
Nom	valeur	Marge	Unité	Nom	valeur	Marge	Unité
NF(dB)	3,5	1,5	dB	OIP3(dB)	15		dB
NF(linéaire)	2,2		Linéaire	OIP3 (linéaire)	31,6		Linéaire
Gain (dB)	20	6	dB	IIP3(dB)	8		dB
Gain(linéaire)	100		Linéaire	IIP3 (linéaire)	6,31		Linéaire
$V_{in,min}$	8,4E-06		V(rms)				
			W				
$V_{in,max}$	3,7E-03		V(rms)				
			W				

Mélangeur							
Paramètres variables				Paramètres critiques			
Nom	valeur	Marge	Unité	Nom	valeur	Marge	Unité
NF(dB)	11,2	1,5	dB	OIP3(dB)	23		dB
NF(linéaire)	13,2		Linéaire	OIP3 (linéaire)	200		Linéaire
Gain (dB)	8	6	dB	IIP3(dB)	15		dB
Gain(linéaire)	6,3		Linéaire	IIP3 (linéaire)	31,6		Linéaire
$V_{in,min} (V_{rms})$	8,4E-05		V(rms)				
			W				
$V_{in,max} (V_{rms})$	3,7E-02		V(rms)				
			W				

Filtre idéal	
Paramètres variables	
Nom	valeur
	1
NF	1,3
	0
Gain	1

Tableau 2 : Paramètres critique

Système global		
Paramètres critique		
Nom	valeur	Marge
SNR requis (dB)	14	
thermal noise(dBm/Hz)	-174	
bandwidth	3000000	
Sensibilité (dBm)	-91,5	2
P_{NF} (dBm)	-105,5	
$P_{Si,MAX}$ (dBm)	-38,6	
$P_{Si,max}$ (W)	1,37E-07	
$P_{Si,MIN}$ (dBm)	-91,5	2
$P_{Si,min}$ (W)	7,08E-13	
d_{max} (m)	58,1	
d_{min} (m)	0,13	
IIP3 (mW)	0,301	
IIP3 (dBm)	-5,2	
OIP3 (mW)	190,0	
OIP3 (dBm)	22,8	
P_{sortie} (dBm) dans 1Hz	-142,3	
SFDR (dB)	110,0	

Noise Factor & Gain	
Paramètres	Valeurs
NF (formule de FRIIS en LINÉAIRE)	2,4
NF FRIIS (dB)	3,7
Gain récepteur (dB)	28,0

Paramètres	
F_{OL} (Hz)	2,45E+09
P_E (dBm)	14
FM (dB)	30

Atténuation (dB)	
Min	22,6
Max	75,5

2 LNA Inductance dégénérée – single

Lors de ce projet, Baptiste Monget et Sacha Lutoff avaient la responsabilité de concevoir un Low Noise Amplifier (LNA) à inductance dégénérée, d'abord en single, puis en différentiel. Cependant, Baptiste ayant été missionné pour concevoir des inductances et Sacha pour l'installations logiciels pour valider le Layout Versus Schematic (LVS), ces ressources ont manqué de temps pour mener à bien ce bloc. Ainsi, d'un commun accord avec l'ensemble de l'équipe et l'enseignant référent/client (Sylvain Bourdel), le LNA à inductance dégénérée ne sera fait qu'en single. Ainsi, la partie suivante sera la synthèse du LNA inductance dégénérée single.

2.1 Design et simulations

2.1.1 Schéma de principe et équations

Un LNA à inductance dégénérée correspond au schéma de principe suivant :

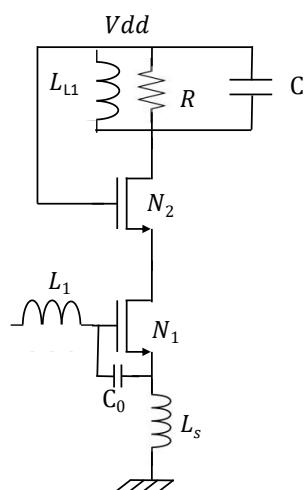


Figure 2 : Schéma d'un LNA à inductance dégénérée en single

Pour ce LNA inductance dégénérée, le cahier des charges est le suivant :

Cahier des Charges				
F [dB]	G [dB]	f ₀ [Hz]	L [H]	BW [Hz]
3,5	20	2,45E+09	3E-09	3,00E+06

Avant de commencer le dimensionnement sur le simulateur QUCS, nous réalisons un prédimensionnement théorique permettant d'obtenir une première idée des dimensions des différents composants. Ces valeurs sont établies de façon théorique et serviront de point de départ pour le dimensionnement par simulations électriques.

Pour commencer, nous proposons un dimensionnement théorique à partir du coefficient de surtension Q_e . A partir l'Équation 2, nous obtenons une valeur de transconductance "gm" de telle sorte que $Q_e = 1$ pour les deux transistors N1 et N2. Ces deux transistors sont de mêmes dimensions.

$$F = 1 + \frac{\gamma}{R_0 \cdot gm} \cdot \frac{1}{Q_e^2}$$

Équation 2 : Dimensionnement de la transconductance des transistors N1 et N2

Concernant le réseau d'adaptation, il est pré-dimensionné à partir du Gain en tension (ou G_v) et la fréquence d'intérêt f_0 du LNA selon :

$$G_v = gm \cdot R \quad ; \quad \omega_0 = \frac{1}{\sqrt{L \cdot C}}$$

Équation 1 : Dimensionnement théorique du réseau d'adaptation

Nous décidons d'imposer une consommation en courant : $I_p = 1.5A$. Avec ce courant et ω_0 , nous déterminons le rapport W/L des transistors.

$$\frac{W}{L} = \frac{gm^2}{4 \cdot K_n \cdot I_p}$$

Équation 3 : Rapport W/L d'un transistor en fonction du courant

Afin d'adapter à 50Ω l'entrée du LNA, il est nécessaire d'étudier la capacité de grille du transistor N1. La capacité de grille d'un transistor est donnée par :

$$C_{gs} = \frac{2}{3} C_{ox} \cdot W \cdot L$$

Équation 4 : Capacité de grille d'un transistor en fonction de ces dimensions

Cependant, d'un point de vue théorique et de sortes à être adapté 50Ω , la capacité de grille du transistor N1 est donné par :

$$C_{gs,\text{théorique}} = \frac{1}{50 \cdot \omega_0 \cdot Q_e} = \frac{gm \cdot L_2}{50}$$

Équation 5 : Capacité de grille du transistor N1 pour être adapté 50Ω en entrée

Il s'avère que ces deux capacités (sensée être identiques) ont des valeurs différentes. La valeur de $C_{gs,\text{théorique}}$ est la capacité que nous souhaitons avoir entre la grille et la source de notre transistor N1 pour être adapté 50Ω . Nous rajoutons une capacité en parallèle qu'on appelle C_0 et sa valeur est donnée par :

$$C_0 = C_{gs,\text{théorique}} - C_{gs}$$

Équation 6 : Capacité C_0 ajoutée entre la grille et la source du transistor

Il ne reste plus qu'à déterminer les valeurs des inductances L_1 et L_s . Pour cela, nous utilisons les équations suivantes :

$$f_T = \frac{gm}{(C_{gs} + C_0) \cdot 2\pi} \quad ; \quad L_2 = \frac{50}{\omega_T} \quad ; \quad L_2 + L_1 = \frac{1}{\omega_0^2 \cdot (C_{gs} + C_0)}$$

Équation 7 : Equation permettant d'évaluer les valeurs des inductance L_s et L_1

L'ensemble du prédimensionnement étant réalisé, nous obtenons :

gm (S)	C (F)	R (Ω)
32E-3	1,41E-12	310

Ip (A)	W/L	W
1,5E-3	812	106E-6

$C_{gs,\text{théorique}}$ (F)	f_T (Hz)	ω_T (rad.s $^{-1}$)	C_{gs} (F)	L_1 (H)	L_2 (H)	C_0 (F)
1,3E-12	4,0E+09	2,5E+10	131E-15	1,2E-09	2,0E-09	1,2E-12

Cependant, après investigation, nous avons remarqué que IHP ne fournit pas de modèle d'inductance pour les simulations électriques. Ainsi, pour avoir les valeurs des inductances il est nécessaire de passer par des simulations électromagnétiques pour obtenir les paramètres S. Ainsi les inductances sont dimensionnées (W , D_{INT} , Nbt , S) pas à pas jusqu'à obtenir une inductance voulue. Cette méthode étant fastidieuse le choix a été fait d'utiliser les mêmes inductances pour tous les blocs (les différents LNA et VCO). Le choix s'est fixé sur 2 valeurs, à savoir : $L=1.5\text{nH}$ et $L=3\text{nH}$.

Il est donc nécessaire de s'adapter à ces valeurs d'inductance pour adapter en entrée du LNA de façon théorique. Nous obtenons alors :

Données fixes		Détermination C_0		Détermination L_1	
L_2 (H)	C_{gs} (F)	$C_{gs,\text{théorique, adapté}50\text{ohm}}$ (F)	C_0 (F)	L_1 (H)	
1,5E-09	126E-15	969E-15	842E-15	2,9E-09	

A partir des équations :

$$C_{gs, \text{théorique, adapté}50\text{ohm}} = \frac{gm \cdot L_2}{50} \quad \text{et} \quad L_1 = \frac{1}{\omega_0^2 \cdot C_{gs, \text{théorique, adapté}50\text{ohm}}} - L_2$$

2.1.2 Dimensionnement et simulation

Point de polarisation DC

Nous réalisons dans Qucs le schéma suivant (Figure 3) correspondant au LNA parfait à partir des calculs théoriques. Nous avons déterminé qu'il nous fallait une transconductance $gm = 32\text{mS}$

pour assurer les 20dB de gain. On sait que $gm = \frac{I_{ds}}{V_{gs}}$.

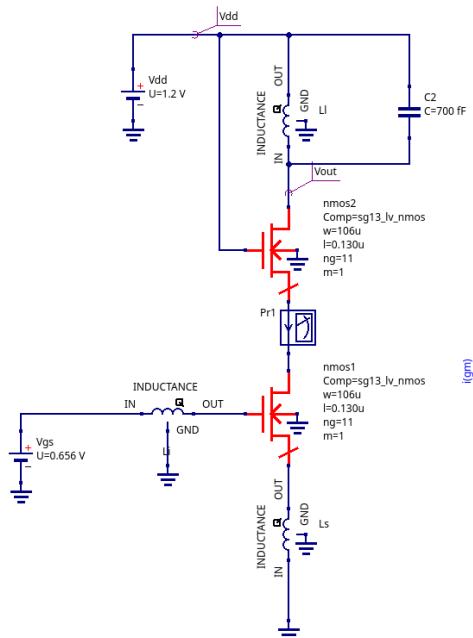


Figure 3 : Schéma LNA composant parfait - LNA inductance dégénérée

Ainsi, nous polarisons la grille du transistor Nmos2 à $V_{dd} = 1.2\text{V}$ et la grille du transistor Nmos1 sur une source DC sur laquelle nous réalisons une analyse paramétrique allant de 0V à 1.2V avec un pas de 1mV. Nous traçons :

$$gm = \frac{\partial I_{ds}}{\partial V_{gs}}$$

Nous obtenons un point de polarisation à $V_{gs} = 0.656\text{V}$ (Figure 4).

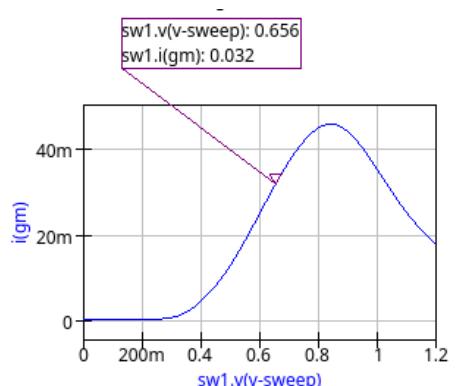


Figure 4 : point de polarisation DC - LNA inductance dégénérée

Adaptation 50Ω en entrée

Maintenant, nous cherchons à adapter l'impédance d'entrée à 50Ω pour F=2.45GHz. Pour se faire nous rajoutons la capacité C_0 . Nous traçons une analyse paramétrique de ce condensateur, allant de 700fF à 1.5pF avec un pas de 100fF. Cette analyse paramétrique est réalisée dans le cadre d'une simulation de paramètres S allant de 2GHz à 5GHz, avec 301 points (simulation grosse maille). Le banc de test correspond au schéma suivant. Nous observons le paramètre S11, indicateur de l'adaptation d'entrée. Nous obtenons **Cp = 1.1pF**. Pour cette valeur de Cp, $Z_{in} = 49+j1.66$. Nous en déduisons la valeur du coefficient de réflexion :

$$\Gamma = 10 * \log_{10} \left(\frac{Z_{in}-50}{Z_{in}+50} \right) = -20dB.$$

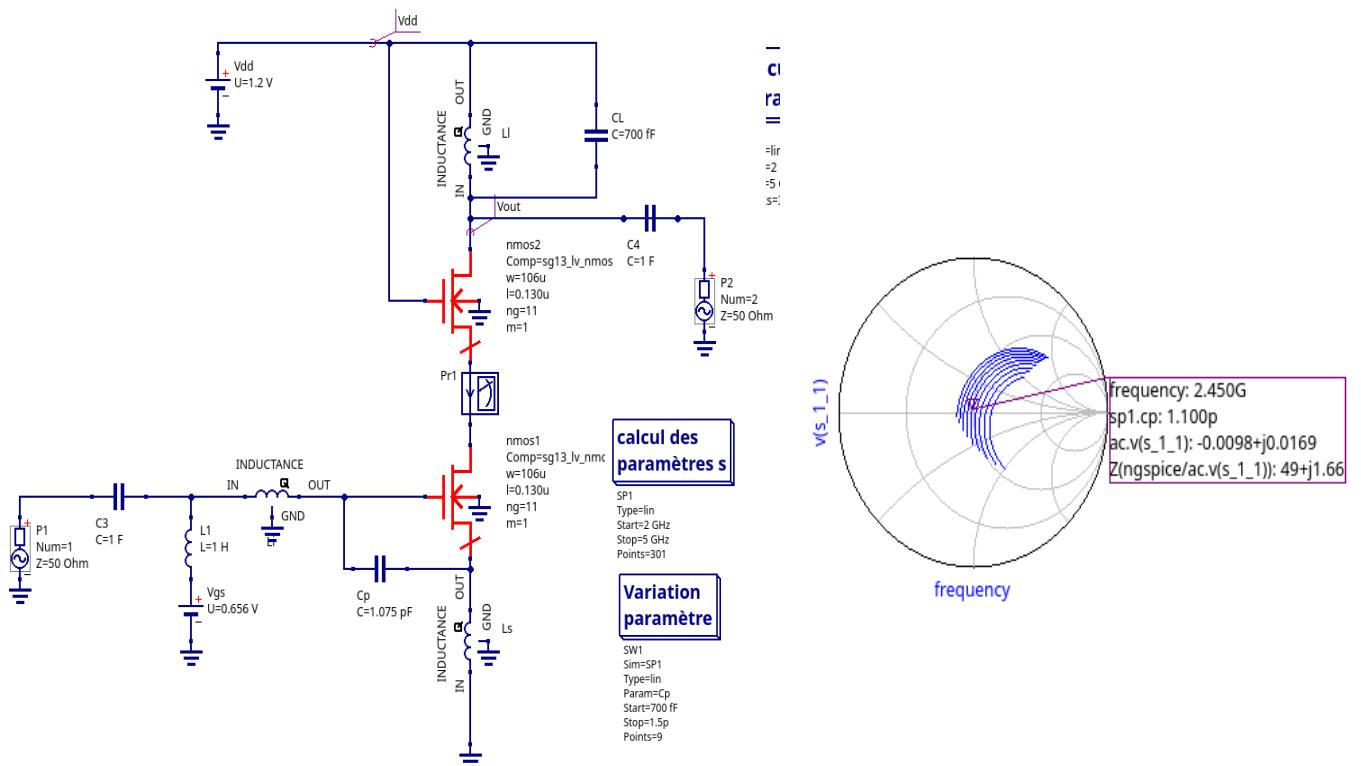


Figure 5 : Paramètres S - adaptation entrée - LNA inductance dégénérée

Miroir de courant pour polarisation

Nous devons maintenant polariser la grille du transistor d'entrée grâce à un miroir de courant. Nous commençons par mettre une source de courant à $I=4.49\text{mA}$ dans le drain du miroir et observer le courant dans I_p dans la branche du cascode. En faisant varier le W et le L du miroir, nous arrivons à recopier ce courant. Nous optimisons la taille du miroir pour qu'il soit le plus petit possible. Ensuite, nous remplaçons le générateur de courant par une résistance, relié à Vdd. Par une analyse paramétrique, nous trouvons la valeur de cette résistance à **Rpol = 130Ω** pour polariser correctement le miroir. Il est important de noter que nous rajoutons une forte résistance **Rrf = 5kΩ** entre la grille du miroir et celle du mos d'entrée du LNA. Cette résistance permet au signal RF de modifier uniquement la tension du mos d'entrée du LNA.

Le banc de test devient le suivant (Figure 6) :

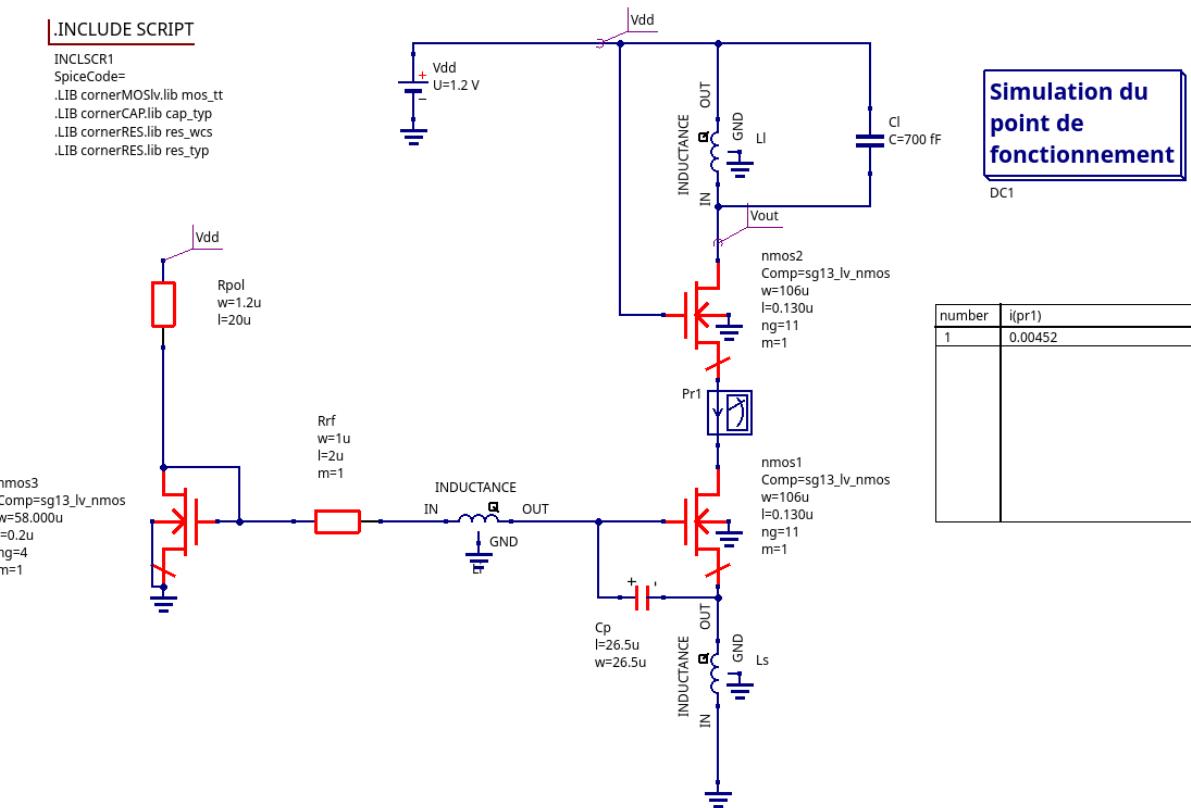


Figure 6 : banc de test miroir de courant - LNA inductance dégénérée

Gain

Nous cherchons à présent à optimiser le gain du LNA à 2.45GHz. L'inductance L_{L1} étant fixé, nous cherchons à modifier la valeur de C_L pour que l'ensemble résonne à 2,45Ghz. Nous réalisons une simulation de paramètres S et nous modifions petit à petit la valeur de C_L pour ramener le pic de résonnance à 2,45GHz. Il est important de noter que l'impédance de sortie de ce montage est très élevée. Un port paramètre S 50Ω prendra l'ensemble de la puissance et le montage inductance/capacité ne résonnera pas. Il faut donc mettre un port haute impédance pour que le montage résonne. On prendra le port 2 = 5000Ω. Il faut donc penser à compenser cette différence entre le port 1 et port 2 artificiellement pour le calcul du gain, en rajoutant la valeur suivante à S21 : $10 * \log_{10} \left(\frac{5000}{50} \right)$. La valeur de C_L est de $C_L=1.3\text{pF}$ pour un gain maximal de 24.9dB. (Figure 7).

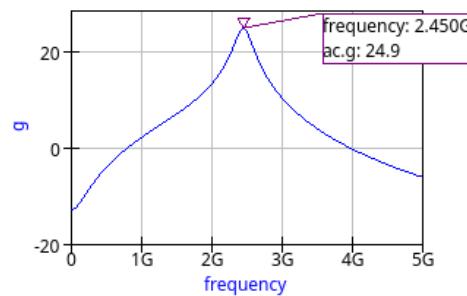


Figure 7 : Paramètre S21 - LNA inductance dégénérée sans adaptation

Découplage capacitif – Adaptation 50Ω en sortie

L'adaptation en sortie se fait par un couplage capacitif C_1 série et C_2 parallèle. On a $C_I = \frac{C_1 \cdot C_2}{C_1 + C_2}$.

Grâce aux formules de conversions parallèle série, nous trouvons un couple $C_1 = 1.03\text{pF}$ et $C_2 = 1.3\text{pF}$. A partir de ces valeurs, nous réalisons une simulation de paramètres S (avec un port 50Ω en sortie cette fois-ci) et observons les paramètres S_{11} et S_{22} . Nous cherchons à adapter l'impédance de sortie sans détériorer l'adaptation en entrée. Après quelques essais, nous trouvons les valeurs $C_1 = 1.88\text{pF}$ et $C_2 = 4.1\text{pF}$.

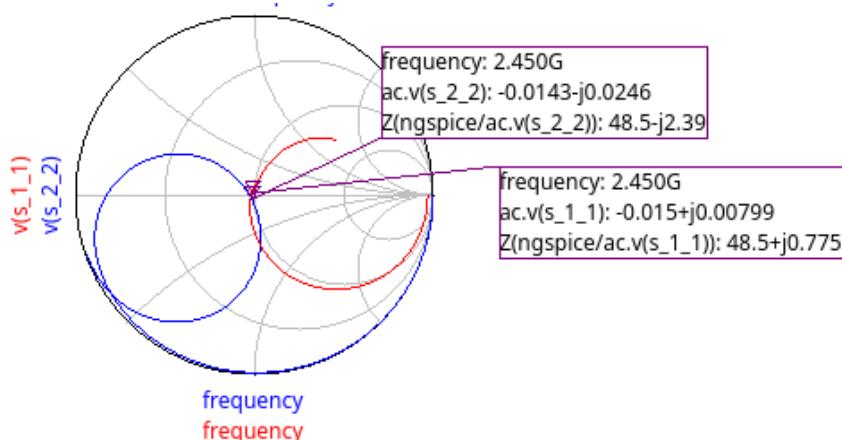


Figure 8 : adaptation entrée / sortie découplage capacitif - LNA inductance dégénérée

$$S_{11} = 10 * \log_{10} \left(\frac{Z_{in} - 50}{Z_{in} + 50} \right) = -18.19\text{dB}$$

$$S_{22} = 10 * \log_{10} \left(\frac{Z_{out} - 50}{Z_{out} + 50} \right) = -18.34\text{dB}$$

A noter que le gain est fortement impacté par ce découplage capacitif. En effet, une quantité d'énergie est perdue dans la capacité C_2 . A partir du paramètre S_{21} , on retrouve le gain suivant : $G=9.55\text{dB}$

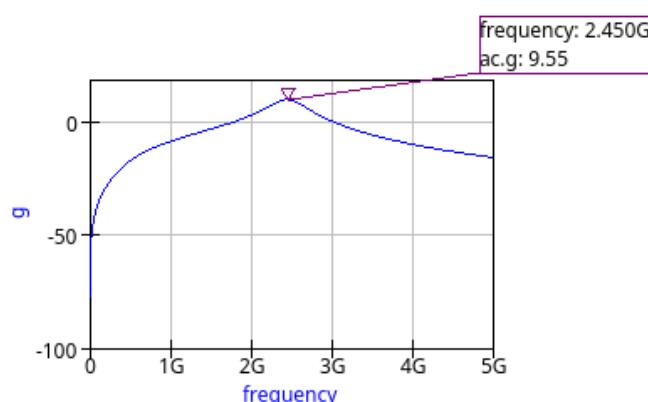


Figure 9 : Paramètre S_{21} - LNA inductance dégénérée

Prise en compte des pads et bondings

Pour finir, il faut prendre en compte que chaque pin, VDD – VPOL – GND – IN – OUT, possède un pad qui crée un effet capacitif et un bonding, créant un effet inductif. Nous devons prendre ces éléments en compte dans nos simulations.

Nous considérons donc les effets capacitif et inductif suivants :

- VPOL/VDD
 - o Capacité parallèle $C_p = 100\text{fF}$
 - o Inductance série $L = 2\text{nH}$
- IN
 - o Capacité parallèle $C_p = 100\text{fF}$
 - o Inductance série $L = 2\text{nH}$
- OUT
 - o Capacité parallèle $C_p = 100\text{fF}$
 - o Inductance série $L = 2\text{nH}$
- GND
 - o Capacité parallèle $C_p = 100\text{fF}$
 - o Inductance série
 - o $L = 0.5\text{nH}$

En ajoutant ces bonding dans les simulations, nous ajustons les valeurs des capacités C_0 , C_1 et C_2 pour adapter les impédances d'entrée et de sortie du mieux possible. Après plusieurs essais, nous obtenons les valeurs de capacité suivantes :

$$C_0 = 1.0\text{pF}$$

$$C_1 = 1.14\text{pF}$$

$$C_2 = 1.74\text{pF}$$

2.1.3 Synthèse

Symbol final :

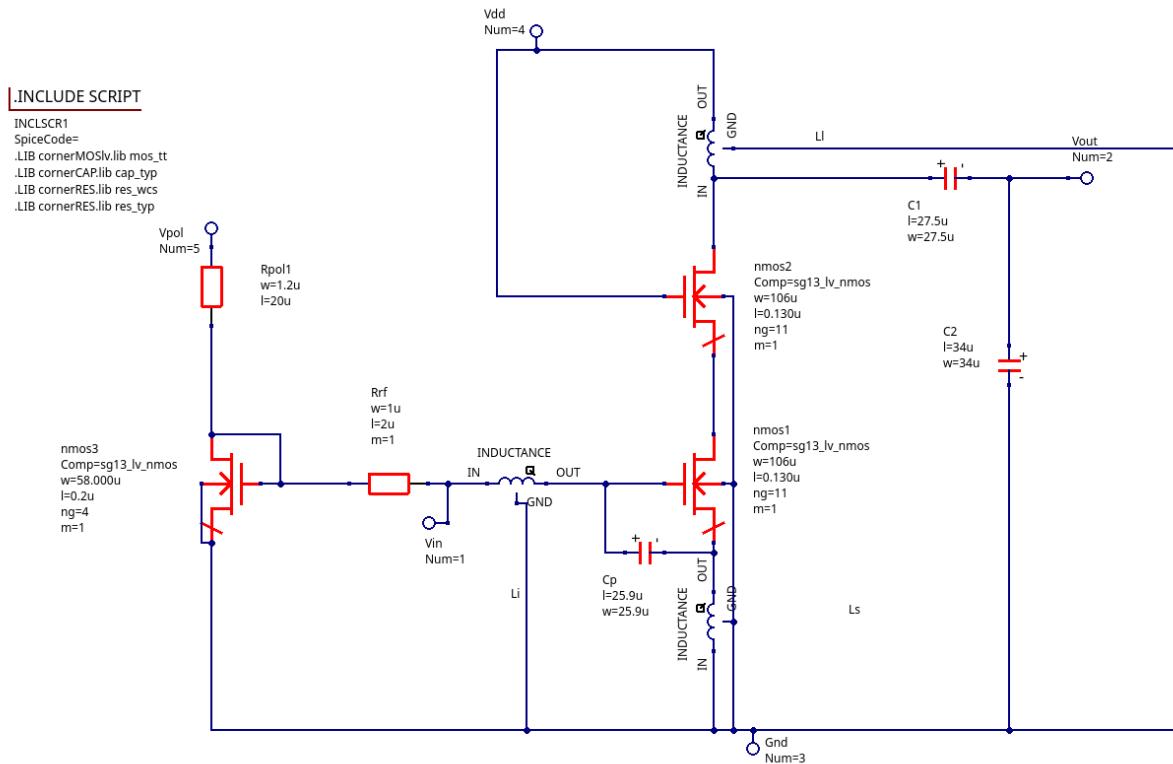


Figure 10 : Symbol final LNA inductance dégénérée

Maintenant que tous les paramètres ont été pris en compte, nous pouvons effectuer une synthèse des performances du LNA grâce à des simulations de paramètres S et des simulations en régime transitoire.

Adaptation entrée

$$\text{Impédance d'entrée : } Z_{in} = \sqrt{38.9^2 + 5.94^2} = 39.35\Omega$$

S11 = -17dB ce qui est largement acceptable compte tenue de notre limite à -10dB

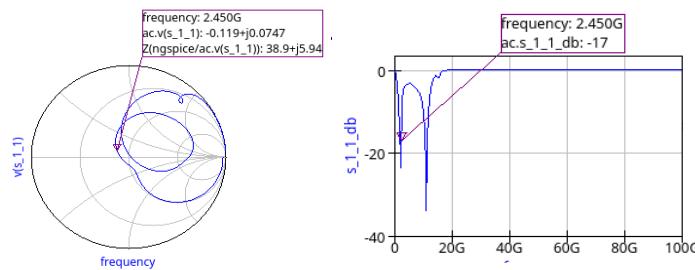


Figure 11 :Adaptation entrée - LNA inductance dégénérée

Adaptation sortie

$$\text{Impédance de sortie : } Z_{out} = \sqrt{58.7^2 + 10.6^2} = 59.64\Omega$$

$S_{12} = -18\text{dB}$ ce qui est largement acceptable compte tenue de notre limite à -10dB

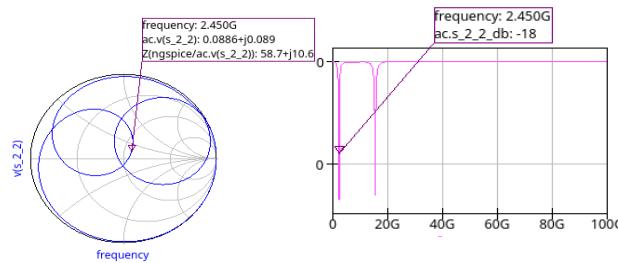


Figure 12 : Adaptation sortie - LNA inductance dégénérée

Gain

Nous réalisons une simulation en régime transitoire en posant un signal sinusoïdal à 2.45 GHz d'une amplitude $V_{in_{c-c}} = 0.666 - 0.646 = 0.02\text{V}$. On observe un signal de sortie également à 2.45GHz d'une amplitude $V_{out_{c-c}} = 0.548 - 0.357 = 0.191\text{V}$

Ainsi, le gain est de :

$$G = 20 * \log_{10} \left(\frac{V_{out_{c-c}}}{V_{in_{c-c}}} \right) = 19.6\text{dB}$$

Point de compression 1dB

Pour calculer le point de compression à 1dB, nous réalisons une série de simulation transitoire avec entrée un signal sinusoïdal V_{in} . Nous faisons varier l'amplitude de ce signal de 0.001 V à 2V pour couvrir une large plage. Nous traçons ensuite $V_{out_{dB}}(V_{in_{dB}})$.

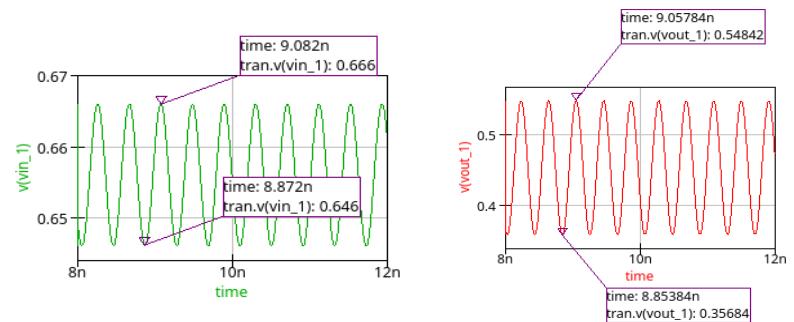


Figure 13 : Vin et Vout - Régime transitoire - LNA Inductance dégénérée

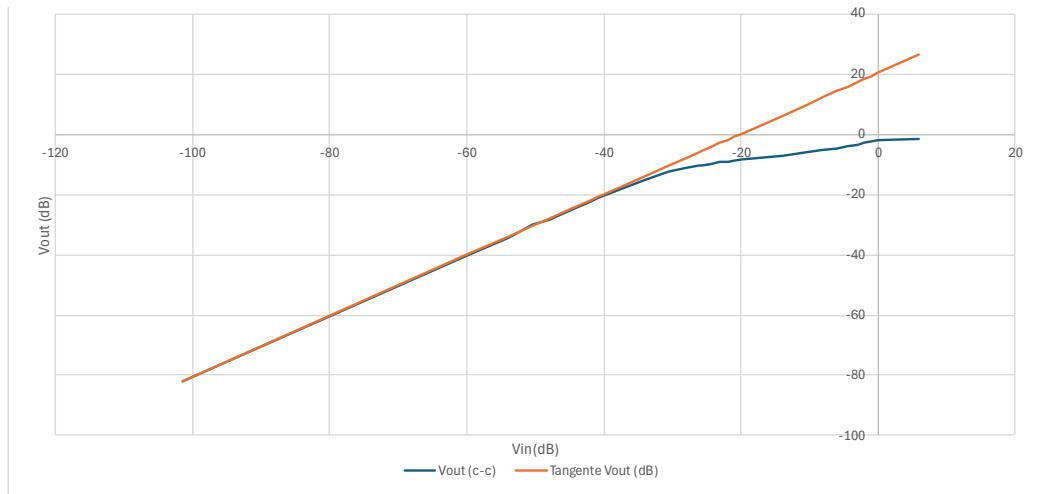


Figure 14 : point de compression 1dB – LNA inductance dégénérée

En comparant la tangente de V_{out} et la valeur de V_{out} , nous relevons la valeur de V_{in} pour laquelle cette différence est de 1dB. On trouve $V_{in_{compression}} = -40\text{dB}$

Noise Factor

Nous observons le facteur de bruit grâce à une simulation de paramètres S.

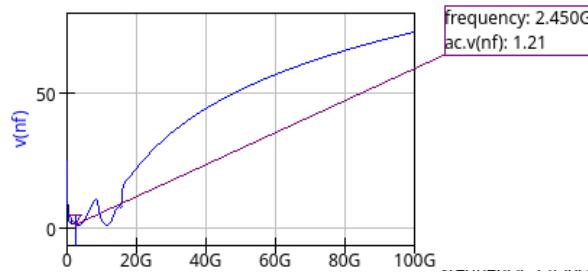


Figure 15 : Noise Factor - LNA inductance dégénérée

Le NF (Noise Factor) en linéaire est de 1.21V, soit $NF_{dB} = 20 * \log_{10}(1.21) = 1.65 dB$

Stabilité

Nous étudions la stabilité à travers deux facteurs : K et Δ . Pour rappel, les conditions de stabilité sont les suivantes :

$$\begin{cases} \Delta = |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}| < 1 \\ K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12} \cdot S_{21}|} > 1 \end{cases}$$

Nous avons simulé ces paramètres en fonction de la fréquence, allant de 10kHz à 100GHz. On remarque :

$$\begin{cases} \Delta(f) < 1 \text{ pour } f \in [10kHz; 100GHz] \\ K(f) > 1 \text{ pour } f \in [10kHz ; 2.8GHz] \end{cases}$$

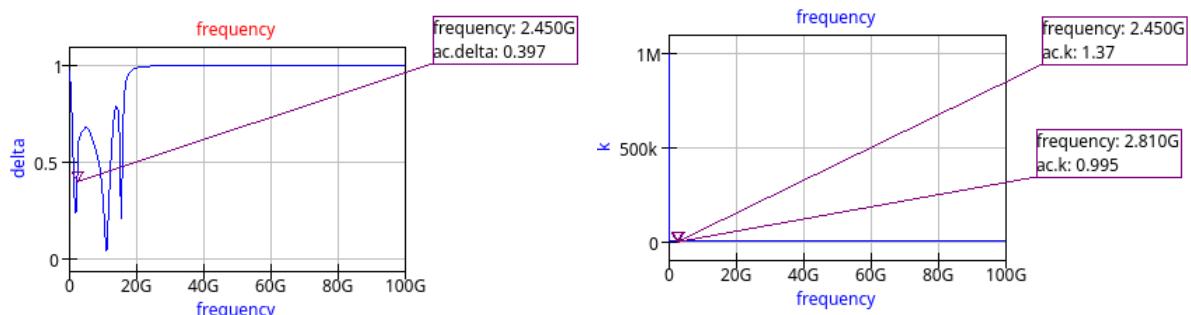


Figure 16 : Stabilité du LNA - LNA inductance dégénérée

On en déduit que le LNA est conditionnellement stable, dans la bande de fréquence $f \in [10kHz ; 2.8GHz]$. La fréquence de fonctionnement du LNA étant à 2.45GHz, nous sommes donc dans la bande de fréquence de stabilité. Il conviendrait de tracer les cercles de stabilités mais nous manquons malheureusement de temps.

Tableau 3 : récapitulatif LNA inductance dégénérée

Paramètre	Dimensionnement théorique	Dimensionnement LNA Seul	Dimensionnement LNA final (adapté + bonding)	Unité	Simulation	Commentaires
System						
Consommation	1,2	4,49	4,49	mA	DC	
Point de polarisation	-	0,656	0,656	V	DC	
IIP3	-5	-35,62	-49,60	dB	-	Pas réussi à réaliser la simulation IIP3
Gain	20,0	25,8	19,8	dB	Transitoire	Gain différent entre paramètre S et Transitoire
NF	3,5	3,2	0,8	dB	Parametres-S	NF a une valeur curieuse
Zin	50	47,6	39,4	Ω	Parametres-S	
Point compression	-	-26,02	-40	dB	Transitoire	
S11	-	Voir feuille S11	Voir feuille S11	-	Parametres-S	-
S22	-	Voir feuille S22	Voir feuille S22	-	Parametres-S	-
S21	-	Voir feuille S21	Voir feuille S21	-	Parametres-S	-
S12	-	Voir Feuille S12	Voir Feuille S12	-	Parametres-S	-
Adaptation entrée						
C	1,41E-12	1,30E-12	-	F	Parametres-S	Capacité de résonnance pour le LNA seul
C1	-	-	1,14E-12	F	Parametres-S	
C1 {W}	-	-	25,9E-6	m	Parametres-S	Résonnance + adaptation
C1 {L}	-	-	25,9E-6	m	Parametres-S	
C2	-	-	1,74E-12	F	Parametres-S	
C2 {W}	-	-	34,0E-6	m	Parametres-S	Résonnance + adaptation
C2 {L}	-	-	34,0E-6	m	Parametres-S	
Dimensionnement LNA single						
gm	32m	32m	32m	S	DC	
R	310	510	510	Ω	Dependant de L	Résistance dûe aux pertes de l'inductance
L	3E-9	3E-9	3E-9	H	Choix fixé	-
L1	1,6E-9	1,6E-9	1,6E-9	H	Choix fixé	-
L2	3E-9	3E-9	3E-9	H	Choix fixé	-
C0	842E-15	1,0E-12	1,0E-12	F	Parametres-S	-
NMOS1 & NMOS2 {W}	106E-6	106E-6	106E-6	m	Choix fixé	-
NMOS1 & NMOS2 {L}	130E-9	130E-9	106E-6	m	Choix fixé	-
Miroir de courant						
NMOS3 {W}	-	58E-6	58E-6	m	DC	
NMOS3 {L}	-	200E-9	200E-9	m	DC	
Rpol	-	130	130	Ω	DC	
Rpol {W}	-	1,2E-6	1,2E-6	m	DC	
Rpol {L}	-	20,0E-6	20,0E-6	m	DC	Dimensionnement nécessaire pour polariser N1 au point DC Vgs = 0,656
Rrf	-	5,0E+3	5,0E+3	Ω	DC	
Rrf {W}	-	1,0E-6	1,0E-6	m	DC	
Rrf {L}	-	2,0E-6	2,0E-6	m	DC	

2.2 Layout

2.2.1 Floor Plan et Routage

Le Floor Plan du LNA single proposé est le suivant.

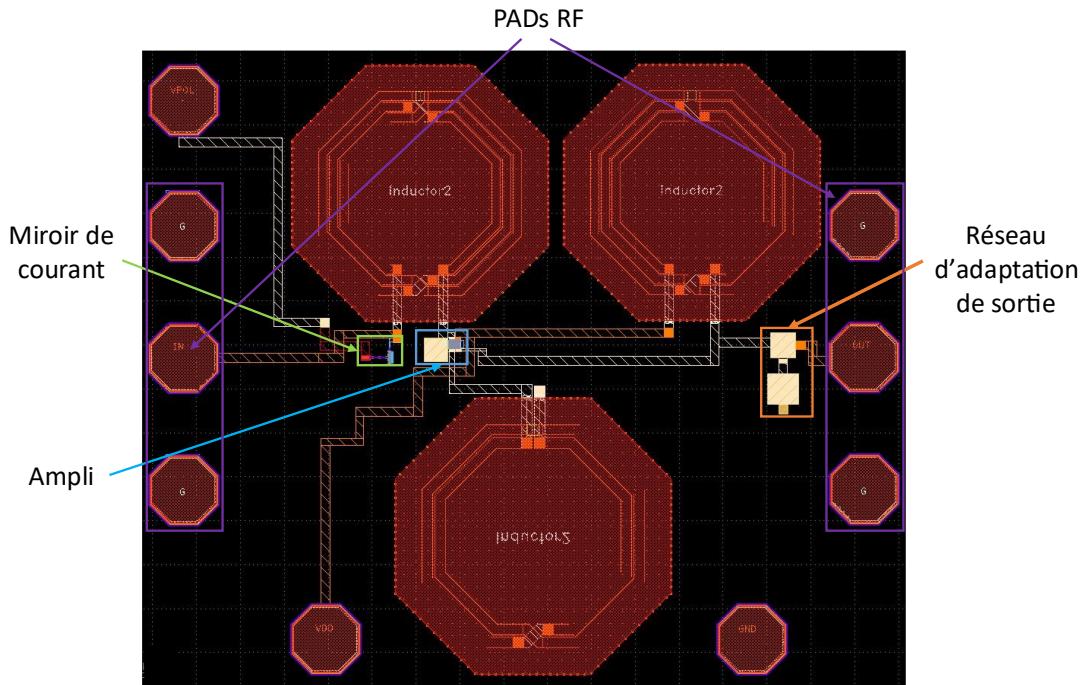


Figure 17 : Floor Plan et Routage du LNA Inductance dégénérée single

Les noms et positions des différents plots sont détaillés dans la Figure 17. Ne faisant pas d'extraction post Layout, nous n'avons pas accès effets parasites liés au layout comme les effets résistifs, capacitifs ou bien encore inductifs que pourraient induire les lignes de transmissions. Afin de limiter le plus possible de potentiels effets parasites, des choix ont été fait :

- Routages RF avec les niveaux de métallisation les plus élevés (à savoir MTOP1 et MTOP2) car ils sont les plus épais et permettent donc de réduire les effets résistifs des lignes. Ces lignes sont également toutes d'une largeur de 10µm pour pallier une fois de plus à ce problème. L'idée et de trouver un compromis à l'équation : $R = \rho \cdot \frac{l}{h \cdot w}$.
- Les lignes sont également espacées d'une distance minimale d'au moins deux fois leur propre largeur (soit $2 \cdot 10 = 20\mu m$) afin de limiter au maximum un possible couplage.
- Les inductances sont suffisamment espacées pour éviter un couplage mutuel entre-elles.

Voici une vue détaillée des layout de chaque composant du LNA à inductance dégénérée single :

Miroir de courant :



Figure 18 : Miroir de courant du LNA à inductance dégénérée single

Amplificateur cascode :

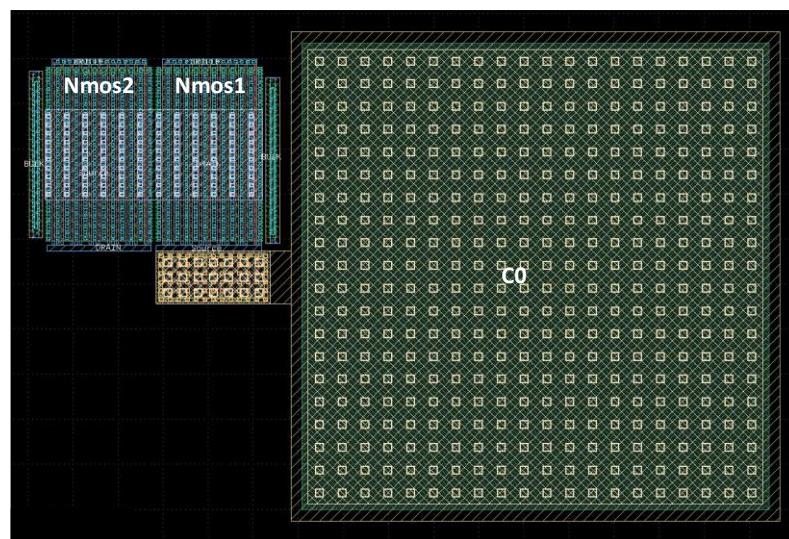


Figure 19 : Amplificateur cascode du LNA à inductance dégénérée single

2.2.2 Vue layout final

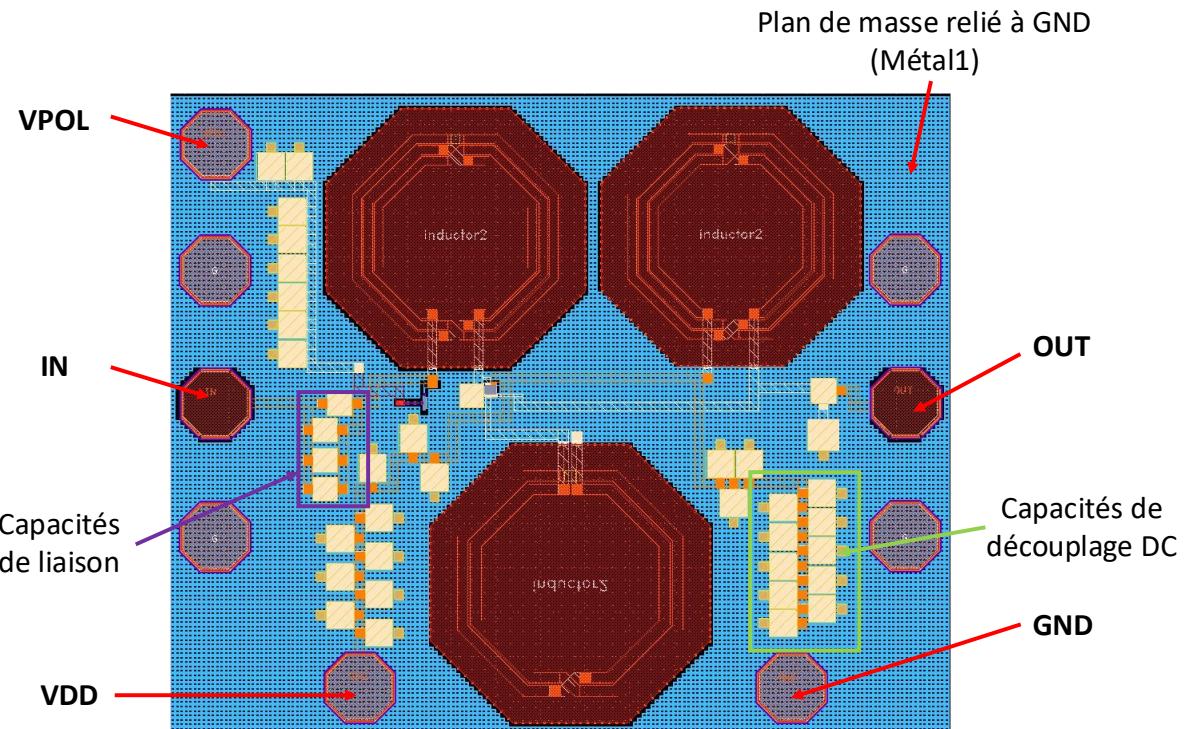


Figure 20 : LAYOUT final du LNA Inductance dégénérée single

Les capacités de liaisons permettent de protéger les plots de mesures RF. En effet, elles viennent couper le DC qui pourrait venir altérer les mesures RF au niveau des PADs. Il y a 4 capacités en parallèle pour faire une capacité totale la plus grosse possible. Dans notre cas, la capacité totale fait en tout $\approx 5\text{pF}$.

Les capacités de découplage servent à découpler les alimentations et les points DC. Cela évite que les alimentations soient perturbées par les appels en courant des circuits actifs. Ces capacités sont en parallèle des lignes d'alimentations DC et relié à la masse.

Le layout ci-dessus respecte toutes les règles de dessins imposés par le DRM, à l'exception des densités. Un plan de masse maillé sur le premier niveau de métallisation permet d'avoir une masse uniforme, peu résistif et peu capacitif. Ce plan de masse est conçu de sorte à respecter les règles de densité sur le niveau de métallisation concerné. Il est également légèrement adapté au circuit. En effet, puisqu'il a un effet capacitif avec les niveaux de métallisation supérieurs, le choix a été fait de ne pas mettre ce plan de masse sous les inductances et sous les plots de signal RF.

$$\text{La surface finale du LNA est de } S = 720\mu\text{m} \cdot 875\mu\text{m} = 0.63\text{mm}^2$$

3 LNA Grille commune

3.1 Etude théorique

3.1.1 Présentation de l'architecture

L'architecture à grille commune (CG) est une topologie largement utilisée dans la conception d'amplificateurs à faible bruit (LNA) pour des applications haute fréquence, notamment en radiofréquence (RF). Cette configuration se distingue par plusieurs atouts spécifiques, qui la rendent particulièrement adaptée dans certains contextes. Tout d'abord, l'impédance d'entrée faible et bien définie est l'une de ses caractéristiques principales. Cette impédance, approximativement égale à $1/g_m$, où g_m est la transconductance du transistor, permet un appariement précis avec l'impédance de la source (typiquement 50Ω). De plus, cette architecture offre une isolation naturelle entre l'entrée et la sortie, limitant les risques de rétroaction indésirable ou de couplage capacitif, contrairement à un étage à source commune (CS).

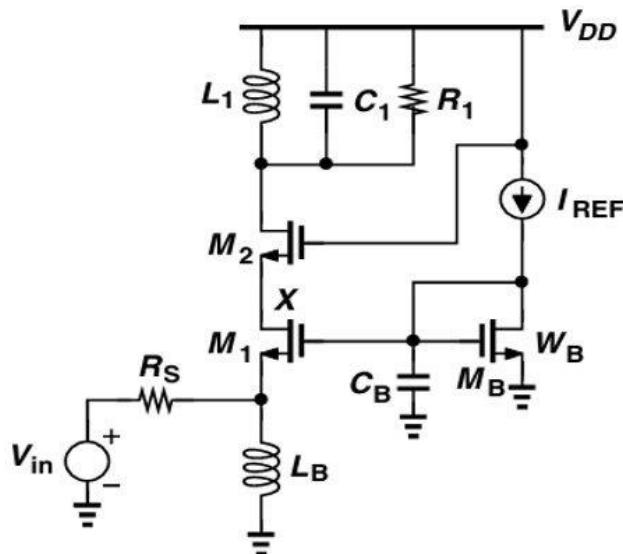


Figure 21 : Schéma d'un LNA CG Single-Ended

Malgré ses nombreux avantages, cette architecture présente certains défis, notamment en termes de consommation énergétique et de bruit. Pour obtenir un gain élevé, il est nécessaire d'augmenter la consommation, ce qui entraîne une hausse du bruit. De plus, les performances de cette architecture sont limitées par la résistance en parallèle de l'inductance L_1 . Ces contraintes exigent un design minutieux pour en minimiser l'impact.

3.1.2 Dimensionnement théorique

Pour dimensionner ce LNA, nous nous sommes appuyés sur le livre *RF Microelectronics* du Dr. Bahzad Razavi, ainsi que sur les spécifications imposées par les composants en aval et en amont du LNA.

Nous souhaitons que l'entrée de l'amplificateur soit adaptée à une impédance de 50Ω , conformément à celle de la sortie de l'antenne. Par ailleurs, nous savons que la transconductance de notre montage est :

$$g_m = \frac{1}{R_S} = (50 \Omega)^{-1}$$

Ce qui nous fixe $g_m = 20 \text{ mS}$

À partir de cette transconductance g_m nous avons calculé le gain en ajustant la résistance R_1 du réseau de résonance :

$$\frac{V_{out}}{V_X} = g_m \cdot R_1 = \frac{R_1}{R_S}$$

À savoir que, pour ce qui va suivre, nous allons fixer la résistance à 1000Ω afin d'atteindre le gain visé de 20. Cependant, il est important de noter que cette résistance sera annulée par celle qui est en parallèle avec l'inductance réelle, ce qui signifie que cette dernière prédominera.

Comme nous l'avons indiqué dans la présentation de l'architecture, celle-ci présente un niveau de bruit relativement élevé comparé à celui d'une source commune. Pour estimer ce bruit, nous avons utilisé une équation permettant de le calculer à partir de la constante de bruit de la technologie, de R_1 et de g_m .

$$NF = 1 + \frac{\gamma}{g_m R_S} + \frac{R_S}{R_1} \cdot \left(1 + \frac{1}{g_m R_S}\right)^2 = 1 + \gamma + 4 \cdot \frac{R_S}{R_1}$$

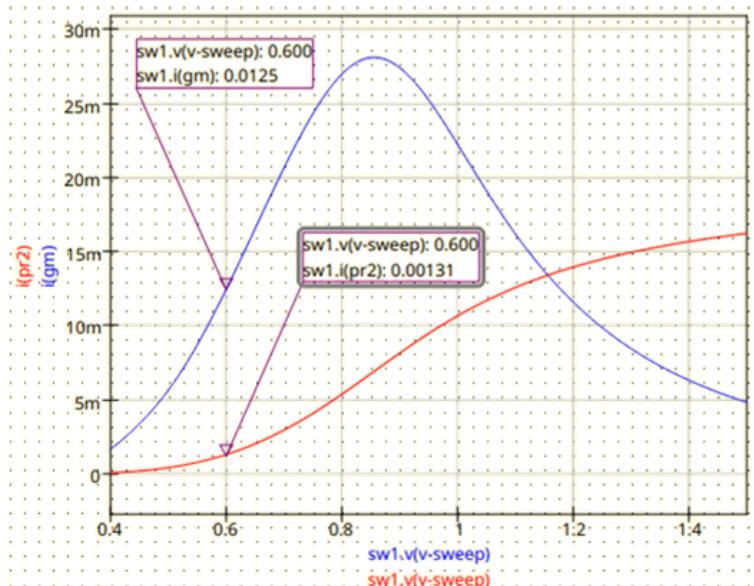
La fréquence de fonctionnement est de 2,45 GHz. En fixant la valeur de L_1 à 3 nH, nous calculons la valeur de C à partir de la relation suivante :

$$\omega_o = \frac{1}{\sqrt{L \cdot C}}$$

Ensuite, nous voulons que notre transistor fonctionne en régime de saturation, sachant que $V_t = 0,5 \text{ V}$. Nous avons choisi de travailler en faible inversion et fixé une tension d'overdrive $V_{od}=0,1 \text{ V}$. Cela permet d'obtenir le plus grand g_m possible tout en maintenant une consommation raisonnable. Avec cette configuration, $V_{gs} = 0,6 \text{ V}$. À partir de ces données, nous avons estimé le courant $I_d = 1 \text{ mA}$.

Pour le deuxième transistor, nous devons également le saturer afin que le V_{ds} du transistor du bas soit stable, garantissant ainsi qu'il reste toujours en saturation.

Quant à l'inductance L_b , nous devons veiller à ce qu'elle se comporte comme une source de courant. Pour cela, elle doit être très grande. Cependant, en raison de nos limitations concernant les inductances, nous avons finalement choisi une valeur égale à celle de L_1 .

Figure 22 : Tracé de gm et de id en fonction d'un sweep sur Vgs

Enfin, pour déterminer les dimensions de nos transistors, nous nous sommes basés sur les équations quadratiques de base, ce qui nous a permis de trouver :

M1 & M2			
W/L	W	L	Cgs
451,96	5,88E-05	1,30E-07	7,27E-14

Tableau 4 : dimensionnement des transistors

3.2 Design et simulation

3.2.1 GC Single

Point de fonctionnement :

Avant de poursuivre le design, nous avons commencé par une simulation DC afin de vérifier le point de fonctionnement des transistors. En effectuant cette simulation, nous obtenons le résultat suivant :

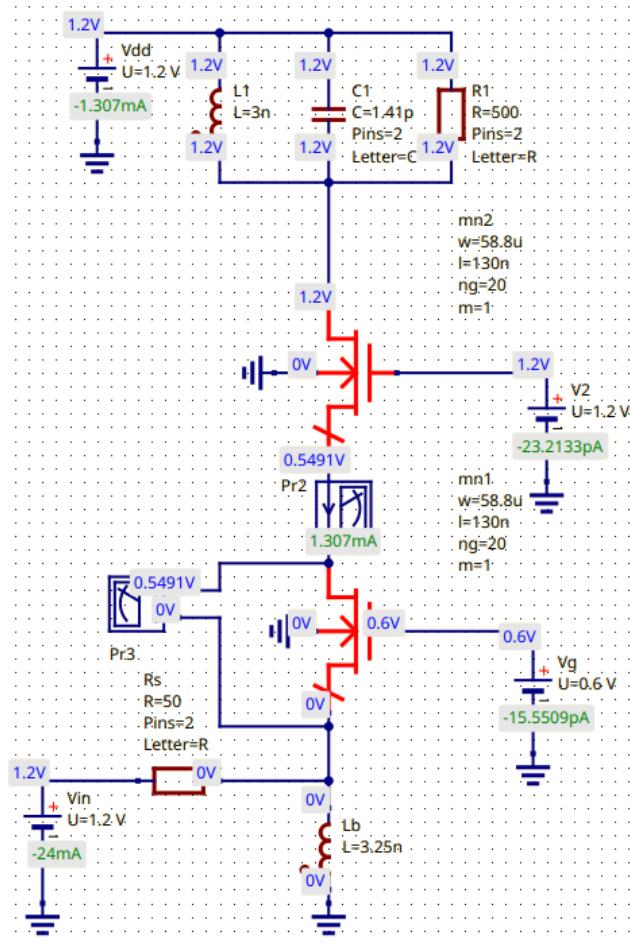


Figure 23 : Schéma du LNA_CG avec des composants idéaux

Nous avons calculé théoriquement un courant $I_d = 1\text{ mA}$, mais nous obtenons $I_d = 1,3\text{ mA}$ en pratique. Cette différence était attendue, car les équations simplifiées que nous avons utilisées ne reflètent qu'approximativement le comportement réel d'un transistor.

En cherchant à optimiser la consommation, nous avons constaté que diminuer le courant entraînait une perte significative de transconductance, ce qui réduisait notre gain.

Nous avons également remarqué que g_m n'était pas égal à 20 ms , ce qui est également logique puisque l'entrée de l'amplificateur n'est pas adaptée à 50Ω .

Dans la suite, nous présenterons des solutions qui nous ont permis d'adapter l'entrée, d'augmenter g_m et donc d'améliorer le gain.

Miroir de courant :

Étant donné que nous avons choisi de travailler en faible inversion, il était nécessaire de concevoir un circuit de polarisation pour fournir les $0,6\text{ V}$ requis à la grille du premier transistor, tout en maintenant le courant I_d souhaité dans la branche principale.

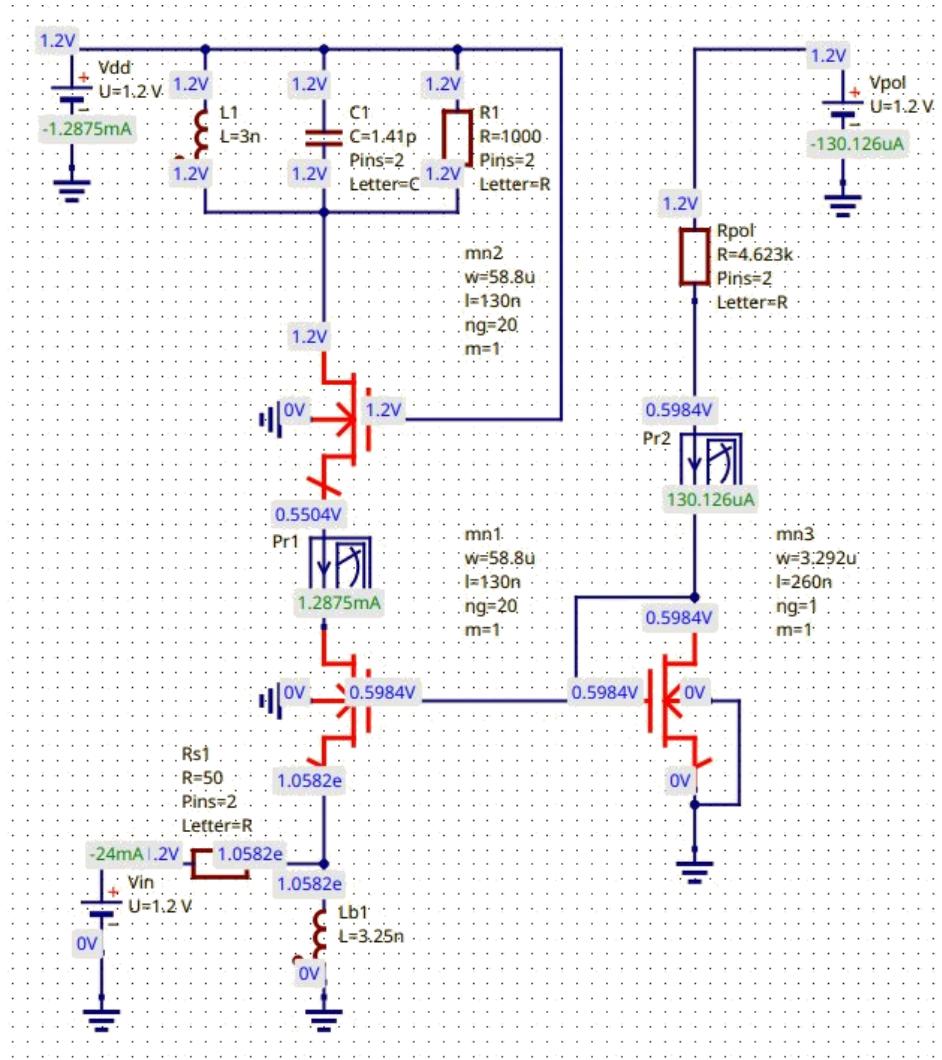


Figure 24 : Schéma du LNA_CG avec un miroir de courant et des composants idéaux

Adaptation en entrée et en sortie :

Étant donné que l'entrée du LNA sera connectée à une antenne avec une impédance de sortie de $50\ \Omega$, il est crucial que l'impédance d'entrée du LNA soit également de $50\ \Omega$ afin d'éviter toute perte de signal.

Pour cela, nous avons utilisé un pont capacitif qui permet d'adapter l'entrée. Nous avons appliqué une approche similaire en sortie, transformant la capacité C_1 utilisée pour la résonance en un pont capacitif, afin d'adapter également la sortie à $50\ \Omega$.

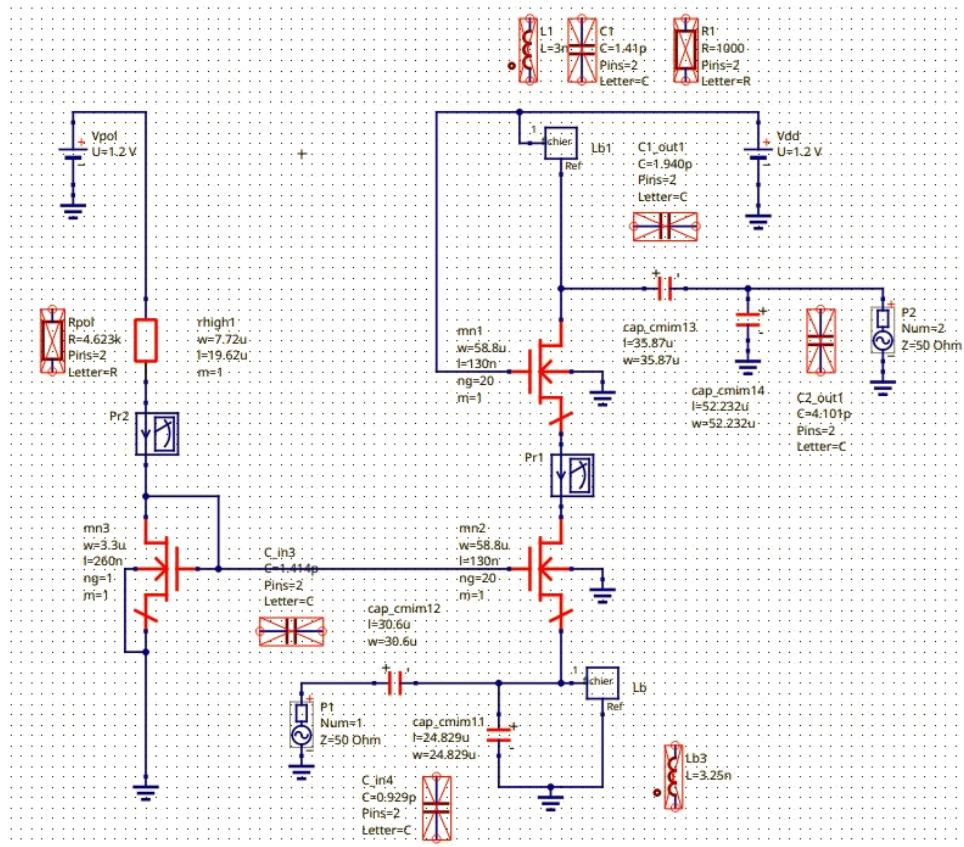


Figure 25 : Schéma du LNA single avec les réseaux d'adaptation en entrée et en sortie

Ensuite, grâce à la simulation des paramètres S, nous avons pu vérifier les ajustements en visualisant ces paramètres sur une abaque :

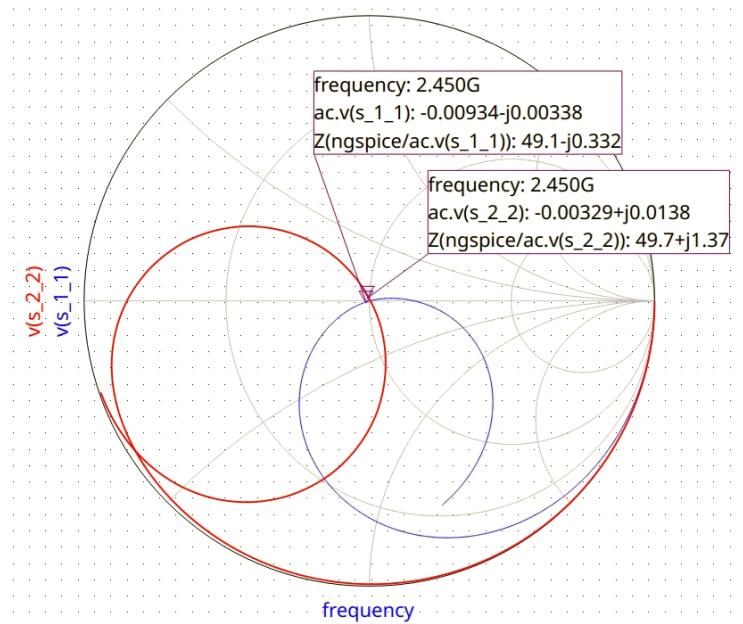


Figure 26 : Coefficient S11 et S22 visualisé sur une abaque de Smtih

Pour la suite nous avons utilisé un symbole pour simplifier les études.

Mesure du gain :

Pour mesurer le gain, nous avons utilisé une simulation des paramètres S. Ensuite, à l'aide d'une équation, nous avons calculé le gain en fonction du coefficient de transmission entre les deux ports connectés respectivement à l'entrée et à la sortie du LNA simple :

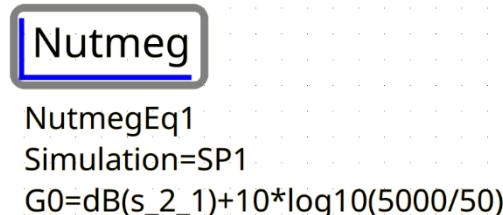
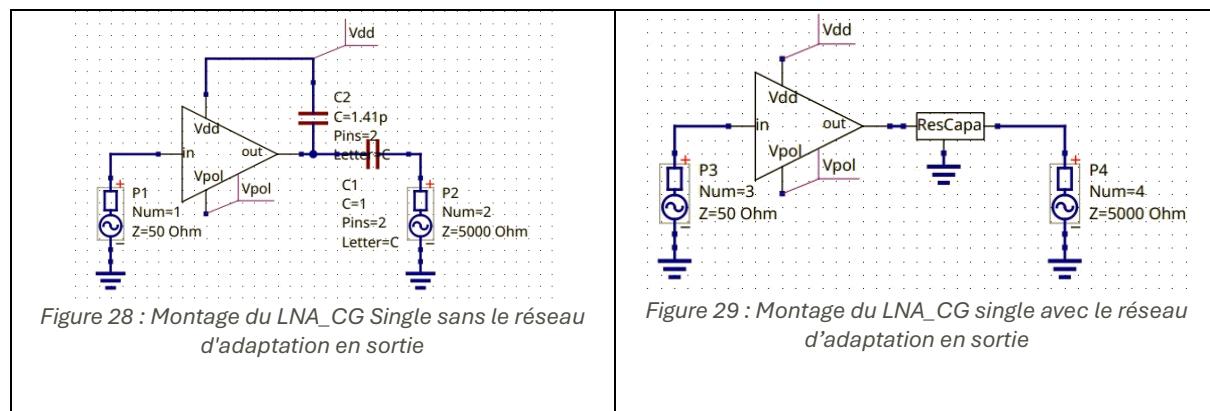


Figure 27 : Expression du gain single sous qucs

Comme expliqué précédemment, nous avons adapté la sortie à l'aide d'un réseau capacitif. Ce réseau permet de transformer la capacité C1 en deux capacités adaptées afin que le système continue de résonner à une fréquence de 2,45 GHz.

Pour analyser le gain intrinsèque de l'amplificateur, il est essentiel de l'étudier avec une impédance de sortie élevée afin de ne pas dégrader le gain. C'est pourquoi nous avons utilisé une capacité $C_2 = 1,41 \text{ pF}$ pour retrouver le gain initial de l'amplificateur.



Nous avons également étudié le gain en tenant compte du réseau capacitif qui adapte la sortie. Dans les deux cas, nous avons utilisé des ports à haute impédance pour simuler l'impédance d'entrée du mélangeur. Les résultats obtenus sont les suivants :

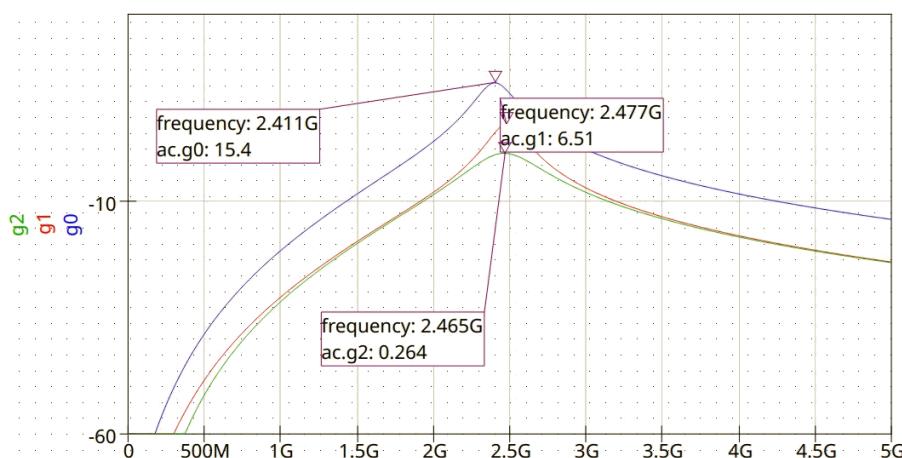


Figure 30 : Tracé du gain des deux montages en fonction de la fréquence

- En bleu, le gain de l'amplificateur avec une sortie à haute impédance ($G = 15,4\text{dB}$).
- En rouge, le gain avec le réseau d'adaptation, correspondant à une impédance de sortie égale à 50Ω ($G = 6,51\text{dB}$).

Mesure de facteur de bruit :

Pour analyser le bruit, nous avons effectué une simulation des paramètres S en activant l'option de calcul de bruit. Cela nous a permis de mesurer un bruit de $\text{NF} = 5.67\text{dB}$.

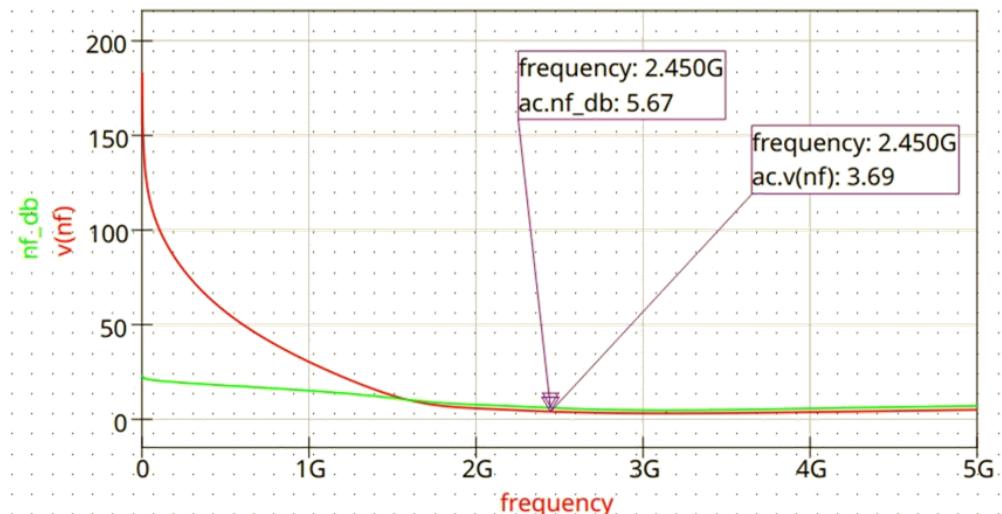


Figure 31 : Tracés du facteur du bruit en linéaire et en dB en fonction de la fréquence

Comme on peut le constater, cette valeur est supérieure à celle obtenue théoriquement. Cela s'explique par plusieurs facteurs : tout d'abord, nous avons utilisé une équation simplifiée pour effectuer l'estimation. Ensuite, comme mentionné dans l'introduction, ce type d'architecture de LNA est généralement associé à un niveau de bruit plus élevé que celui d'un LNA en configuration CS (Common Source).

Simulation transitoire :

Enfin, dans une dernière étude temporelle du LNA, nous avons cherché à vérifier si l'amplificateur parvenait correctement à amplifier un signal sinusoïdal de 2,45 GHz en entrée.

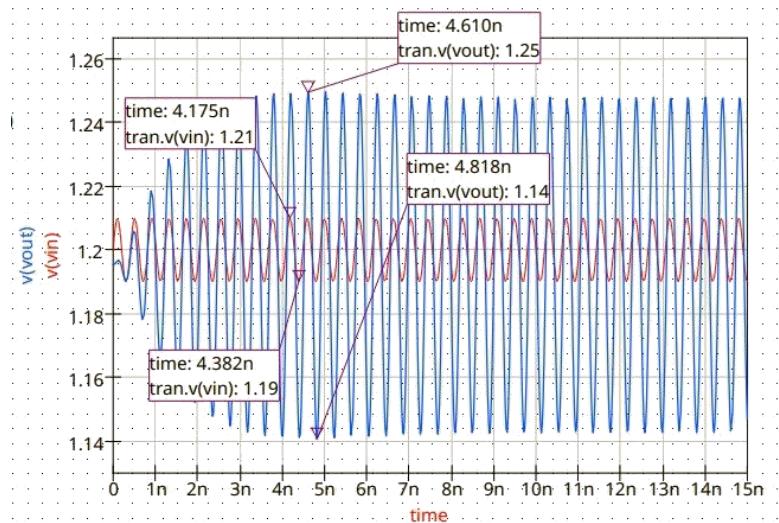


Figure 32 : Résultat de la simulation transistoire du LNA_CG Single

En rouge, le signal sinusoïdal d'entrée, et en bleu, le signal sinusoïdal de sortie. Comme on peut le constater, l'amplificateur réussit bien à amplifier le signal.

3.2.2 GC Pseudo-Différentiel

Nous allons maintenant nous concentrer sur l'amplificateur pseudo-différentiel, qui sera enchaîné avec le mélangeur pour former une petite chaîne de réception.

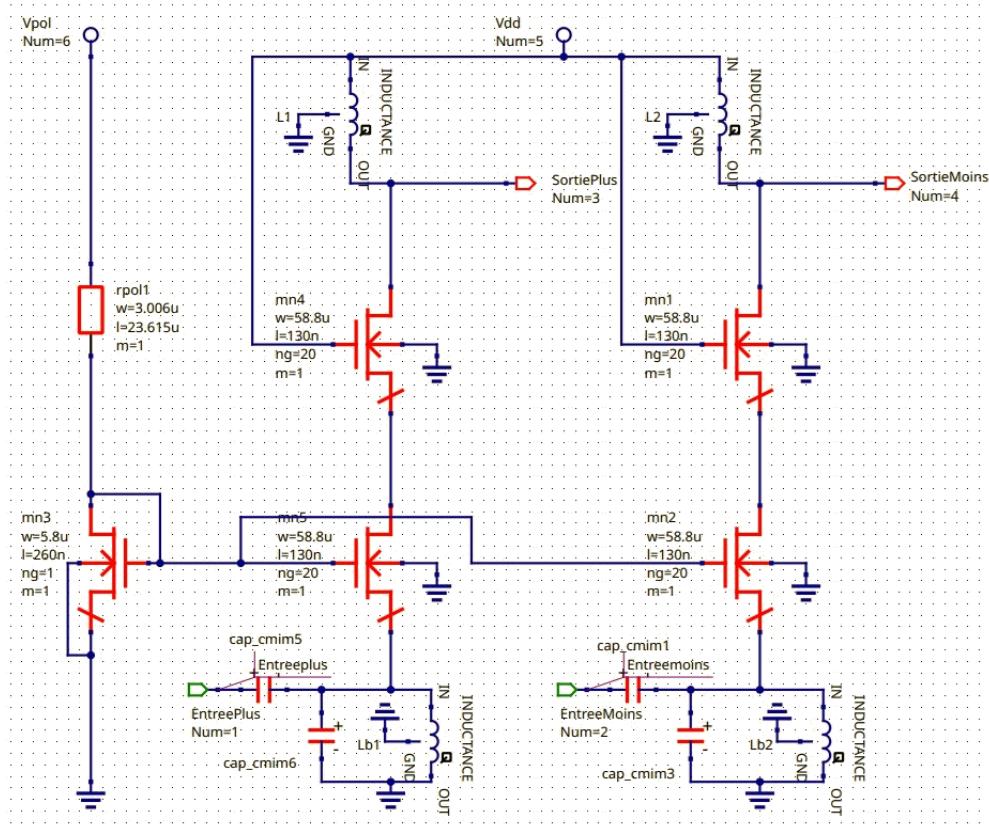


Figure 33 : Schéma en transistor du LNA_CG pseudo-différentiel

Nous avons ajusté le transistor de référence afin qu'il puisse alimenter les deux branches et fournir ainsi le courant I_d prédéfini. Cela a conduit à doubler la taille du transistor.

Gain différentiel :

Pour étudier le gain différentiel, nous avons effectué une simulation des paramètres S, comme précédemment. Cette simulation utilise des ports à haute impédance à chaque sortie et une capacité permettant de maintenir une résonance à 2,45 GHz.

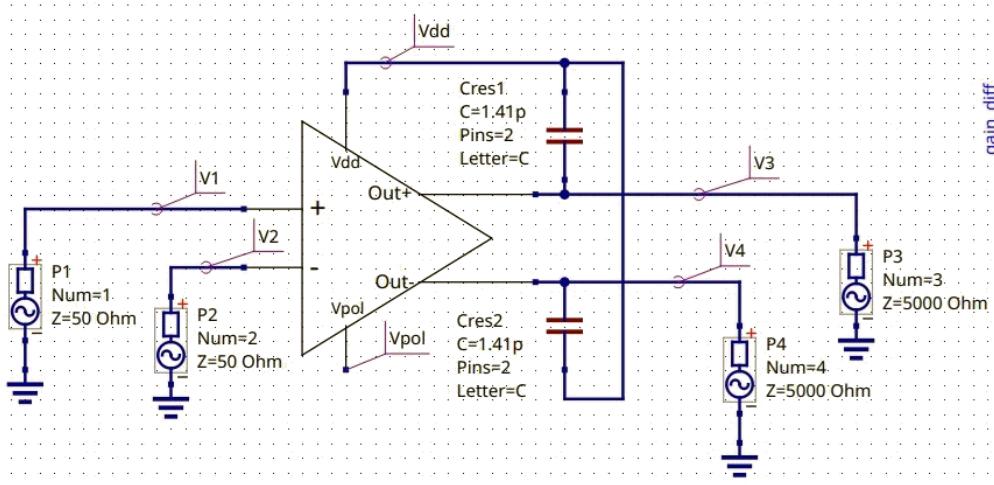


Figure 34 : Schéma utilisé pour la mesure de gain différentiel

Afin d'analyser le gain différentiel, nous avons commencé par poser une matrice S en fonction des quatre ports, ce qui donne une matrice 4×4 :

$$S = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix}$$

Le gain est défini par la relation $gain = Vin/Vout$, où $Vout = V3 - V4$ et $Vin = V1 - V2$ (cas de signaux différentiels).

D'après la matrice S et le schéma du circuit, les tensions de sortie peuvent être exprimées en fonction des tensions d'entrée et des paramètres S de la manière suivante :

$$V_3 = S_{31} \cdot V_1 + S_{32} \cdot V_2 \text{ et } V_4 = S_{41} \cdot V_1 + S_{42} \cdot V_2$$

Cela permet d'exprimer $Vout$ comme suit :

$$V_{out} = (S_{31} - S_{41}) \cdot V_1 + (S_{32} - S_{42}) \cdot V_2$$

Étant donné que nous utilisons des entrées pseudo-différentielles, nous fixons le mode commun des deux entrées à zéro. Ainsi :

$$V_1 = \frac{1}{2} \cdot V_{in} + V_{cm} \text{ et } V_2 = -\frac{1}{2} \cdot V_{in}$$

En substituant ces expressions dans V_{out} , nous obtenons :

$$\frac{V_{in}}{V_{out}} = \frac{1}{2} \cdot [(S_{31} - S_{41}) - (S_{32} - S_{42})]$$

Sous QUCS, cela se traduit par l'ajout de la compensation des ports pour tenir compte des conditions de simulation et des caractéristiques différentielles.

```
Gain_diff=db(((s_3_1-s_3_2)-(s_4_1-s_4_2))/2)+10*log10(5000/50)
```

Figure 35 : Expression du gain différentiel sous qucs

Ce qui nous donne le gain suivant :

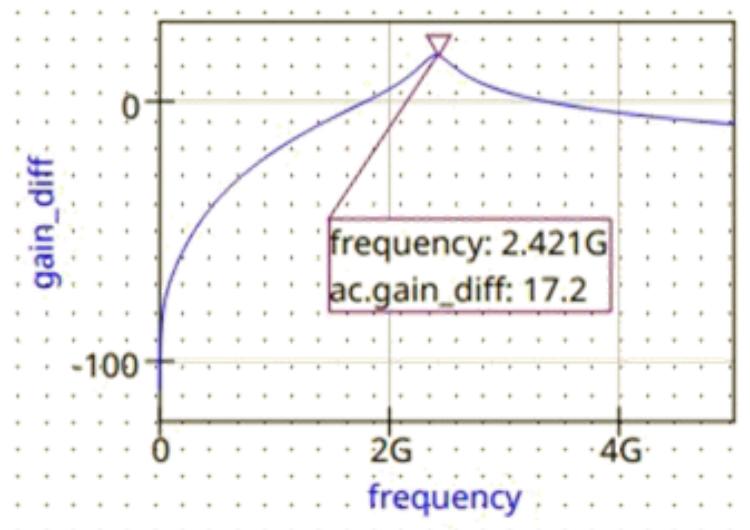


Figure 36 : Tracés du gain différentiel en fonction de la fréquence

Saturation et point de compression :

Pour étudier la saturation de l'amplificateur, nous avons réalisé une simulation transitoire. Pour chaque valeur du signal en entrée, nous avons mesuré le signal en sortie jusqu'à ce que ce dernier atteigne le point de saturation.

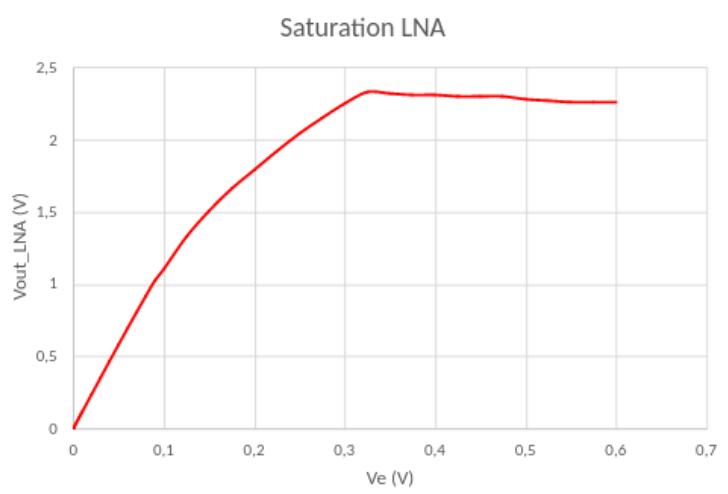


Figure 37 : Tracé de Vout en fonction de Ve en entrée du LNA_CG Diff pour étudier la saturation

Comme on peut le constater ici, l'amplificateur sature à partir de $V_e = 0.325$ V.

Pour déterminer le point de compression, nous avons utilisé une étude basée sur un script FFT. La procédure suivante est la suivante :

1. On fait varier la puissance appliquée à l'entrée entre -30 dB et 0 dB.
2. On observe ce qui se passe en sortie en traçant V_e .
3. Une partie linéaire est isolée pour tracer une tangente.
4. Ensuite, on identifie le point où une perte de 1 dB est observée en sortie.

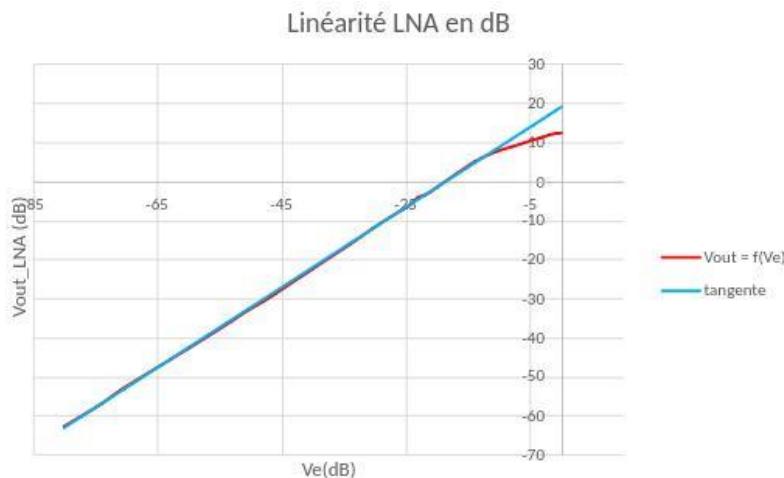


Figure 38 : Tracé utilisé pour étudier le pt de compression

Le point de compression se trouve dans l'intervalle suivant : $-10.45\text{dB} < V_e (\text{dB}) < -7.95 \text{ dB}$

IIP3 :

La linéarité est un paramètre crucial des LNA (Low Noise Amplifiers). Il était donc essentiel d'étudier cette caractéristique. Pour ce faire, nous avons injecté deux signaux sinusoïdaux, décalés de 100 MHz, sur chaque entrée de l'amplificateur.

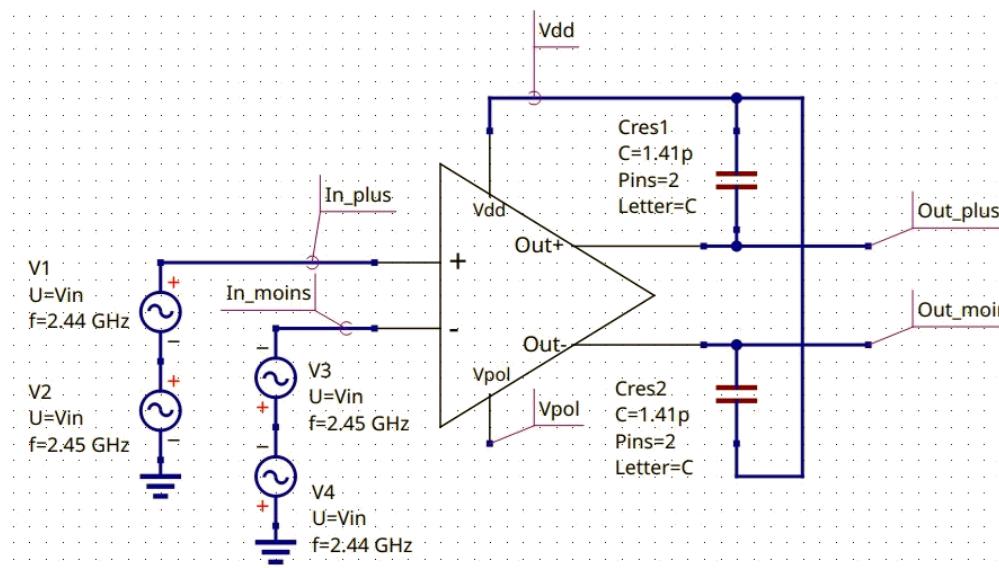


Figure 39 : Schéma utilisé pour étudier le IIP3 du LNA_CG différentiel

À l'aide d'un script FFT, nous avons relevé les amplitudes en sortie des produits d'intermodulation ainsi que des fondamentales. Ensuite, en traitant ces données, nous avons tracé, en fonction de Pin (dB), les courbes correspondant à la puissance de sortie $Pout$ (dB), P_{fund} (dB) et P_{im3} (dB).

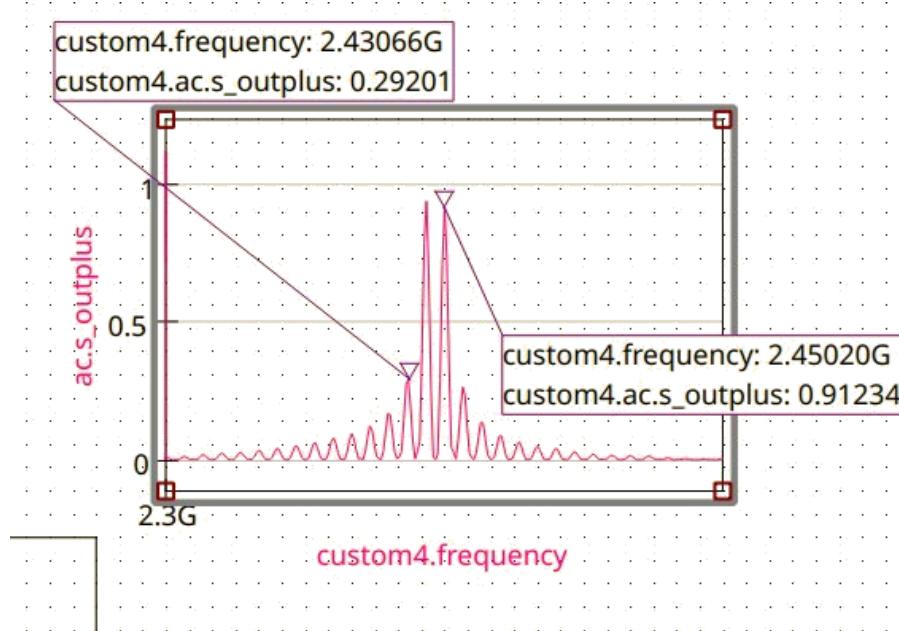


Figure 40 : Résultat de la FFT à la sortie du LNA_CG différentiel pour l'IIP3

En traçant les tangentes des courbes des fondamentales et des produits d'intermodulation, puis en projetant le point d'intersection de ces deux tangentes sur l'axe des abscisses, nous avons déterminé la valeur de l'IIP3.



Figure 41 : Tracé de P_{fund} et P_{im3} en fonction de Pin pour l'IIP3

D'après les tracés, nous obtenons un IIP3 d'environ -4.5 dB, ce qui est satisfaisant. En effet, on vise généralement un IIP3 compris entre -10 dB et 0 dB.

Stabilité :

Pour l'étude de la stabilité de l'amplificateur, nous avons utilisé les équations suivantes :

Équation 8 : facteur de stabilité

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12} \cdot S_{21}|} > 1$$

Équation 9 : condition de stabilité

$$|\Delta| = |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|$$

En réalisant une simulation des paramètres S , nous avons obtenu les résultats suivants :

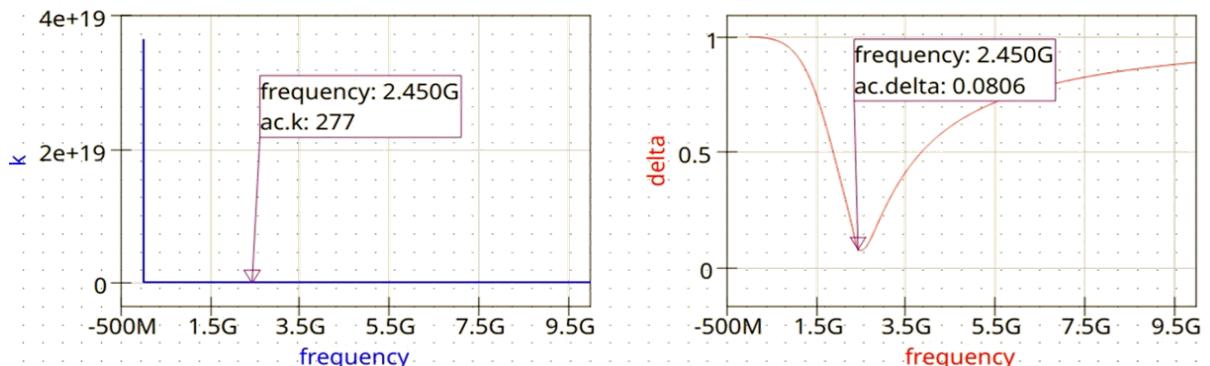


Figure 42 : Tracés des conditions de stabilité en fonction de la fréquence sur une plage de 10 GHz

D'après les critères de stabilité, à 2.45 GHz, nous avons $k>1$ et $\Delta<1$, ce qui valide les conditions de stabilité. On peut donc en déduire que l'amplificateur est stable.

3.3 Tableau récapitulatif

Tableau 5 : Récapitulatif des performances du LNA_CG 1

Conso (A)	Gain (Lin)	Gain (dB)	Zin (Ohm)	Zout (Ohm)
2.57mA	11,7	21,36	Adapté à 50	453,9

Tableau 6 : Récapitulatif des performances du LNA_CG

IIP3 (dB)	Pt de compression (dB)	Saturation (V)	K	Delta
-4,5	-10.45 < Ve(dB) < -7.95	Ve (V) = 0,325	277	0,0806

3.4 Layout

Les surfaces des layouts single-ended et différentiel sont respectivement de $670\mu\text{m} \times 725\mu\text{m} = 485750\mu\text{m}^2$ et $915\mu\text{m} \times 740\mu\text{m} = 677100\mu\text{m}^2$. Par manque de temps, les capacités de découplage et la hiérarchisation n'ont pas été faites. Le signal différentiel est également censé arriver par une structure de pads GSGSG qui n'a pas pu être mise en place.

Les plans de masse ont été faits à partir de cellules unitaires dupliquées pour avoir un remplissage de métal 1 supérieur à 35%, sans que ces plans soient trop capacitifs ni trop résistifs.

Le layout différentiel a été fait le plus symétrique possible, à l'exception des alimentations VPOL et VDD, sachant que certains pads devraient être replacés.

Enfin, Les deux layouts passent au DRC avec moins de 20 erreurs, toutes concernant des remplissages de couches que nous avions choisi d'ignorer.

3.4.1 Listes des pins (In/Out)

IN	OUT
VIN_P	VOUT_P
VIN_N	VOUT_N

3.4.2 Vue layout

3.4.2.1 GC Single-Ended

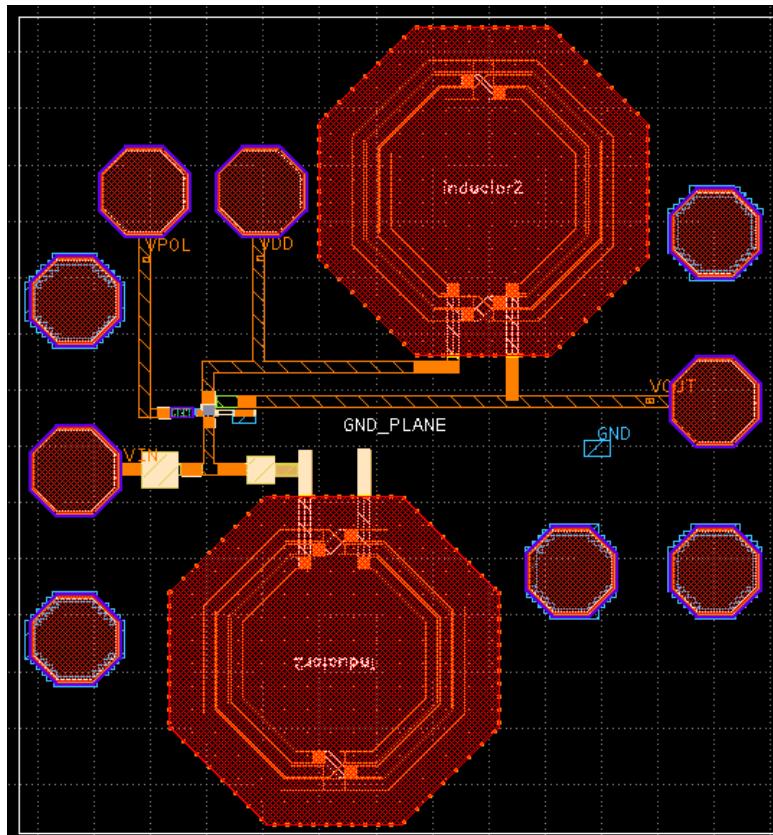


Figure 43 : Layout complet du LNA single

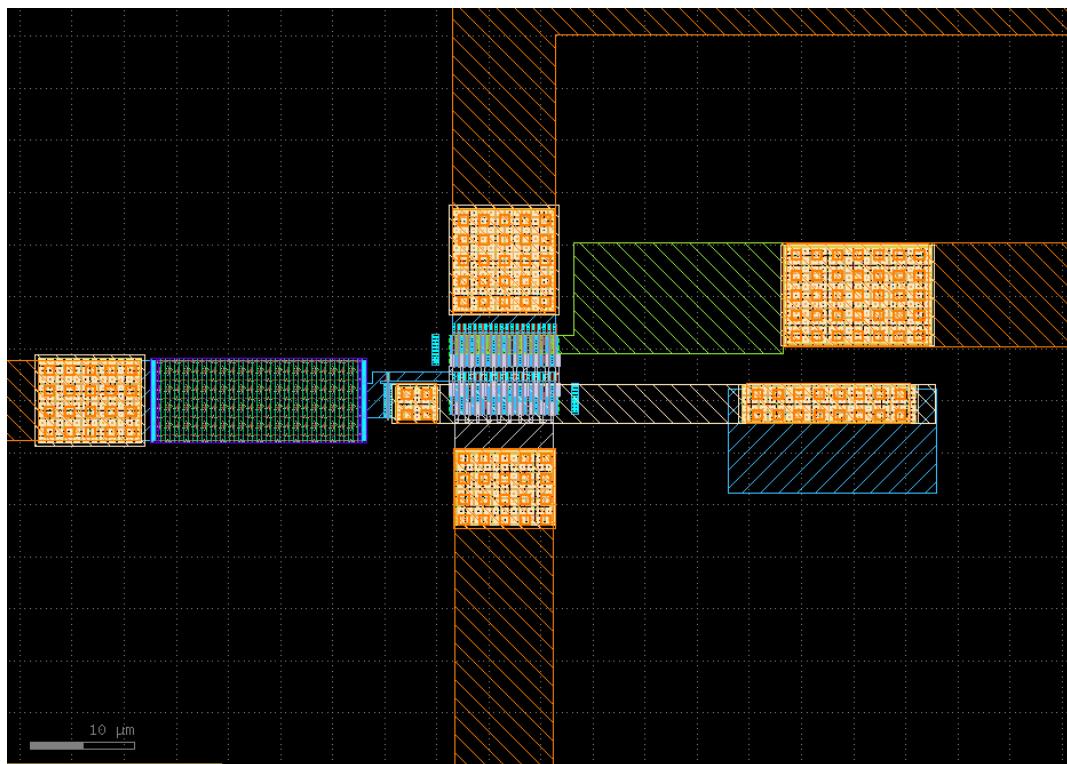


Figure 44 : Zoom sur les connexions du LNA

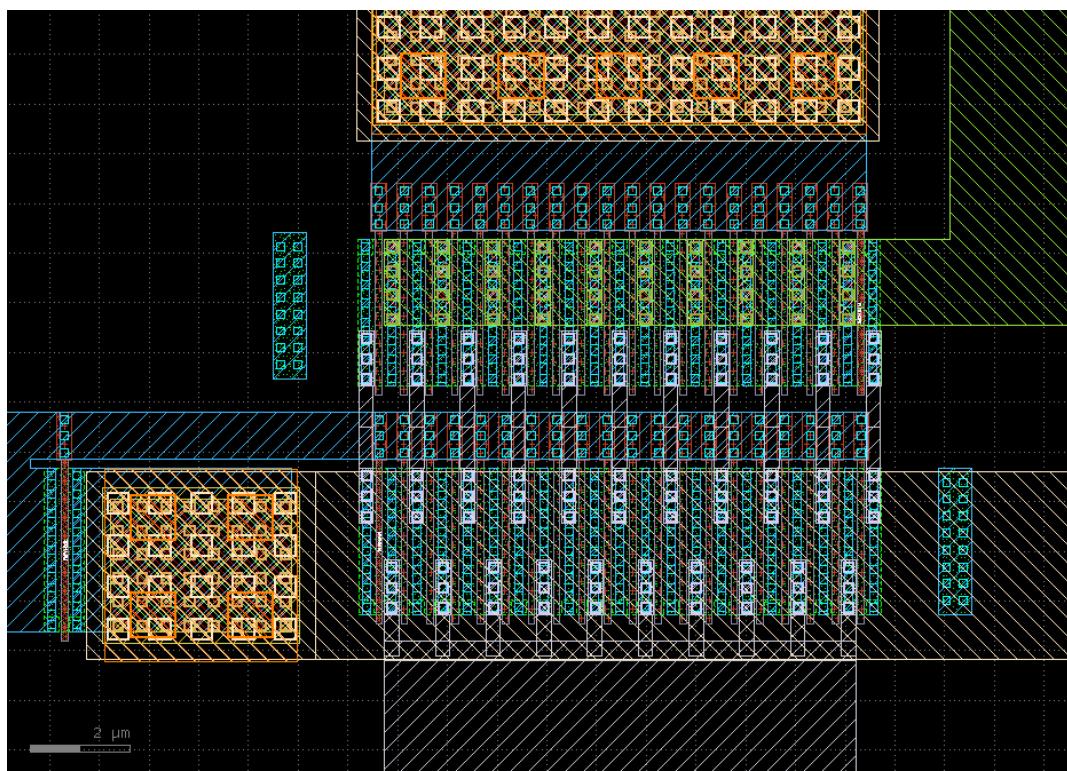


Figure 45 Zoom sur le LNA en lui-même

3.4.2.2 GC Pseudo-différentiel

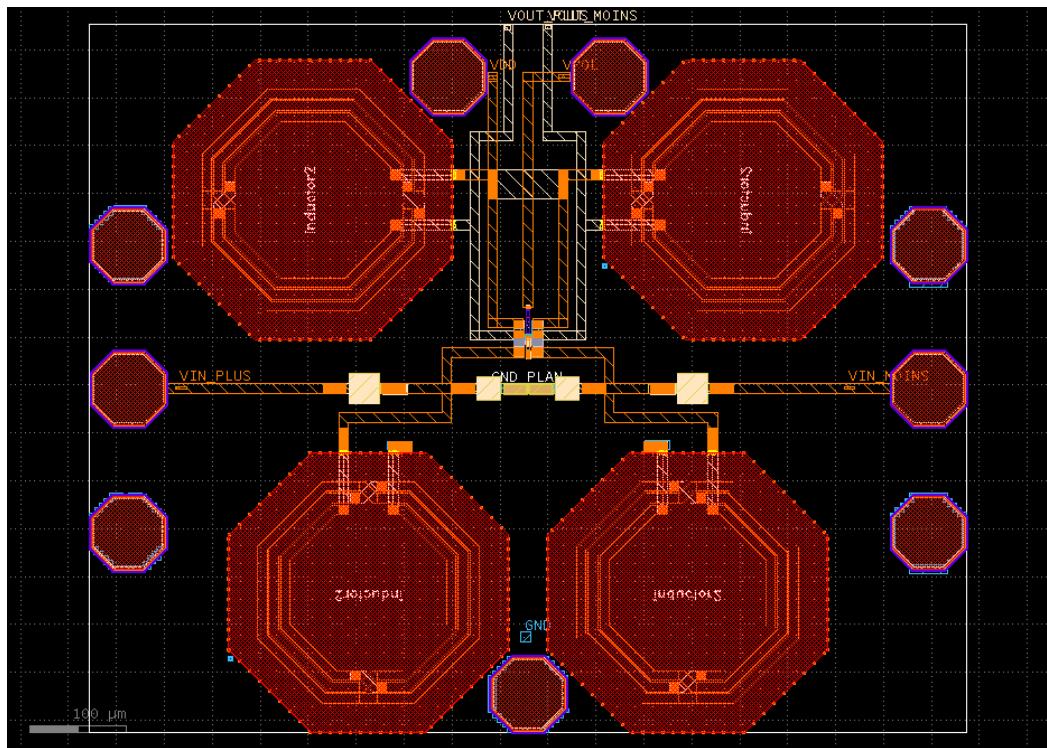


Figure 46 : Layout complet du LNA pseudo-différentiel

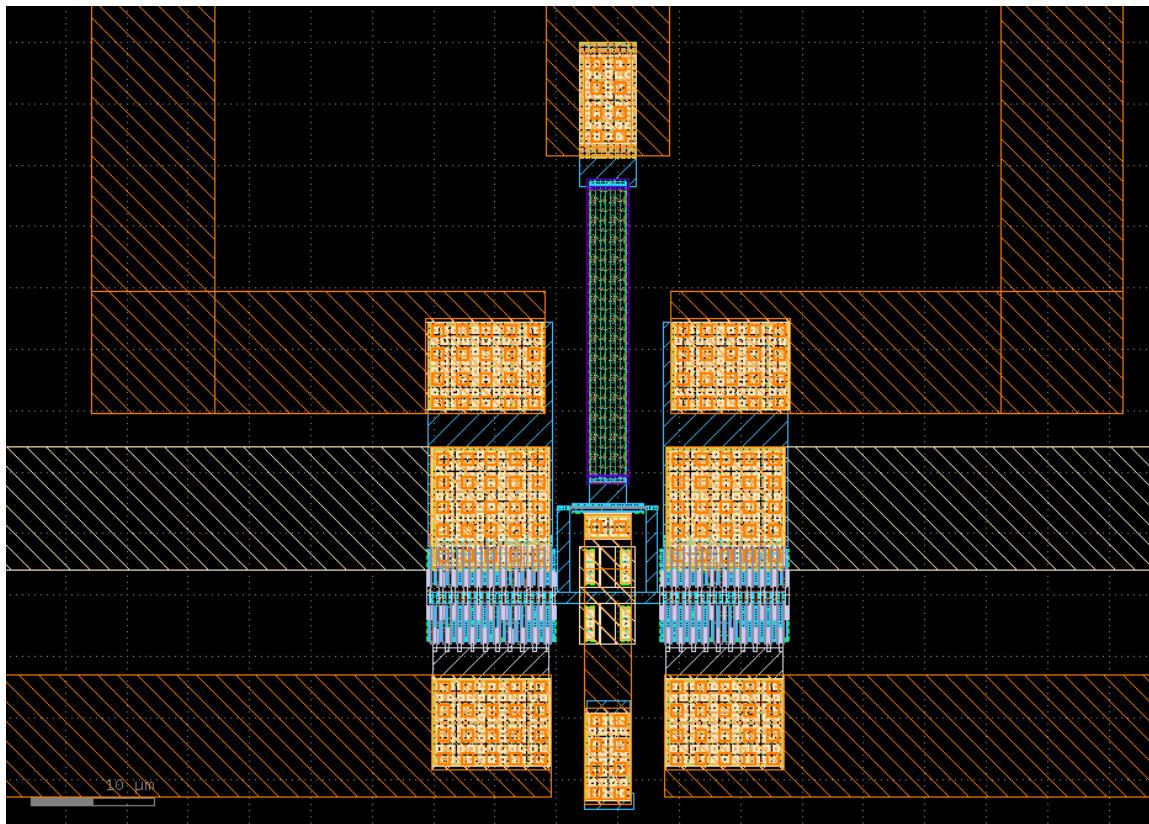


Figure 47: Zoom sur les connexions du LNA différentiel

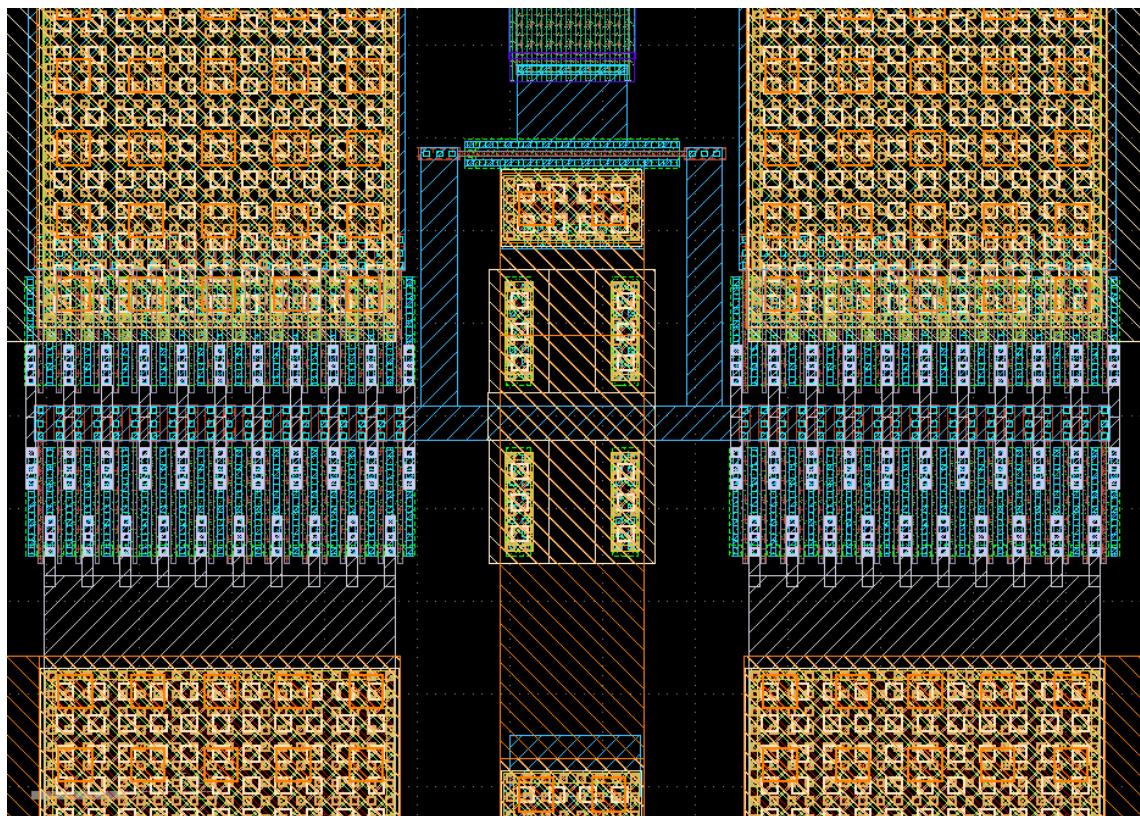


Figure 48: Zoom sur le LNA différentiel en lui-même

3.4.2.3 Plans de masse

3.4.2.3.1 Cellule unitaire

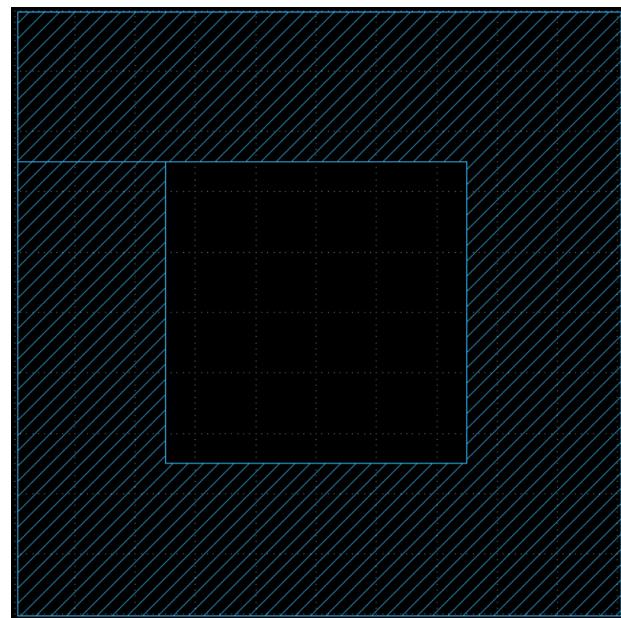


Figure 49: Cellule unitaire pour le plan de masse

3.4.2.3.2 Plan de masse du GC Single-Ended

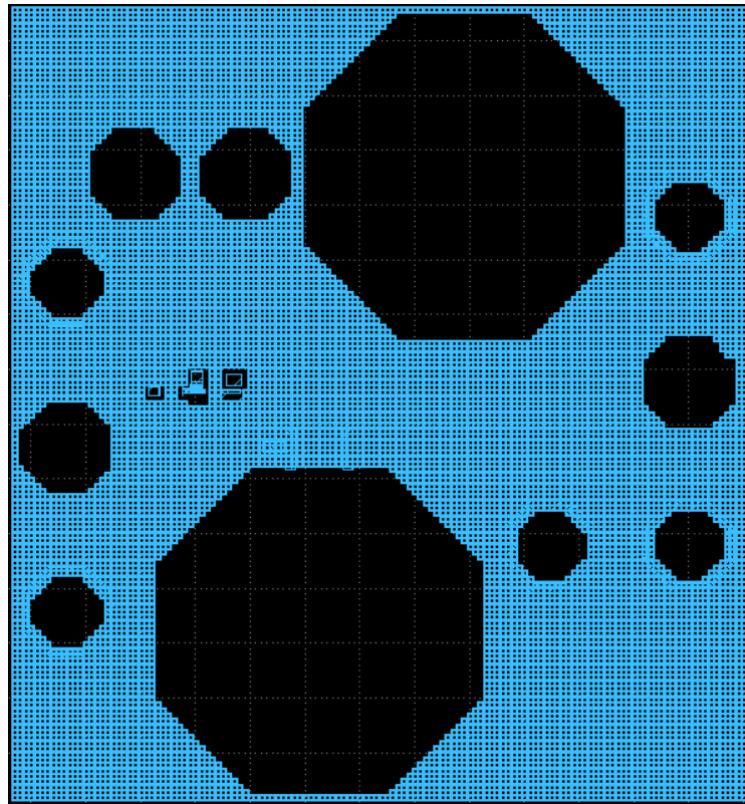


Figure 50: plan de masse du LNA single

3.4.2.3.3 Plan de masse du GC Différentiel

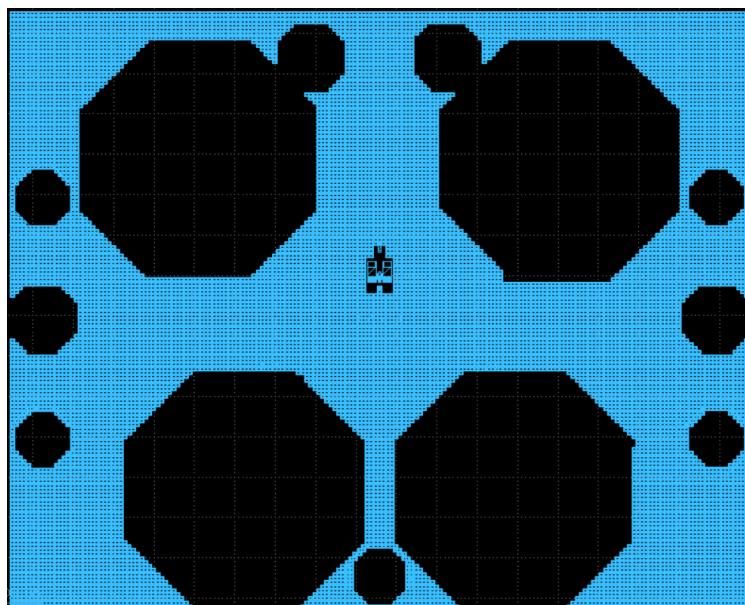


Figure 51: plan de masse du LNA pseudo-différentiel

4 Mixer

4.1 Design et simulations

4.1.1 Schéma de principe et dimensionnement

En se basant sur le document fourni par notre encadreur, on dimensionne le circuit :

L(μm)	0,13
W(N1,N2) (μm)	17
W(N3,N4,N5,N6) (μm)	16
vgsRF(V)	0,8
vgsOL(V)	0,8

Schéma électrique du mélangeur :

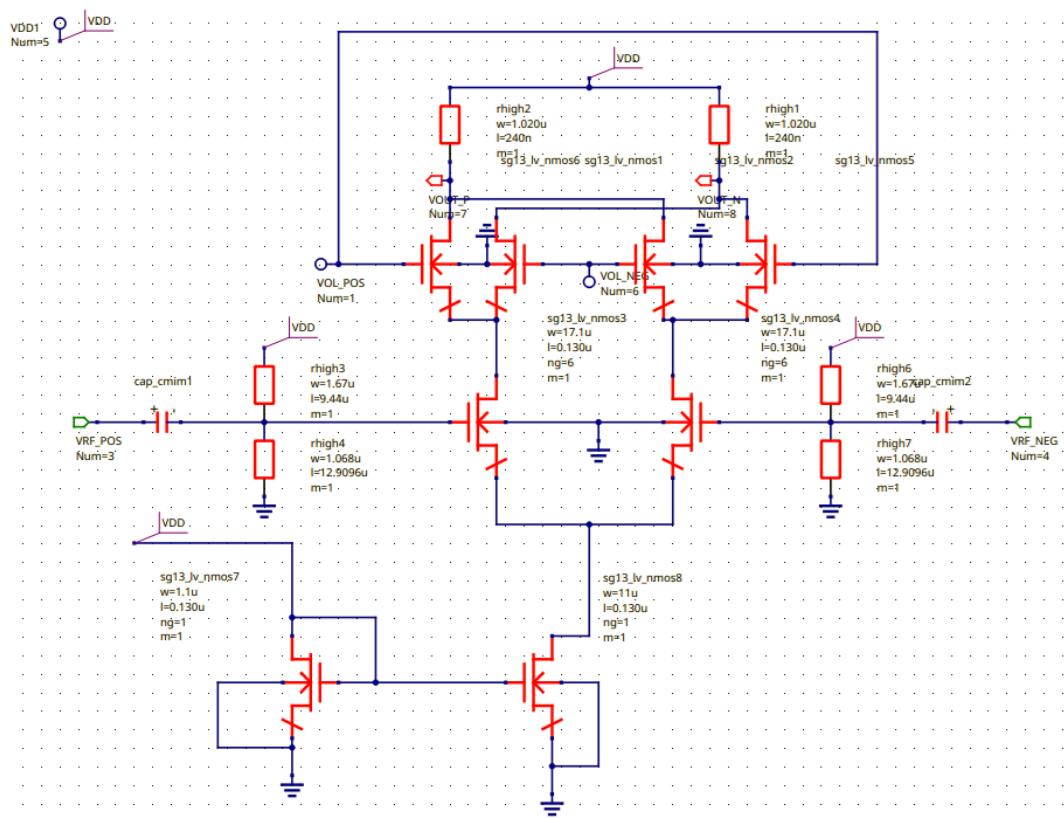


Figure 52: Schéma électrique du mélangeur

4.1.2 Résultats de simulation

La première simulation réalisée avait pour objectif de valider le design de notre mixer. Elle consistait à vérifier les points de polarisation en régime continu (DC), ce qui nous permettait d'évaluer plusieurs aspects essentiels :

- Vérifier la consommation de courant, un critère clé puisque l'objectif est de concevoir un circuit à faible consommation.
- S'assurer que les tensions de grille appliquées aux transistors sont suffisantes pour les maintenir en régime de saturation.

- Confirmer que le miroir de courant fournit bien l'intensité nécessaire au bon fonctionnement du layout.
- S'assurer qu'aucune tension dangereuse ou négative n'est présente dans le circuit.

Voici les résultats obtenus à la suite de cette simulation :

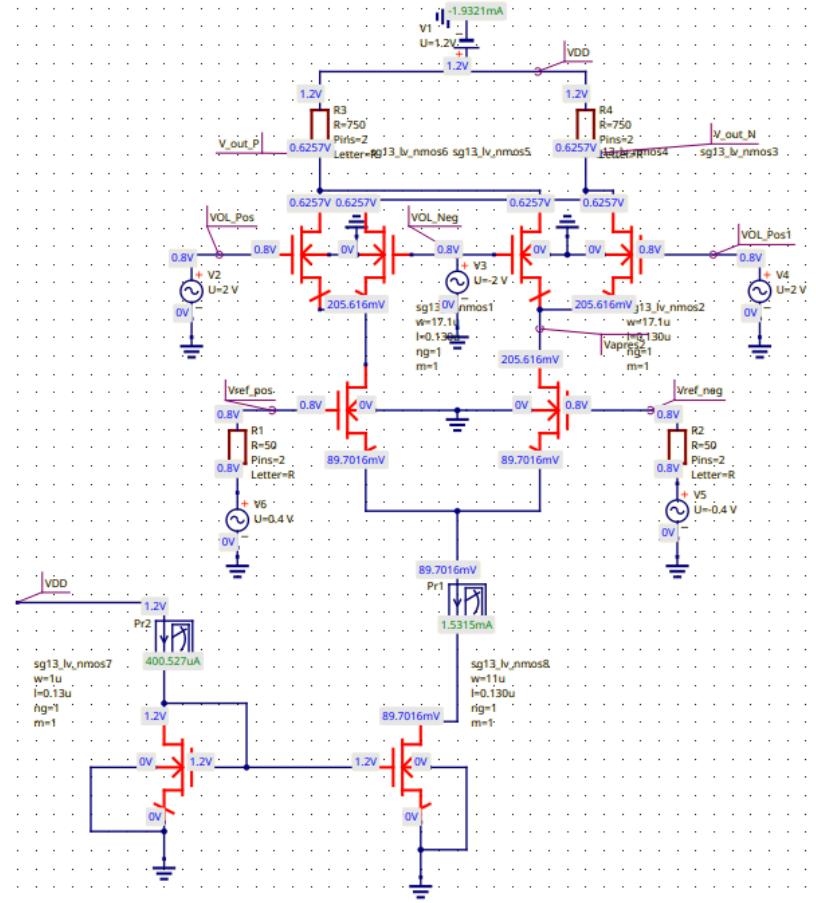


Figure 53 Point de fonctionnement

La deuxième simulation visait à vérifier que la sortie du mixer est conforme aux attentes. Plus précisément, il s'agissait d'observer un signal de forme sinusoïdale à la fréquence $Fr_f - F_{01}$ sans distorsion notable et avec une allure suffisamment lissée.

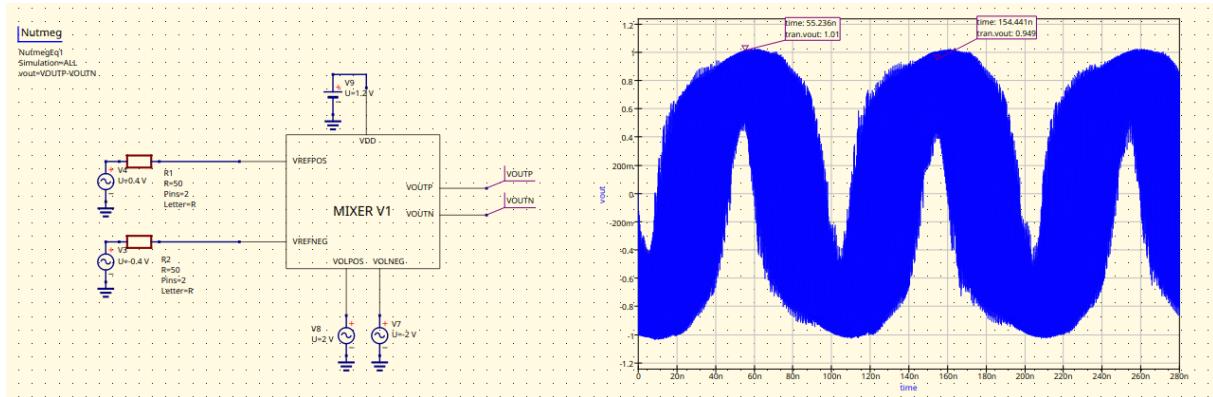


Figure 54 : Simulation transitoire du circuit

La troisième simulation (ou *bench*) avait pour objectif de vérifier que la sortie de notre mixer est bien adaptée en haute impédance. Pour cela, nous avons tracé l’abaque de Smith du paramètre S11, en nous assurant que le point se situe à l’extrémité droite de l’abaque, ce qui correspond à un circuit ouvert (CO).

En complément, nous avons également représenté Y11 afin d’observer l’évolution de l’admittance en fonction de la fréquence, et plus précisément d’extraire la résistance équivalente. Cela nous a permis de confirmer que cette résistance est bien élevée, comme attendu pour une sortie en haute impédance.

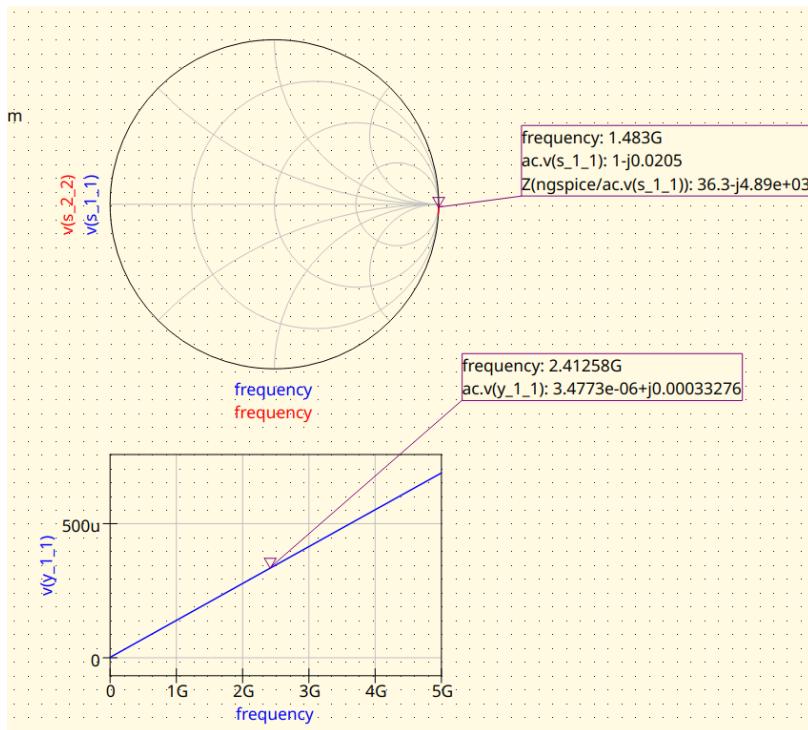


Figure 55 Calcul de l’impédance d’entrée

Une fois que nous avons validé la cohérence du signal en sortie du mixer, ainsi que son adaptation en haute impédance, nous avons poursuivi avec une analyse spectrale via une Transformée de Fourier (FFT). Cette étape permet de visualiser les composantes fréquentielles du signal de sortie, ce qui est essentiel pour confirmer le bon fonctionnement du mélangeur en régime fréquentiel.

En théorie, on s'attend à observer deux raies spectrales distinctes : l'une à la fréquence Fr_f+Flo , et l'autre à Fr_f-flo . La présence de ces deux pics dans le spectre validerait le principe de fonctionnement du mixer, à savoir la génération des fréquences somme et différence issues du processus de modulation.

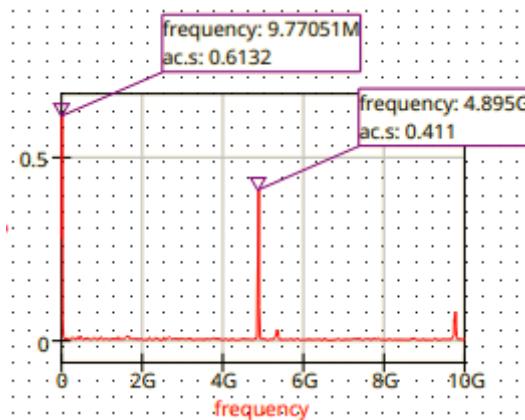


Figure 56 : Résultats de la simulation FFT

Grâce à ces résultats, nous avons pu valider le bon fonctionnement du mixer en régime fréquentiel et temporel. Malheureusement, aucun test de bruit n'a pu être réalisé, faute de moyens ou de conditions appropriées pour ce type de simulation.

4.2 Layout

4.2.1 Listes des pins (In/Out)

IN	OUT
VRF_POS	VOUT_P
VRF_NEG	VOUT_N
VOL_POS	
VOL_NEG	

4.2.2 Vue layout

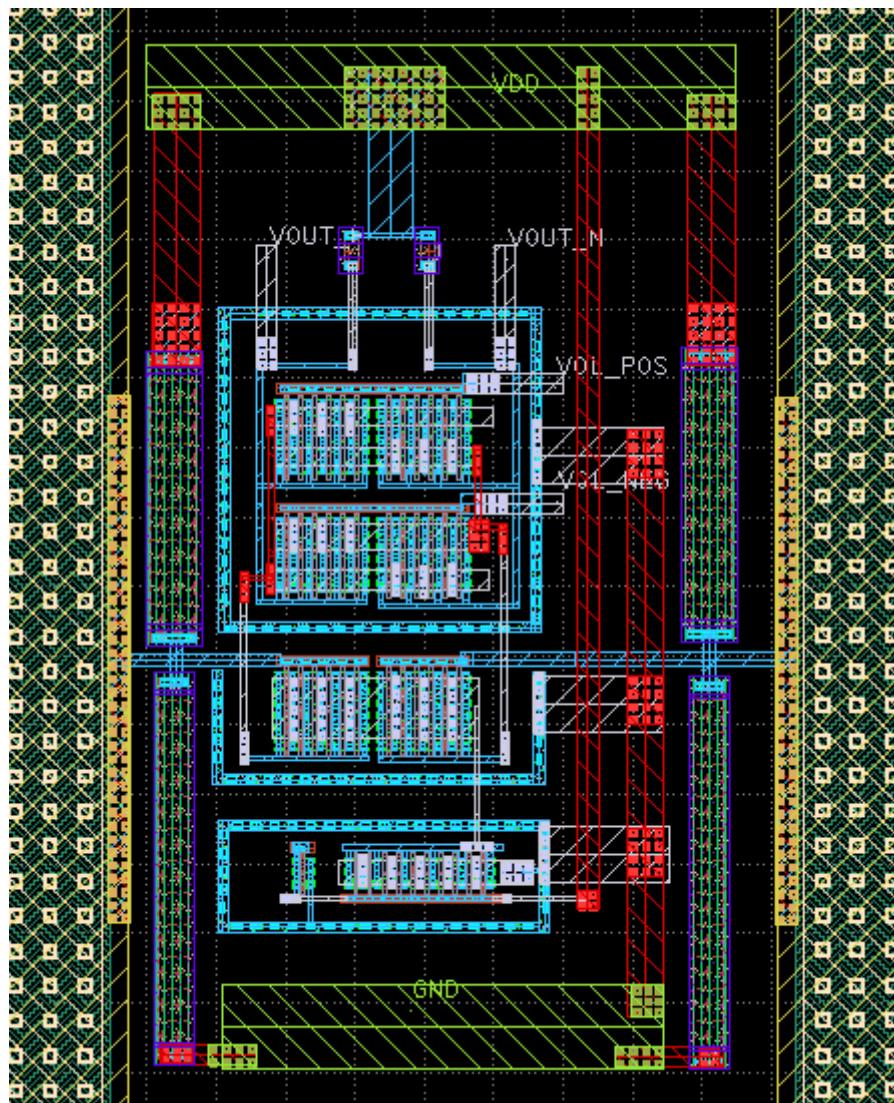


Figure 57 : Layout du mélangeur

5 Balun

Cet étage de mesure se situe à la sortie de la chaîne de réception, après le mélangeur, générant les signaux I et Q en bande de base. La topologie de balun choisie ici est un *diff to single*, entrée différentielle avec une sortie single.

5.1 Design et simulations

5.1.1 Schéma de principe et dimensionnement

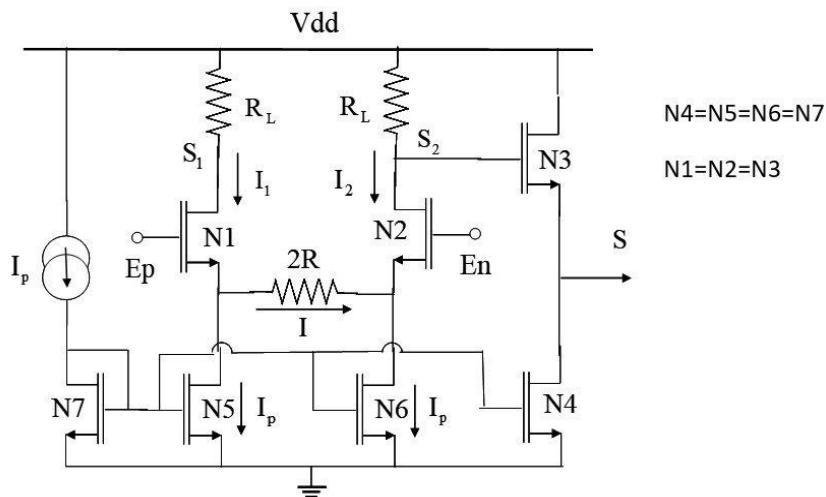


Figure 58 : Schéma théorique du balun

- Dimensionnement théorique du balun, en se basant sur la documentation fournie par M. BOURDEL

Calcul de l'amplitude différentielle maximale en entrée du buffer :

1- Détermination de ΔV_{edmax}	
OP1dB (V)	DVedmax(V)
0,402	0,4824

Calcul de $W(N1,2)$ et de la résistance R

2- Calcul de $W(N1,2)$ et de R					
Ip (A)	gm0(A/V)	Vdsat(V)	Vgs(V)	W/L	W (m)
0,00005		0,001	0,1	0,6	2,26E+01
K>1	R (Ohms)				
10	39366,66667				

Calcul de la tension de mode commun en entrée et de la résistance R_L

détermination de la tension de MC en entrée V_{e0} et de R_L			
Ve0	Rl	A	W
0,6	16363,63636	0,141339	2,94E-05

On a également calculé le gain du balun théoriquement et W(N4, N5, N6, N7).

- Sur Qucs, on instancie les éléments (transistors, résistances) constituant le balun

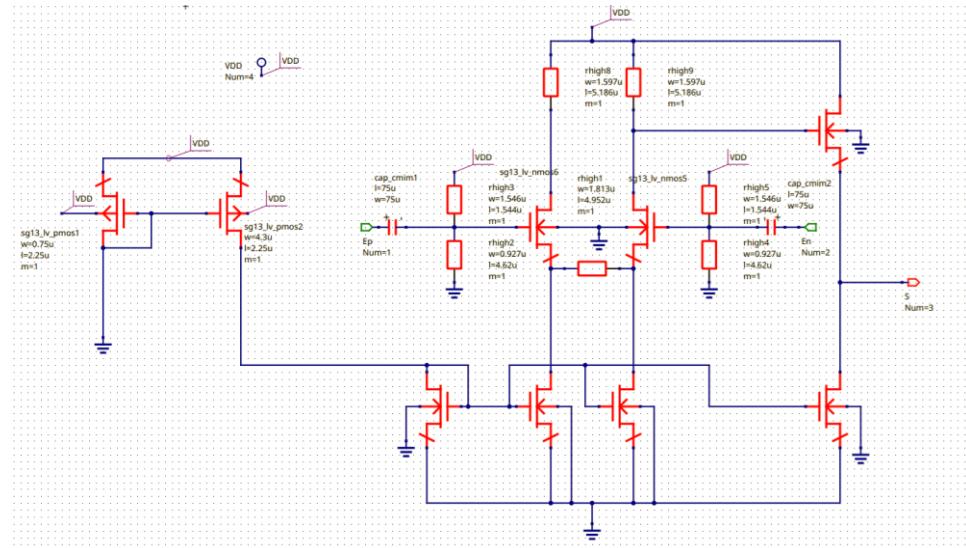


Figure 59 : Schéma électrique du balun

La source de courant parfaite a été remplacée par un miroir de courant type P pour polariser le circuit.

Compte tenu du fait que la tension de sortie DC du mélangeur est différente de celle à l'entrée du balun, on rajoute des capacités de liaison aux deux entrées du balun pour séparer les deux tensions DC.

Afin de polariser la paire différentielle, on rajoute un pont diviseur de tension pour avoir la tension DC voulue au niveau de la grille des transistors.

5.1.2 Résultats de simulation

Tout comme pour le mélangeur, nous avons fait différentes simulations.

- Point de fonctionnement du balun

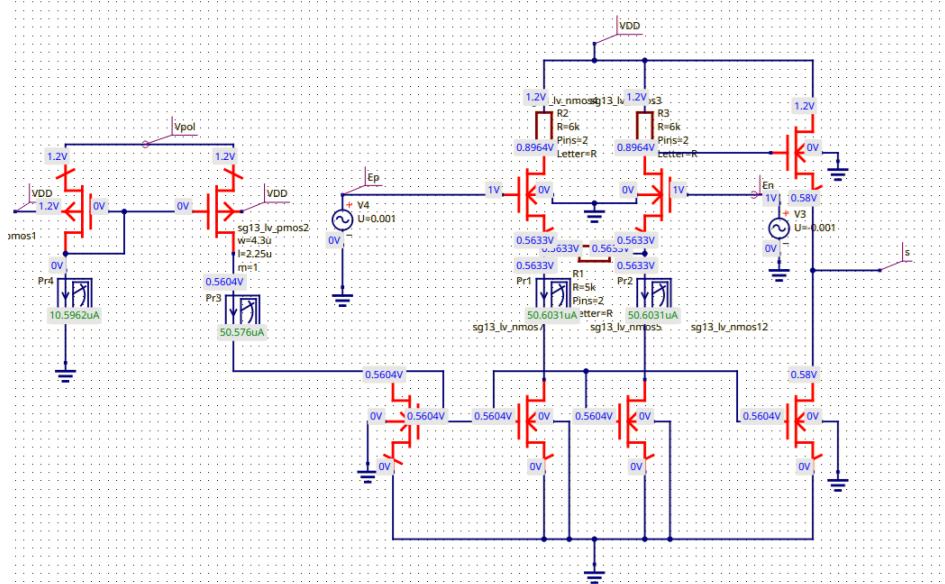


Figure 60 : Point de fonctionnement

On tient à assurer que tous les transistors soient saturés i.e $V_{gs} > V_{tn}$, avec $V_{tn}=0.5V$ dans cette technologie.

- Simulation transitoire

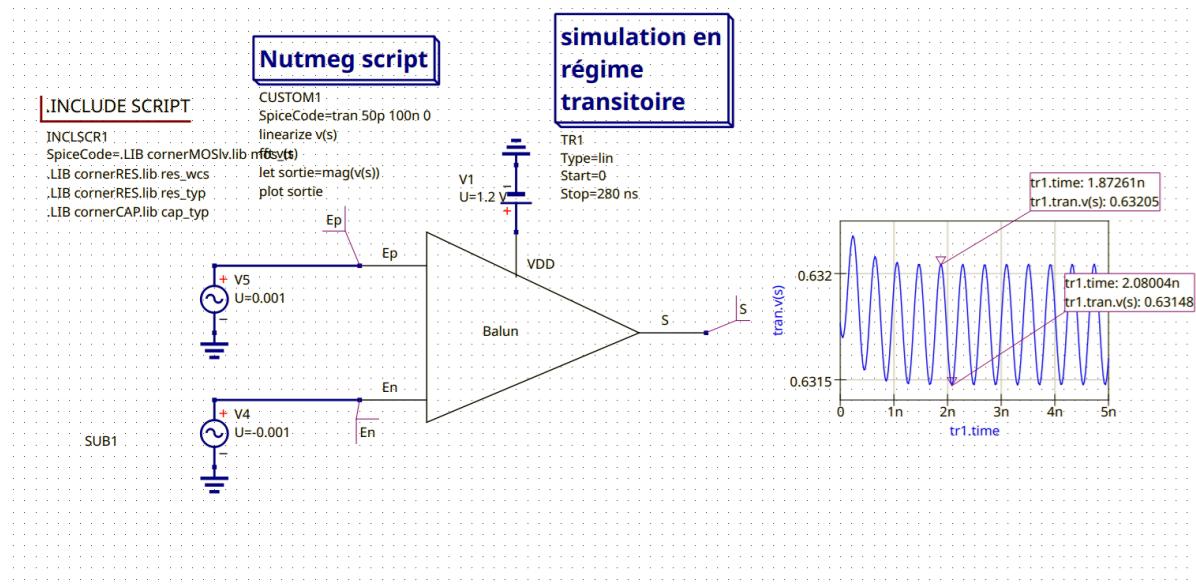


Figure 61 : Simulation transitoire

A l'aide de cette simulation, on va extraire les valeurs de tension en sortie du balun, en fonction de la tension qu'on a mise à son entrée.

En répertoriant ces valeurs, on calcule le gain (en linéaire et en dB) et on observe pour quelle tension d'entrée on perd 1dB de gain $\rightarrow ICP3$ en tension.

- Point de compression du balun

Ve(V)	0,0001	0,001	0,01	0,1	0,125	0,15	0,175	0,2	0,25	0,3	0,35	0,4	0,45	0,5
Vepp(V)	0,0002	0,002	0,02	0,2	0,25	0,3	0,35	0,4	0,5	0,6	0,7	0,8	0,9	1
Vspp(V)	6,00E-05	0,0005	0,01	0,05	0,07	0,08	0,09	0,11	0,13	0,15	0,17	0,20	0,22	0,24
G lin	0,30	0,27	0,27	0,27	0,27	0,27	0,27	0,26	0,26	0,25	0,25	0,24	0,24	0,24
G dB	-10,46	-11,37	-11,37	-11,35	-11,38	-11,42	-11,47	-11,54	-11,72	-11,92	-12,05	-12,23	-12,41	-12,57

L'excel révèle qu'on perd 1dB pour $Ve = [0.4V - 0.45V]$. Le balun sature après le mélangeur (OCP3(mélangeur) = 0.4V) et est donc bien linéaire avant cette tension.

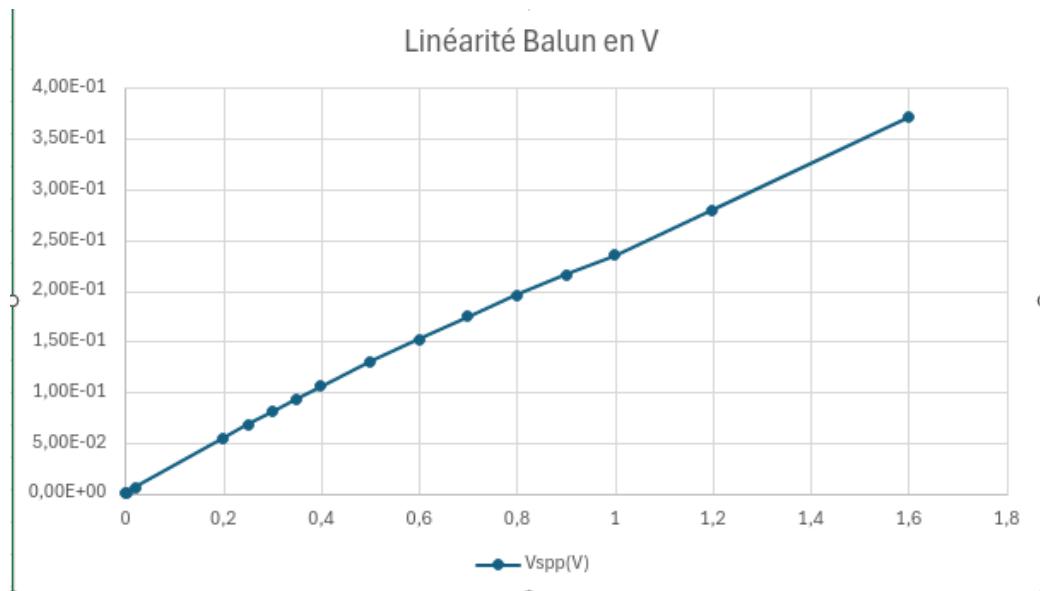


Figure 62 : Etude de la linéarité du balun

Comparé au gain théorique présenté plus haut, le gain après simulation est supérieur car on a réduit la valeur de la résistance R, connectée aux sources de la paire différentielle d'entrée.

5.2 Layout

5.2.1 Listes des pins (In/Out)

Pin	Label (text layout)
INs	Ep (Entrée positive) / En (Entrée négative)
OUT	S
Masse	GND
Tension d'alimentation	VDD

5.2.2 Vue layout

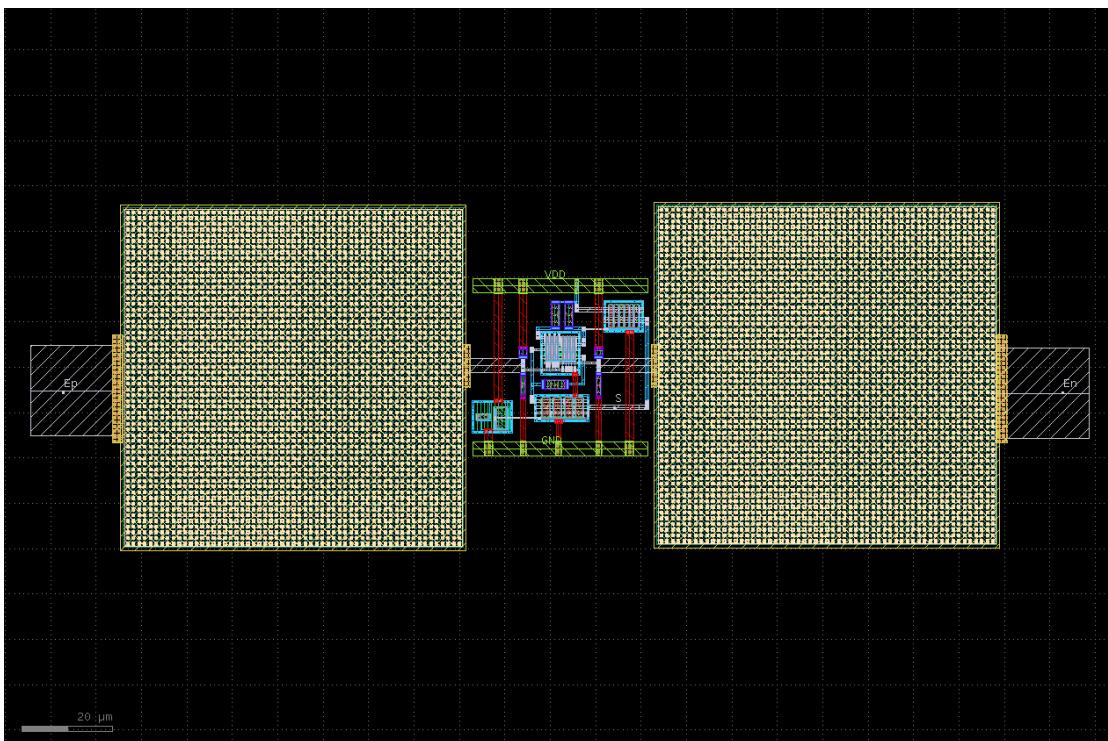


Figure 63 Layout du balun

Commentaires : Le layout est DRC clean, à l'exception de quelques problèmes de densité. Une méthode de routage différente a été volontairement adoptée : l'usage de Métal 1 a été limité au maximum, tandis que Métal 2 est utilisé pour les lignes horizontales et Métal 3 pour les lignes verticales, afin d'optimiser la lisibilité et réduire les interférences.

Le layout a été conçu en cellules hiérarchisées, ce qui facilite la structure et l'intégration. Un guard ring a été ajouté pour isoler les zones sensibles. Cependant, comme le PMOS doit être relié à VDD (et non à la masse), une couche NSD supplémentaire a été intégrée (prise substrat P), et le guard ring correspondant a été connecté à VDD.

6 VCO

Le VCO (Voltage Control Oscillator) est un élément front-end analogique qui fait partie intégrante de la PLL (Phase Lock Loop). Il permet de générer un signal oscillant sur une certaine plage de fréquence, contrôlée par une source de tension en entrée.

Le VCO est essentiel pour la conversion de fréquence dans le système de réception Zigbee. Le signal RF généré est amené au mixer, permettant la démodulation du signal RF en signal de base (bande de base) pour le traitement numérique.

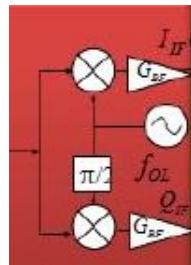


Figure 64

Les spécifications du VCO à respecter sont les suivantes :

- Foscillation : 2.4 GHz @0V – 2.5GHz @1.2V
- Courant consommé: $\sim 100\mu\text{A}$
- Zout = 50 Ohms (pour des mesures sous pointes en stand-alone)

6.1 Design et simulations

6.1.1 Schéma et dimensionnement

Le VCO est composé de plusieurs parties :

1. Un résonnateur LC :

Inductance :

Le PDK ne fournissant pas d'inductance, nous avons utilisé une inductance créée à partir d'un modèle de simulation électromagnétique. Les inductances ont été caractérisés suivant un modèle en PI.

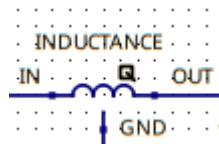


Figure 65 : Insertion d'une inductance caractérisée à partir d'un modèle en PI

$$L = 3\text{nH} ; Q = 11.7 (\sim 2.5 \text{ GHz})$$

Capacité :

La capacité doit être variable de manière à générer une oscillation entre 2.4GHz et 2.5GHz (varactor). Cependant, le PDK fournit des diodes avec une valeur de résistance // trop faible. Cela

avait un fort impact sur le dimensionnement de la résistance négative de la paire croisée. En solution, nous avons utilisé des transistors Nmos montés en inverse de manière à simuler un varactor.

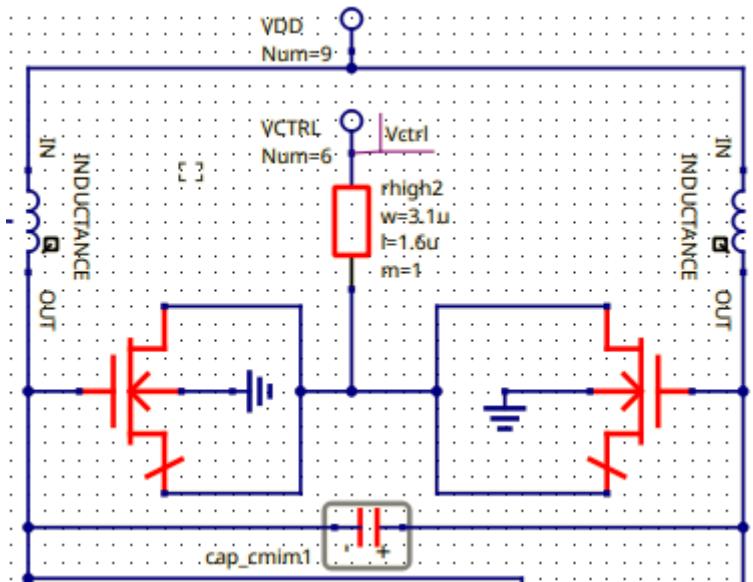


Figure 66 : Résonnateur LC variable à partir de transistor nmos

Pour déterminer la valeur de capacité à mettre dans le circuit on utilise la formule :

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{LC}}$$

Un bench permet de connaître les valeurs des paramètres w et l des transistors/capacité, pour atteindre la valeur de la capacité souhaitée totale souhaitée.

$$C_{fixe} = C_{tot} - C_{vartransistor}$$

A partir des paramètres S , on calcule la valeur de la résistance // du résonnateur LC permet de dimensionner la paire croisée.

$$R_p = 1.08 \text{ kOhms}$$

2. Une paire croisée

La paire croisée (R_-) est composé de transistors Nmos. Elle permet de compenser les pertes de la résistance parallèle générée par le résonnateur LC. La condition à respecter pour avoir une solution est la suivante :

$$R_p // R_- < 0 \Rightarrow R_p > R_-$$

On prend une marge :

$$R_- = R_p / 3 = 1.08k/3 = 360 \text{ Ohms}$$

Cette condition nous permet de dimensionner les transistors de la paire croisée à partir des équations suivantes :

$$|I_d(\text{transistor})| = |I_o/2|$$

$$gm(I_o, W) : |R_-| = |-2/gm| \Rightarrow gm = 2/R_- = 5.56 \text{ mS}$$

$$gm = 2*Id / (Vdd-Vt) = Io / (vdd-vt) \Rightarrow Io = gm * (Vdd-Vt) = 3.89 \text{ mA}$$

$$Id = Kn * W/L * (Vgs - Vt)^2 \Rightarrow w/L = Id / Kn * (Vgs - Vt)^2 = 35.9$$

$W=4.67 \mu\text{m} \Rightarrow$ trop faible. On redimensionne en modifiant la valeur du courant à ~1.5mA => $w=20\mu\text{m}$

ac $Vgs = Vdd = 1.2\text{V}$, $Vt = 0.5\text{V}$, $Kn = 2.21\text{E-4 [A/V}^2]$

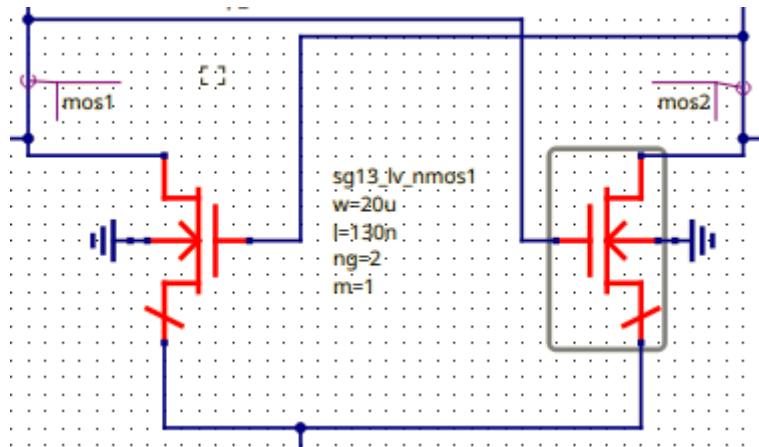


Figure 67 : Paire croisée

Nb ; la valeur de la capacité de la paire croisée est calculée à partir des paramètres S(33fF), puis elle est soustraite à la valeur de la capacité fixe du résonateur pour respecter la gamme de fréquence souhaitée.

3. Une source de courant

On remplace la source de courant idéale par un miroir de courant. Il est dimensionné de manière à avoir minimum un rapport 10 entre le courant consommé par le miroir de courant et celui fourni à la paire croisée.

Le dimensionnement est fait pour qu'une tension de polarisation $V_{bias} = 0.6\text{V}$ fournisse 1.5mA, de manière à avoir de la marge sur le V_{bias} pour booster notre VCO si besoin (jusqu'à 1.2V, donc ~10mA).

On utilise les mêmes équations utilisées pour la paire croisée pour faire le dimensionnement du miroir de courant.

Un filtre passe haut du premier ordre nous permet de couper les bruits d'alimentations DC (on vérifie sa fréquence de coupure ~100 KHz).

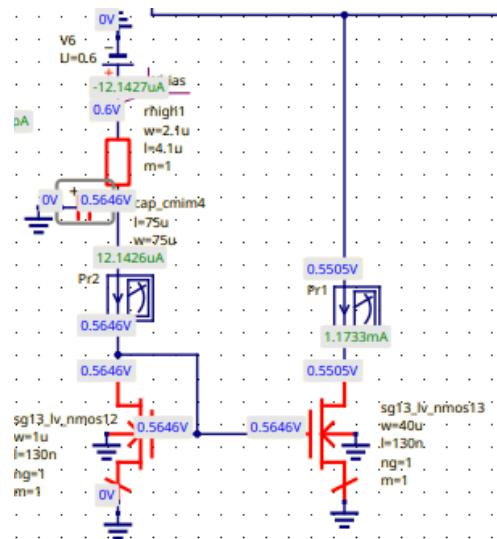


Figure 68 : Source de courant à partir d'un miroir de courant

On remarque qu'il y a un facteur 100 entre le courant consommé par la source de courant et le courant fourni à la paire croisée.

4. Un buffer de sortie

Le buffer de sortie permet de faire des mesures en stand-alone du VCO en adaptant l'impédance de sortie à 50 Ohm.

- $G_m = 1/50 = 20 \text{ mS}$
- On le dimensionne de manière à avoir le même courant qui circule dans les deux Nmos
- On place en sortie une capacité connecté en série à la résistance 50 ohms pour garder des niveaux de polarisation DC en mode commun à $\sim 0.5\text{V}$.

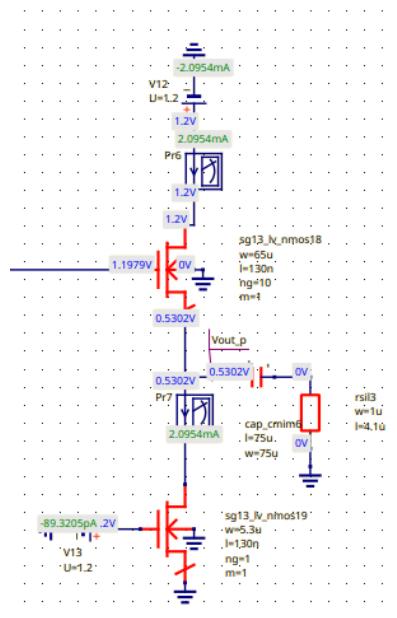


Figure 69 : Buffer de sortie du VC

L'ensemble de ces éléments permet d'obtenir le schéma complet du VCO :

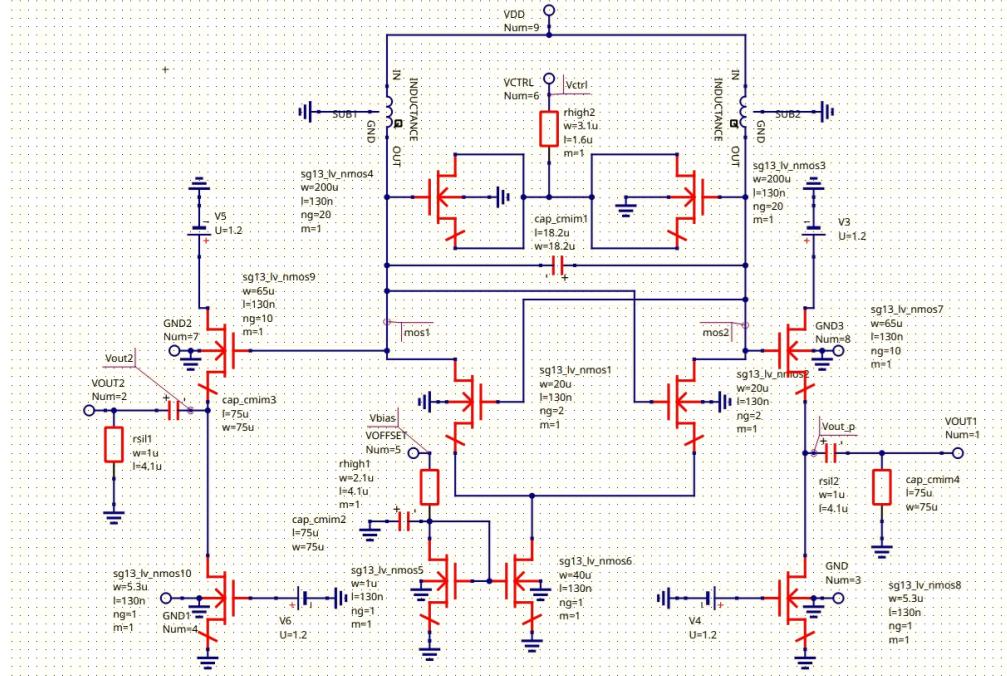


Figure 70 : Schéma électrique VCO

6.1.2 Intégration

Pour l'intégration du circuit intégré, on doit prendre en compte plusieurs effet au niveau des simulations design :

- Le wire bonding, simule la mise en boîtier du circuit. Il est modélisé par une capacité parallèle et une inductance d'environ 3nH :

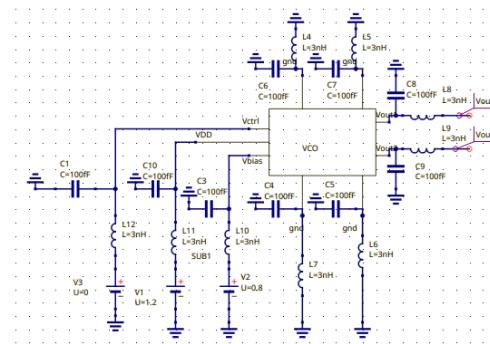


Figure 71

- Les capacités de découplage mise lors du layout

Une fois ces composants ajoutés, on vérifie qu'il n'y a pas d'impact pas la fréquence d'oscillation en sortie du VCO.

6.1.3 Simulation

Pour vérifier le fonctionnement du VCO on utilise plusieurs simulations :

- Simulation paramètres S : Pour calculer les valeurs de capacités, d'inductance, de résistances parallèles des éléments du VCO. Test Bench des différentes parties du VCO disponible dans le git.
- Simulation transient : Pour vérifier les fréquences d'oscillations du VCO
- Simulation points DC

La simulation des points DC permet de vérifier la bonne symétrie du VCO.

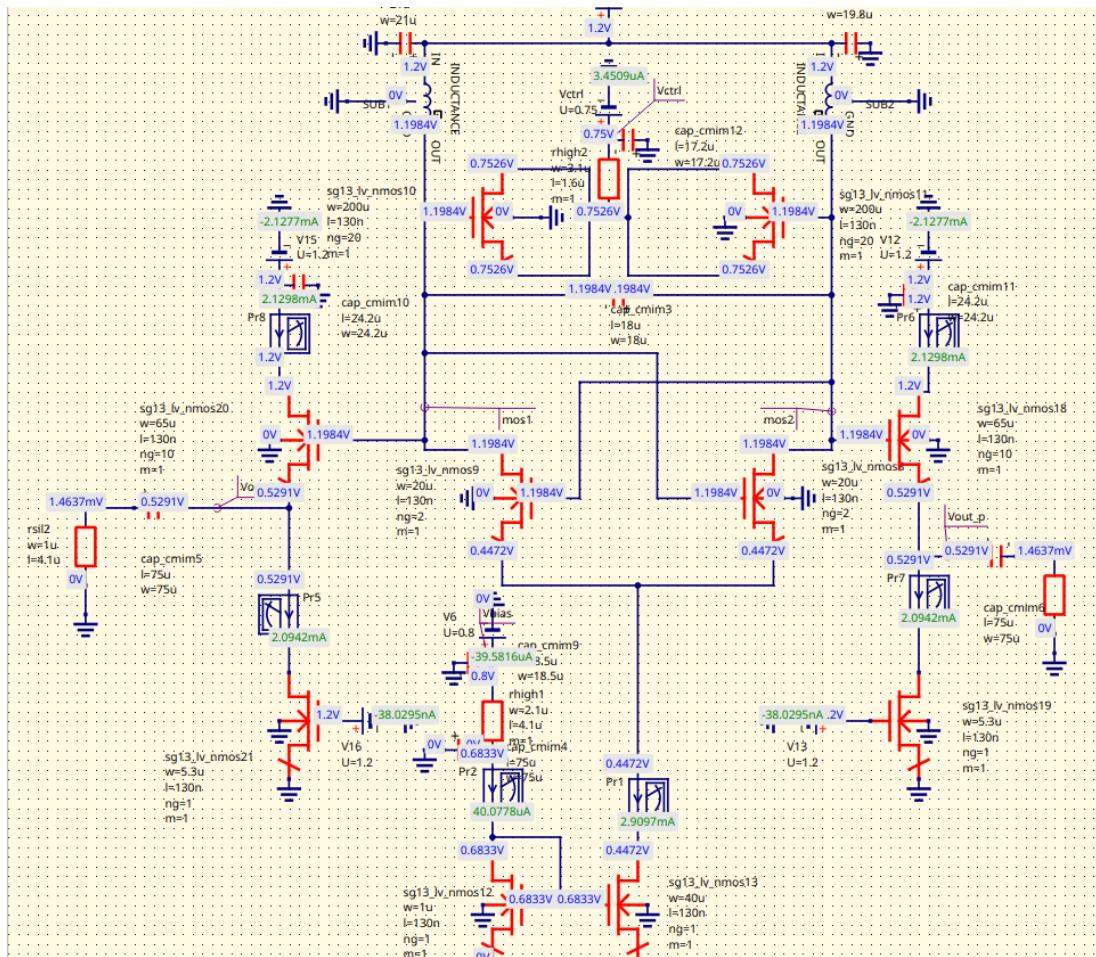


Figure 72 : Vérification des points DC

On remarque que les tensions du circuit sont bien équilibrées sur l'ensemble du circuit. En sortie du buffer, on lit 0.5V de mode commun.

Simulation VCO avec wire bounding + Capacité de découplage

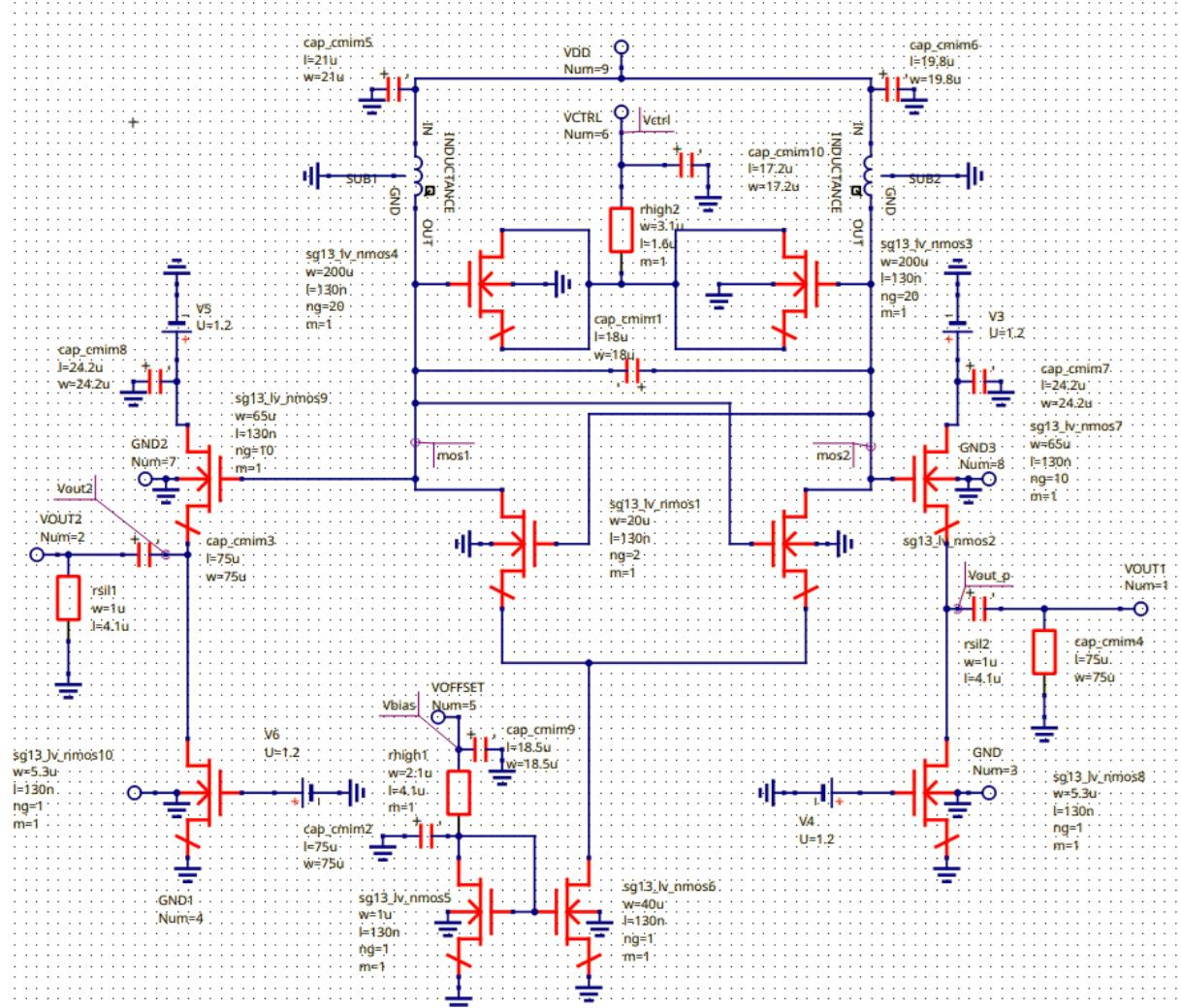


Figure 73 : Schéma électrique du symbole du VCO

Pour faire un symbole on place des ports au niveau des entrées/sorties du système.

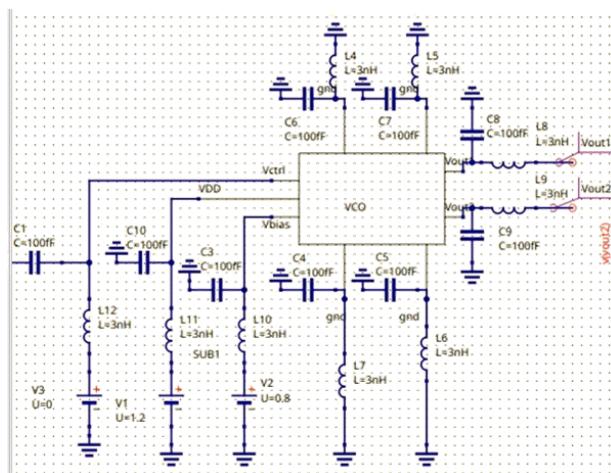


Figure 74 : Symbole du VCO avec le wire bounding pour les simulations transient

La figure ci-dessus illustre le circuit final simulé en transitoire.

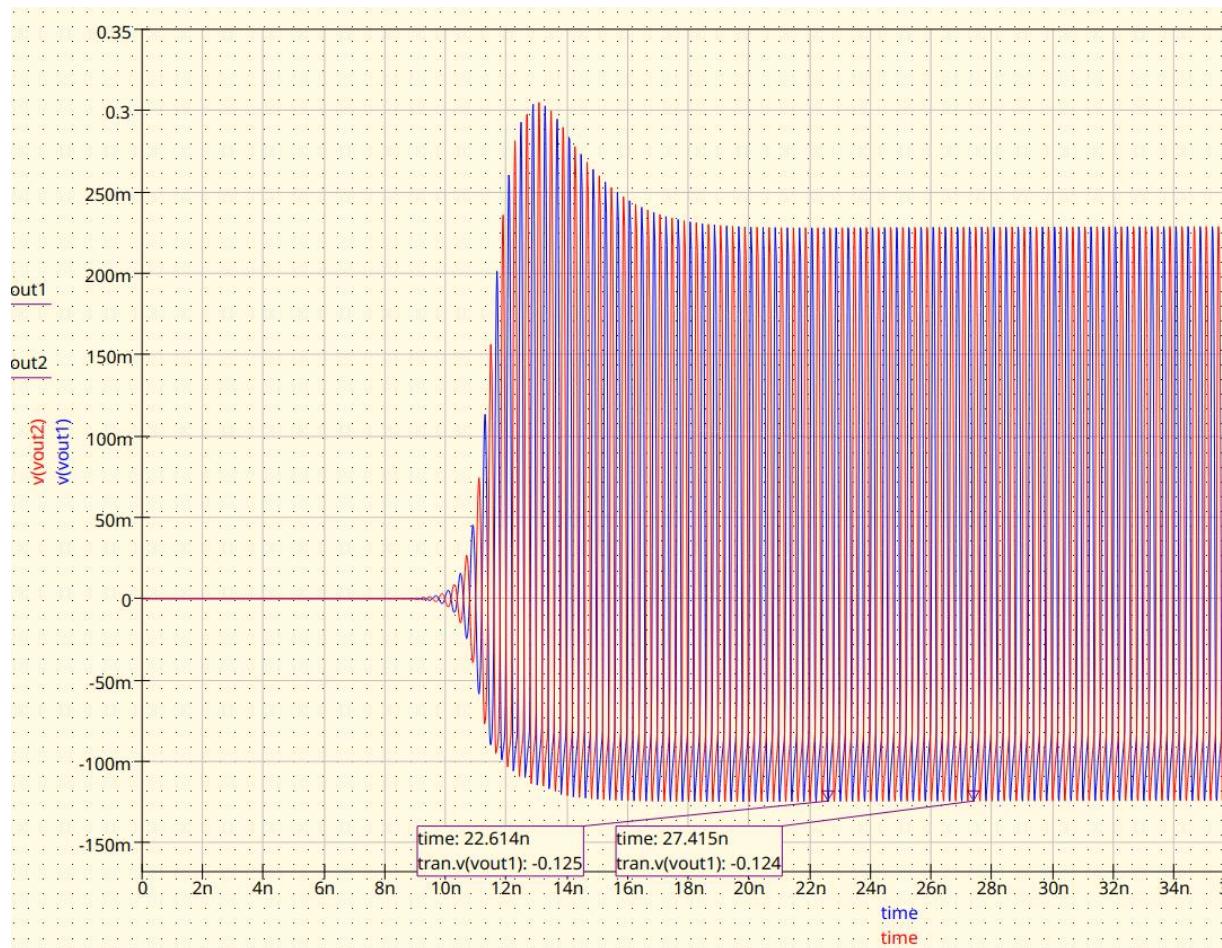


Figure 75 : Simulation transiente pour 1.2V

Pour $V_{ctrl} = 1.2V$, on mesure l'oscillation générée par le VCO. La mesure est réalisée sur 11 périodes pour diminuer l'incertitude de mesure lié à la mise en place du curseur. La valeur mesurée est de 2.5 GHz.

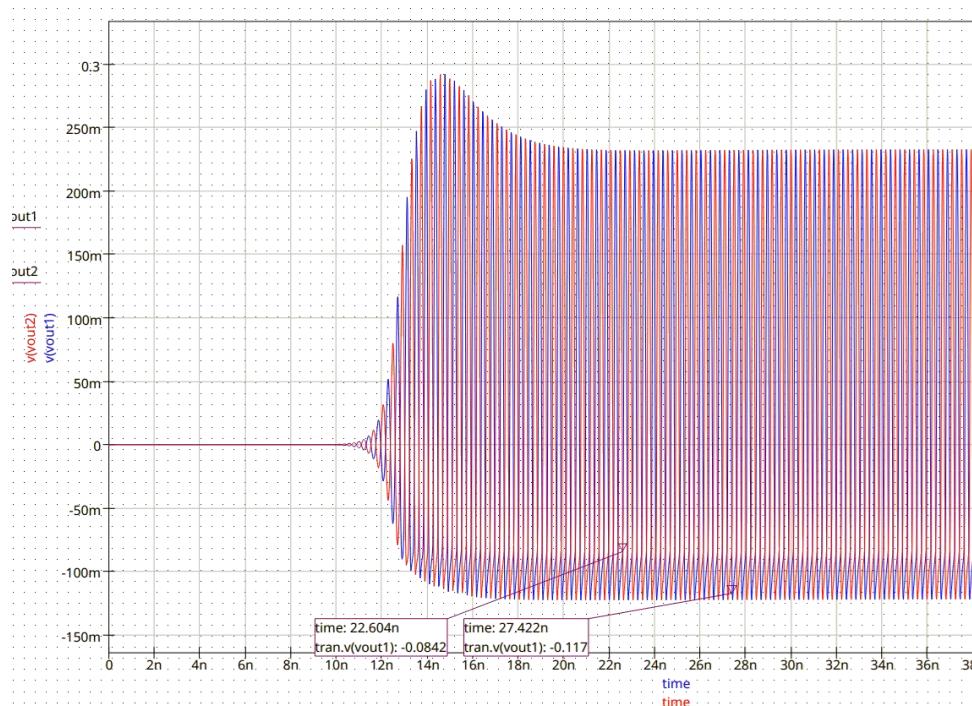


Figure 76 : Simulation transient pour 0V

Pour $V_{ctrl} = 0V$, on mesure une fréquence d'oscillation de 2.398GHz.

L'ensemble des simulations a permis de valider le fonctionnement au niveau électrique du VCO.

6.1.4 Tableau récapitulatif

Le VCO a les caractéristiques suivantes :

Paramètres	Valeurs prévues	Valeurs mesurées
F_oscillation @0V	2.4GHz	2.398 GHz
F_oscillation @1.2V	2.5GHz	2.5 GHz
Courant consommé/fourni	100µA	40µA / 2.89mA
Amplitude	-	400 mVpp

6.2 Layout

Dans un premier temps, on commence par la mise en place du Floor Plan de manière à respecter l'organisation prévues sur le PCB pour l'assemblage du boîtier avec la carte de test.

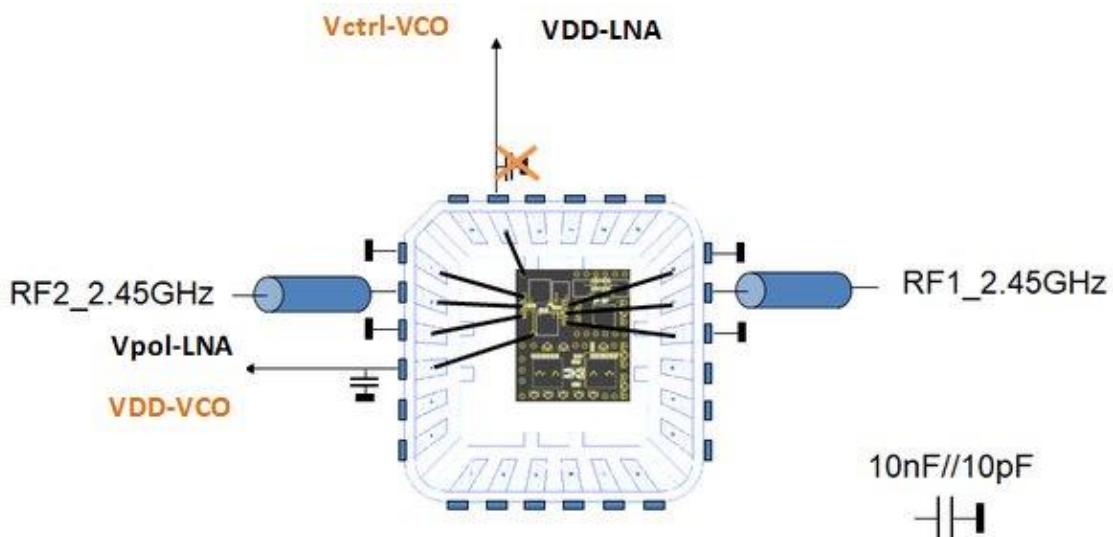


Figure 77 : Carte de test VCO

Puis on fait le routage du circuit en prenant en compte les contraintes de symétrie du circuit, de résistivité des métaux et de DRC (Design Rule Check). En prenant en compte l'organisation des plots RF GND-VDD-GND :



Figure 78 : Emplacement des plots de mesures RF

Ensuite on réalise un plan de masse en métal 1 de manière à avoir une masse la plus stable possible.

Pour finir on rajoute des capacités de découplage pour limiter les appels de courants du circuit lorsqu'il y a de long chemins DC entre une alimentation et un composant. La capacité de découplage une fois chargé va limiter cela.

Une fois le layout fini avec DRC clean, il faut passer à l'étape du LVS (Layout Versus Schematic). Cette étape n'a pas pu être finalisé compte tenu de notre avancé au niveau du projet.

=> Problème au niveau de la génération de la netlist sous Xschem différente de la netlist fournie par Klayout.

6.2.1 Listes des pins (In/Out)

- VDD
- V_bias
- V_ctrl
- Gnd
- RFout_1 (sortie de la pompe de charge)
- Rfout 2

6.2.2 Vue layout

Le layout a été conçu de manière à respecter les contraintes liées à la carte de test.

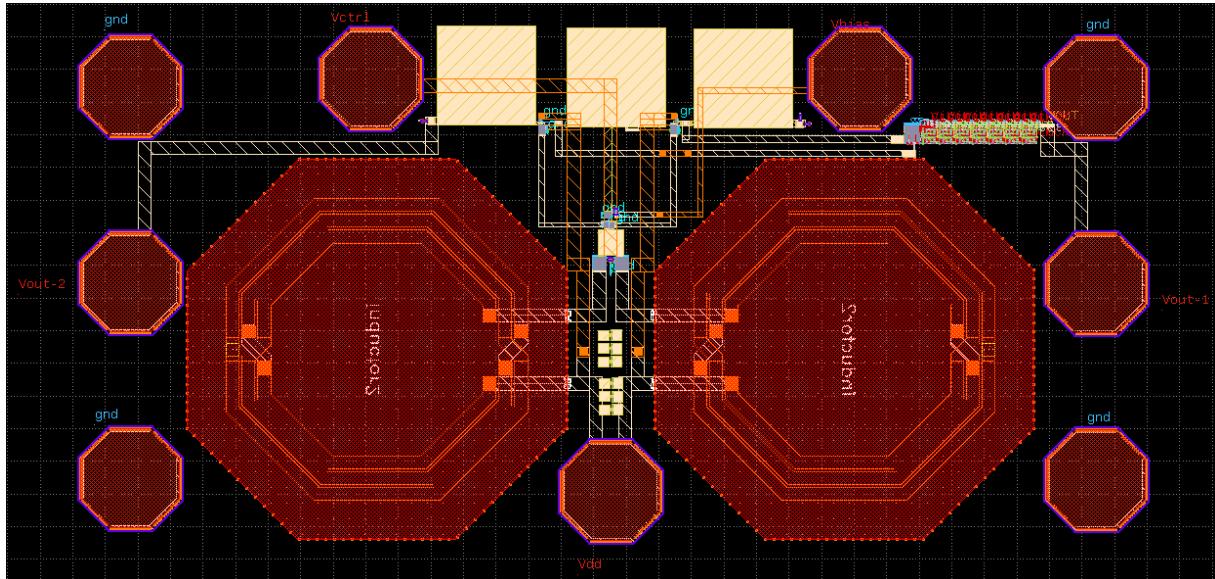


Figure 79 : Vue Layout VCO avec diviseur de fréquence relié à Vout-1

Avec plan de masse :

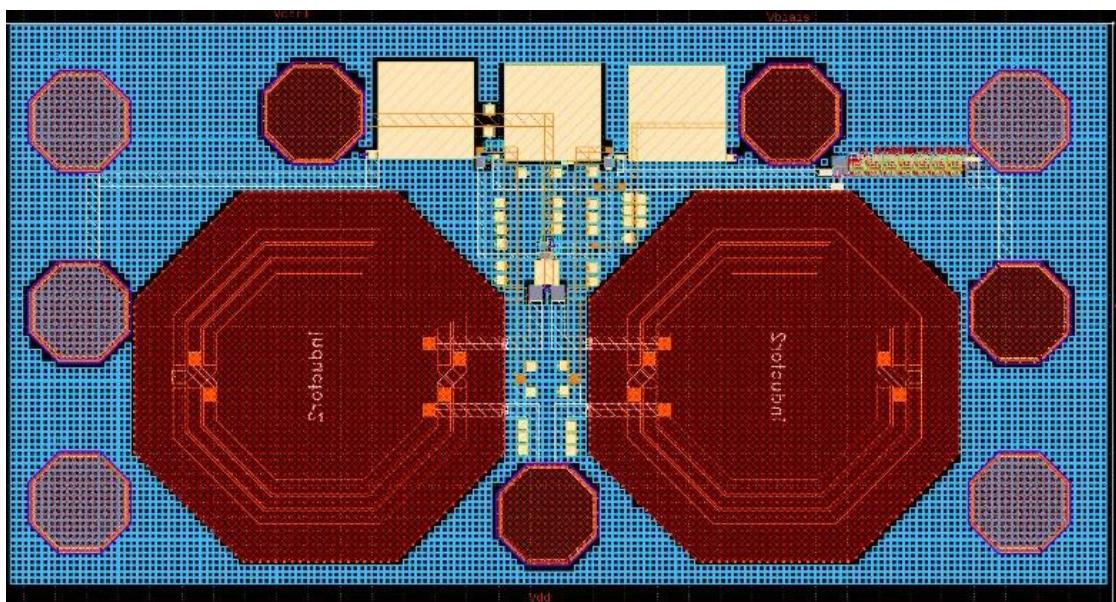


Figure 80 : Layout avec plan de masse

Zoom varactor :

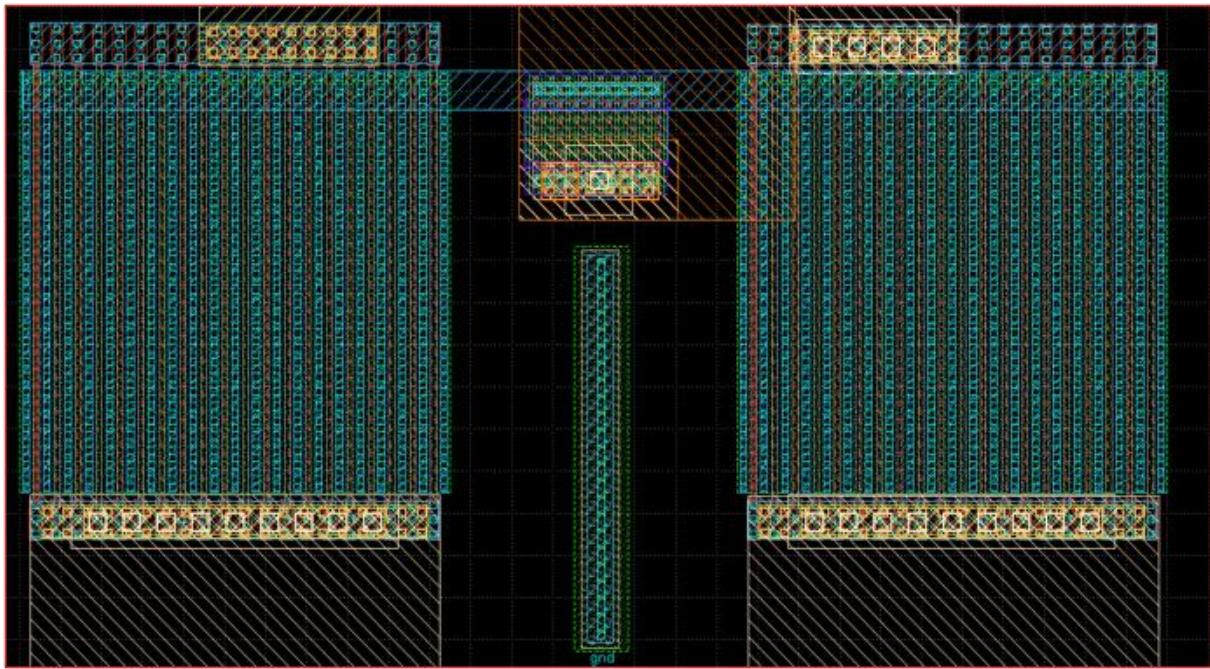


Figure 81 : Zoom varactor

Zoom paire croisée et miroir de courant :

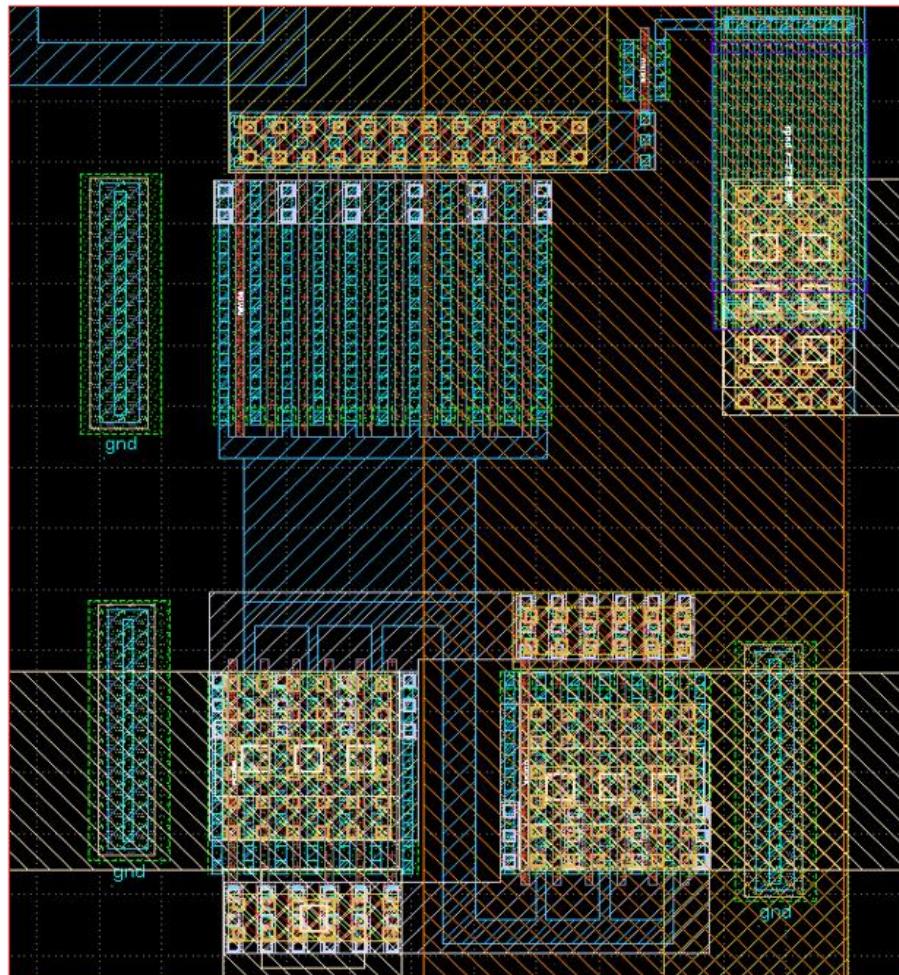


Figure 82 : Zoom Paire croisée - miroir de courant

Zoom buffer de sortie :

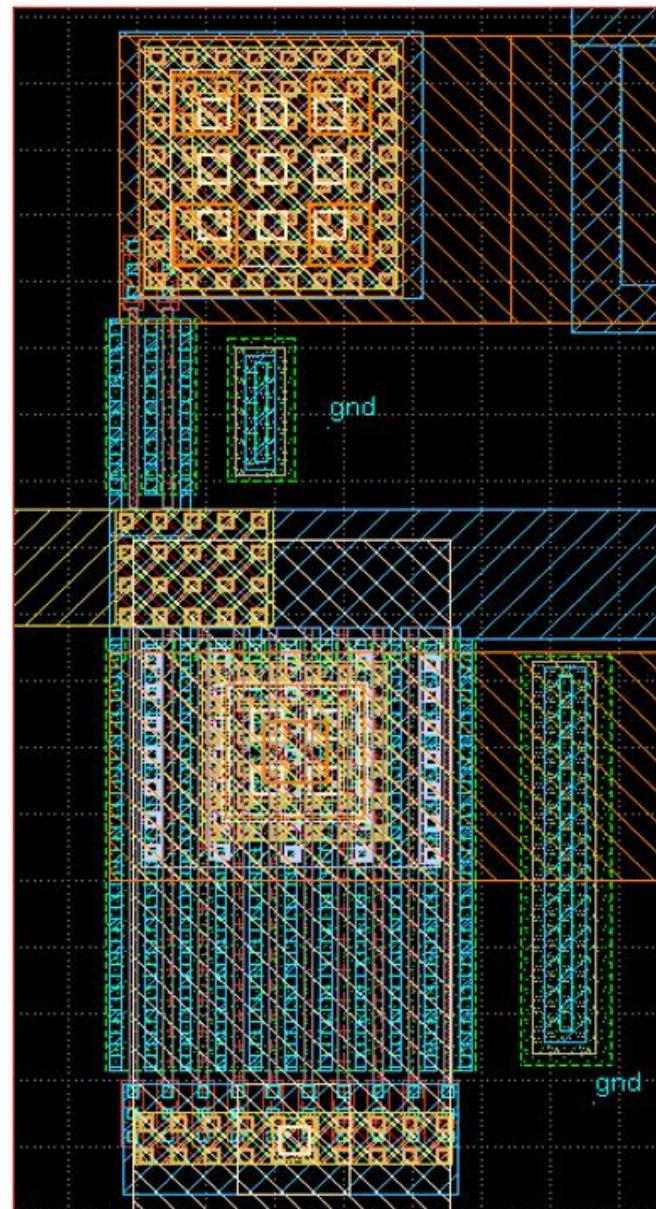


Figure 83 : Buffer de sortie

Le DRC est passé sur le layout réalisé hormis au niveau des règles de densité et du off-grid sur les prises substrats du diviseur de fréquence.

7 PFD, Pompe de charge et Filtre de boucle

7.1 Design et simulations

7.1.1 Schéma de principe et équations

Le PFD (Phase Frequency Detector) est un élément qui permet de comparer la phase de f_{REF} , le signal de référence d'une fréquence $f_{REF} = 10\text{MHz}$ à la phase du signal délivré par le VCO divisé d'une fréquence $F_{div} = F_{VCO}/256$. Il commande ensuite les signaux Up et Down en fonction du déphasage de F_{div} , si cette fréquence est inférieure à la fréquence de référence le signal Up est passé à 1. Si elle est supérieure down passe à 1. Si elles sont égales, alors les deux sont passés à 1. Les signaux de commande Up et down vont ensuite diriger la pompe de charge. La pompe de charge fournit un courant pouvant avoir 3 valeurs : $I_{out}=I_0$ lorsque Up est actif, $I_{out}=-I_0$ lorsque down est actif et $I_0=0$ lorsque Up et Down sont actifs. Pour finir, le courant de sortie de la pompe de charge est envoyé dans un filtre de boucle. Ce filtre de boucle permet d'obtenir une tension de commande du VCO et filtre les harmoniques. Voici le schéma de principe que l'on obtient en chainant les blocs en figure 78.

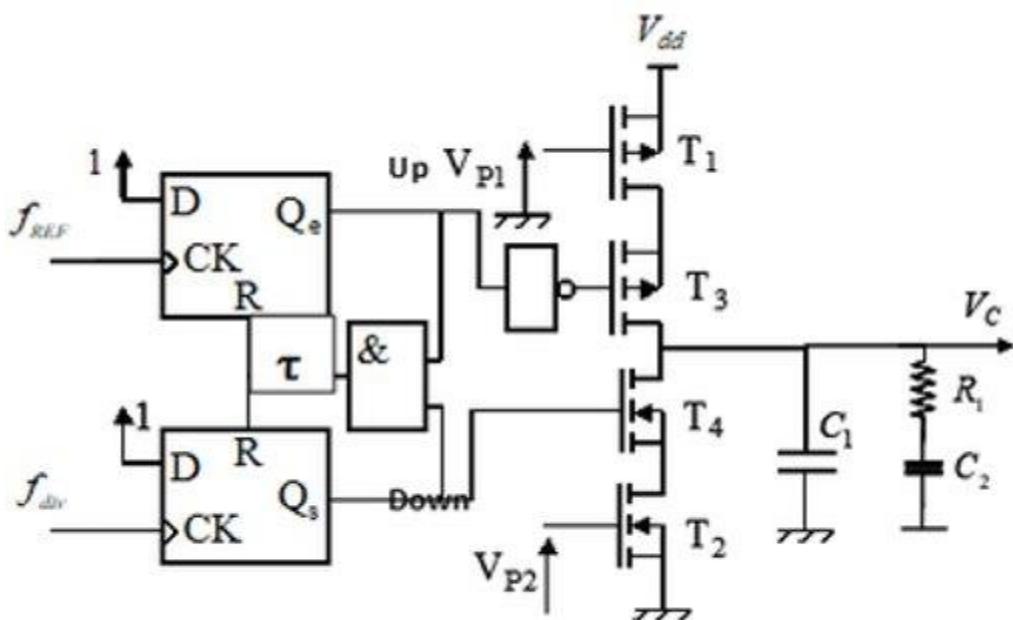


Figure 84 : Schéma de principe du chaînage du PFD, de la pompe de charge et du filtre de boucle

Les valeurs des composants du filtres ont été dimensionnées précédemment via les calculs théoriques.

7.1.2 Dimensionnement et simulation

Le travail de préparation nous a permis de déduire les différentes spécifications que le bloc PFD + Pompe de charge doit respecter. Voici un tableau résumant ces spécifications :

$F_{div}(\text{MHz})$	Autour de 10
$F_{ref}(\text{MHz})$	10
VDD(V)	1.2
I_0	100 μA

Les standard cells logiques n'étant pas présentes dans l'installation qucs, la première étape est la création des cellules logiques. Pour dimensionner les transistors des standard cells, on utilise un L commun = Lmin. Il faut aussi que les PMOS ait un $W=2*W_{nmos}$. Pour réaliser des standard cells les plus petites, possibles, on a choisi $W_{nmos} = W_{min} = 0.15 \mu\text{m}$. Après avoir réalisé les portes de bases (INV_1X et NAND à deux entrées et 3 entrées, il est possible de réaliser le reste des standard cells logiques (AND, Bascule D). Pour régler le problème de charge des transistors (entrée et sortance) il faut aussi réaliser des inverseurs 2X, 4X et 8X. Ce qui correspond à des inverseurs 2fois, 4fois et 8fois plus grand que l'inverseur initial. Pour faciliter le layout, il faut régler leur nombre de doigts (ng) afin qu'ils puissent s'abuter facilement (voir plus loin dans la partie layout). Une fois les symboles des différents blocs réalisés, on peut assembler les blocs afin d'avoir le schéma final de la PFD + PDC + Filtre de boucle :

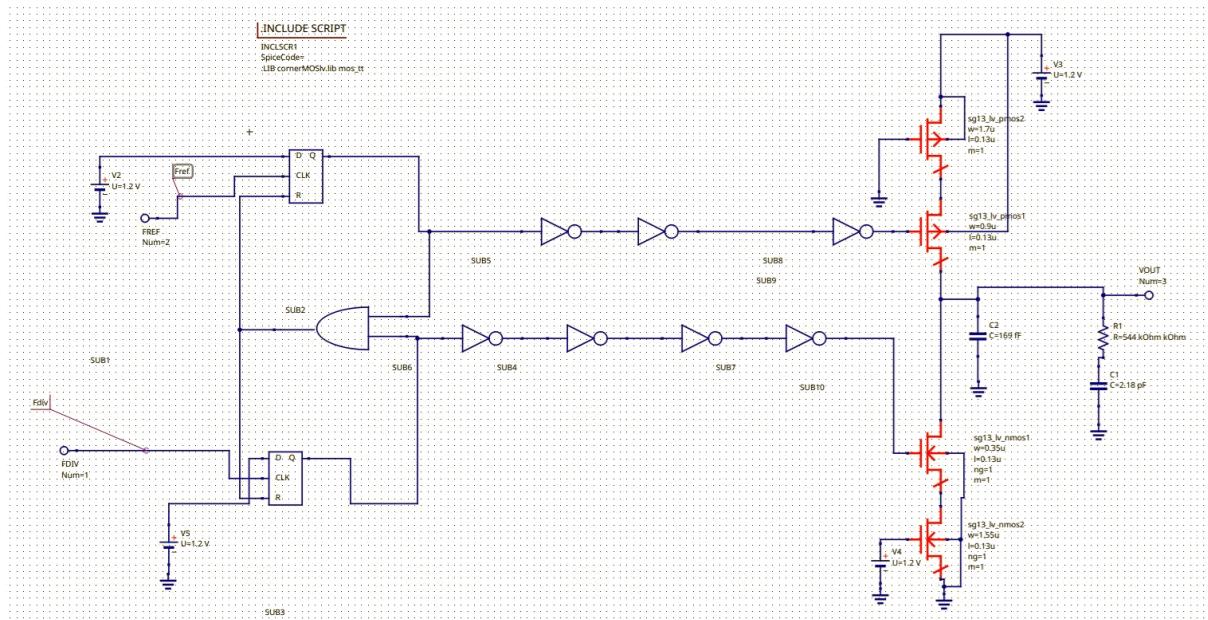


Figure 85 : Schéma électrique de la PFD + PDC + Filtre de boucle

Afin de régler le courant de la pompe de charge, il faut modifier la taille des transistors sources de courant T1 et T2. On peut ensuite ajuster avec la taille des switchs T3 et T4 pour être plus précis sur le courant. Lors de la simulation on remplace le filtre de boucle par une source de

tension pour pouvoir mesurer un courant en sortie de pompe de charge. Pour rappel, les différents cas de fonctionnement de la pompe de charge :

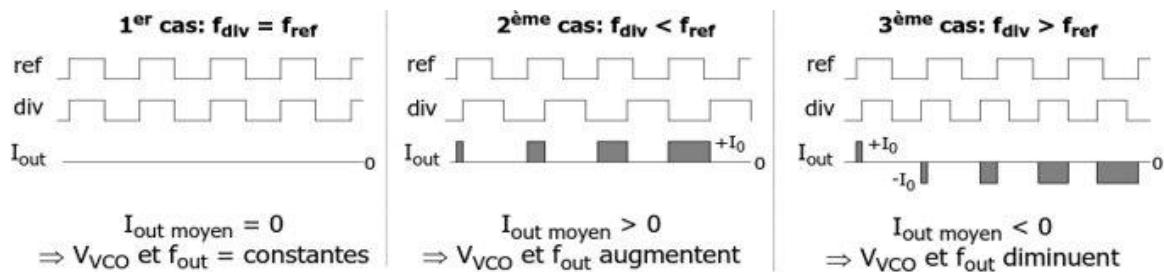


Figure 86 : Schéma des cas d'utilisation de la pompe de charge

Lors de la simulation, lorsque $F_{div}=F_{ref}$ on obtient bien $I_{out} = 0$. Quand $F_{div}<F_{ref}$, la pompe de charge délivre bien un courant $I_{out} = 100\mu A$ pendant le déphasage. Lorsque $F_{div}>F_{ref}$, la pompe de charge délivre un courant $I_{out} = -100\mu A$ pendant le déphasage.

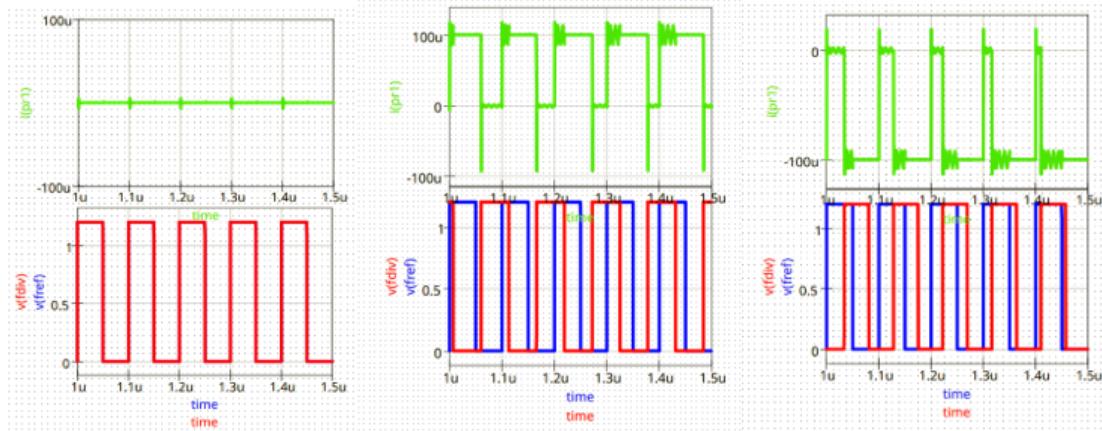
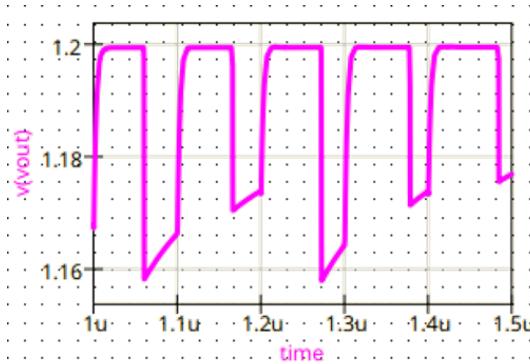
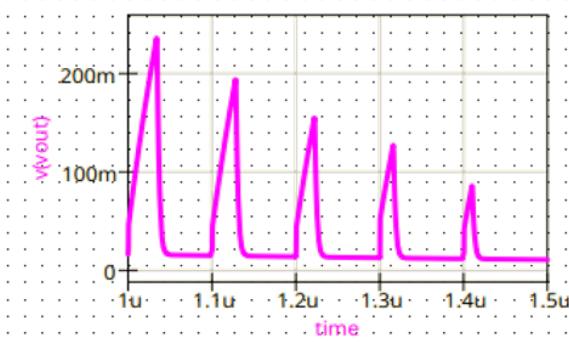


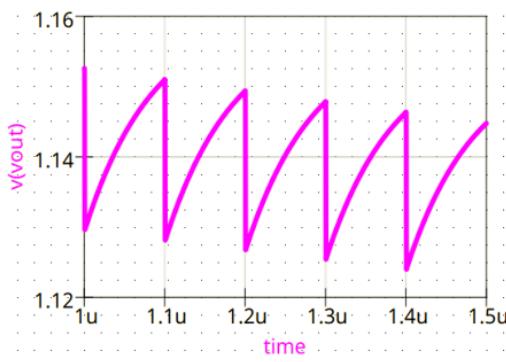
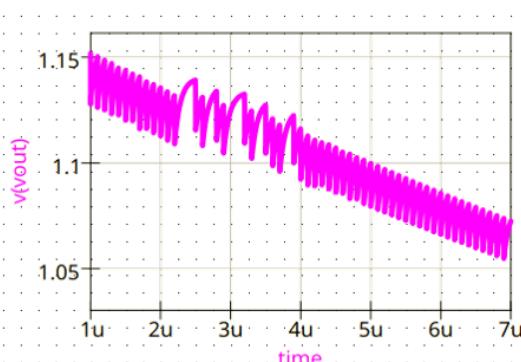
Figure 87 : Résultats de simulation des cas d'utilisation de la pompe de charge

7.1.3 Performances

Une fois la pompe de charge dimensionnée, on obtient les tensions de commande du VCO suivantes en sortie du montage complet.

Figure 88 : Courbe de V_{vco} lorsque $F_{div} < F_{ref}$ Figure 89 : Courbe de V_{vco} lorsque $F_{div} > F_{ref}$

Pour $F_{div} = F_{ref}$, la tension V_{vco} n'arrive pas à se stabiliser :

Figure 90 : V_{vco} lorsque $F_{ref} = F_{div}$ Figure 91 : V_{vco} lorsque $F_{ref} = F_{div}$ sur 7 μs

En effet, dans ce cas, la fréquence est réglée sur la fréquence de référence donc la tension de commande doit être stable pour que la fréquence se bloque sur la fréquence de référence.

7.1.4 Tableau récapitulatif

Voici le tableau récapitulatif des caractéristiques de dimensionnement du montage PFD + PDC + Filtre :

$L(\mu\text{m}) = L_{min}$	0,13
$W(\text{PMOS cellules logiques 1X}) = 2 * W_{min} (\mu\text{m})$	0.3
$W(\text{NMOS cellules logiques 1X}) = W_{min} (\mu\text{m})$	0.15
$W(T1) (\mu\text{m})$	1.7
$W(T2) (\mu\text{m})$	1.55
$W(T3) (\mu\text{m})$	0.9

W(T4) (μm)	0.35
C1 (pF)	0.88
C2 (pF)	11.4
R (kOhms)	104

7.2 Layout

7.2.1 Listes des pins (In/Out)

Pour les **standard cells** :

- VDD
- GND
- VIN (+ VINB + VINC)
- VOUT

Pour la bascule D :

- D
- Q
- RESET

Pour la pompe de charge :

- VDD
- GND
- VVCO
- FDIV
- FREF

7.2.2 Vue layout

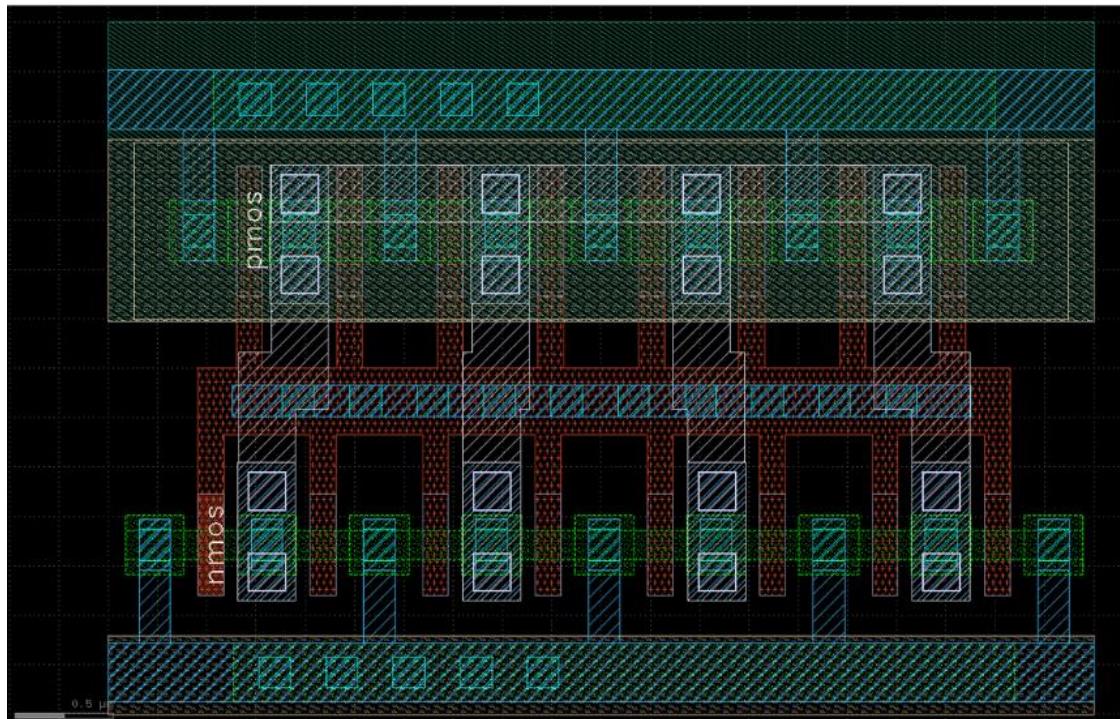


Figure 92 : Layout de la porte NON 8X

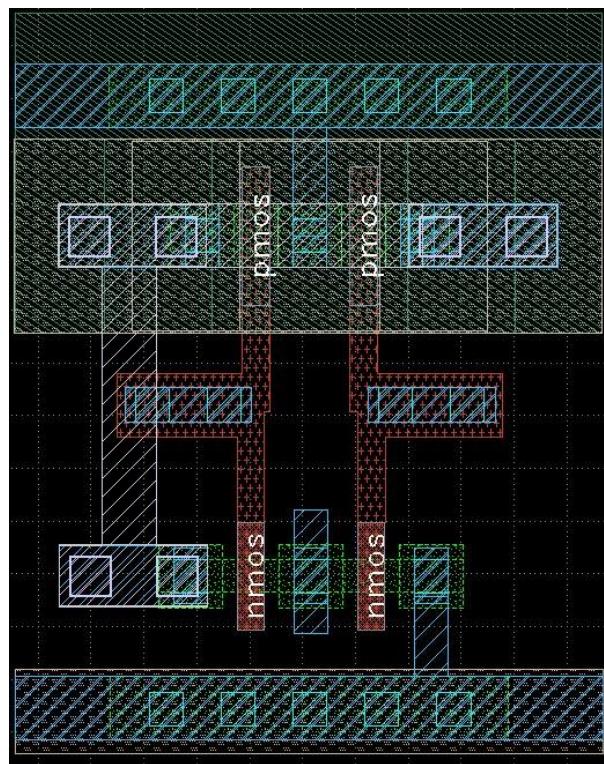


Figure 93 : Layout de la porte NAND à 2 entrées

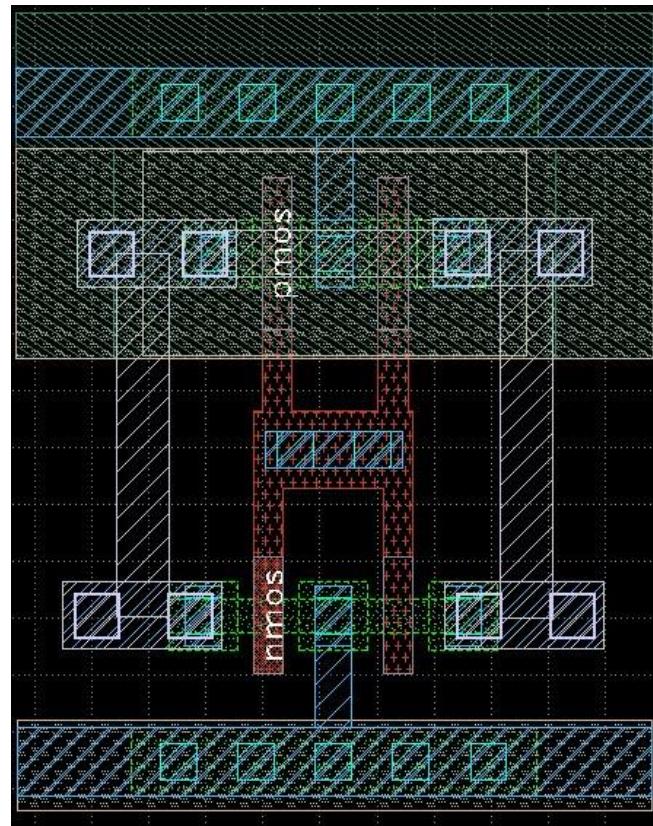


Figure 94 : Layout de la porte NON 2X

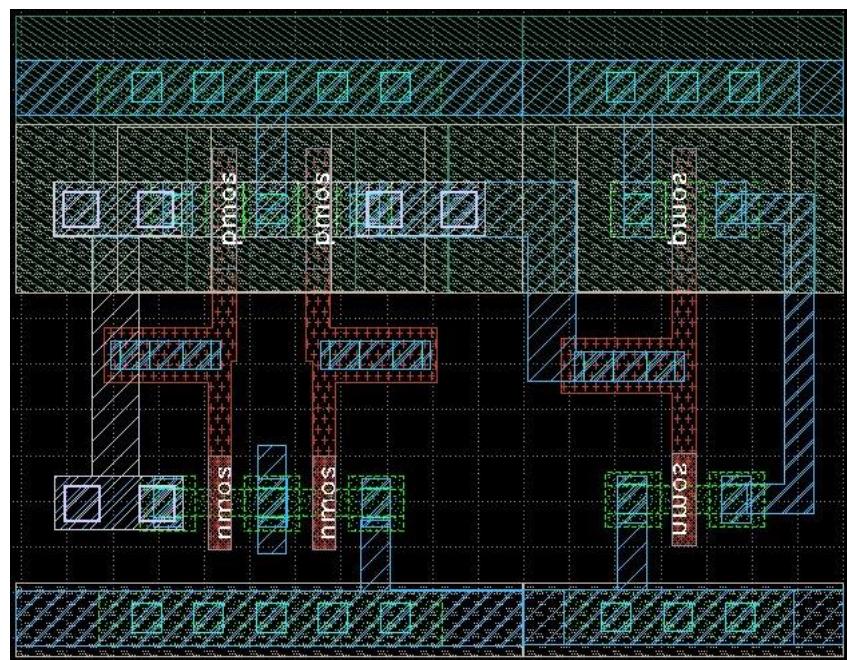


Figure 95 : Layout de la porte AND

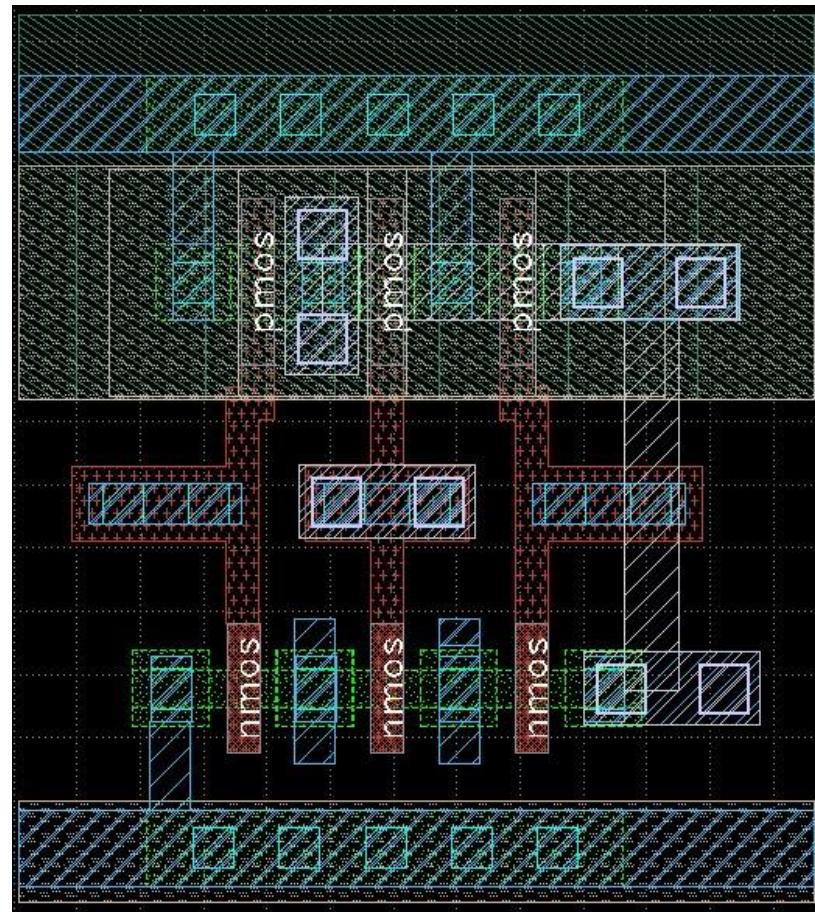


Figure 96 : Layout de la NAND 3 entrées

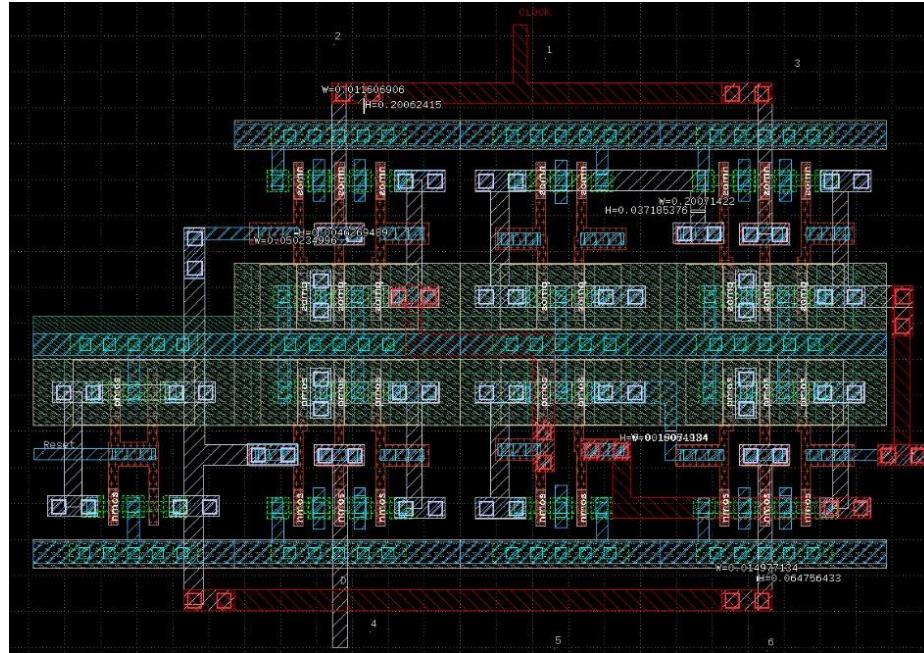


Figure 97 : Layout de la bascule D

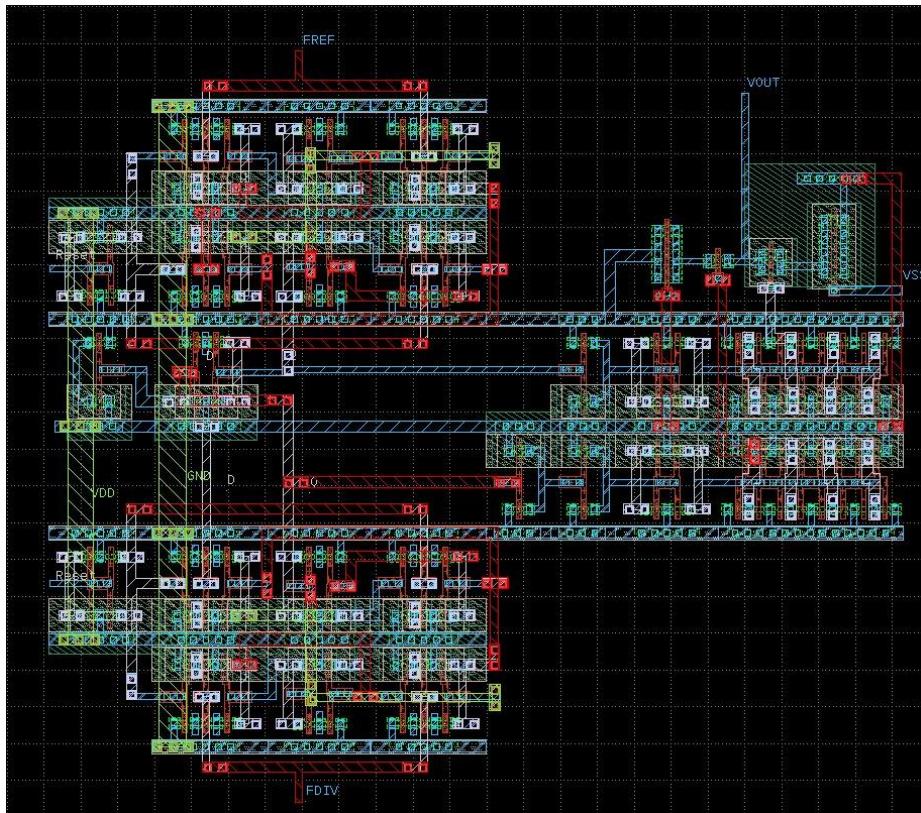


Figure 98 : Layout de la pompe de charge

La surface totale de la pompe de charge est $S = W \times L = 23.2 \times 17.8 = 417 \mu\text{m}^2$

8 Diviseur de fréquence

8.1.1 Schéma de principe et équations

Un diviseur de fréquence est un circuit électronique qui réduit la fréquence d'un signal d'entrée en un signal de sortie plus lent. Il fonctionne en comptant les impulsions du signal d'entrée et en produisant une impulsion de sortie après un nombre fixe de cycles. Dans notre cas, nous cherchons à réaliser un diviseur par 256 venant diviser un signal d'entrée à 2,4 GHz pour qu'il devienne un signal de sortie à environ 9,375 MHz. Ce circuit vient s'intégrer entre le VCO et la pompe de charge dans le bloc PLL de notre projet. En réalité, dans notre design, le diviseur par 256 se compose de plusieurs diviseurs de fréquence par 2. Pour des raisons techniques, la plupart de ces diviseurs par deux sont des diviseurs de fréquence digitaux dont voici le schéma :

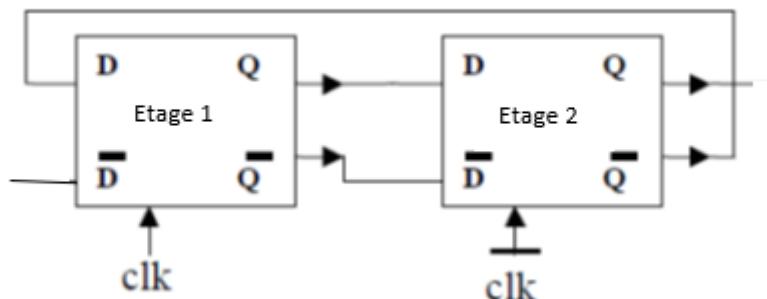


Figure 99: schéma du diviseur digital

D'après le schéma ci-dessus, un diviseur de fréquence par 2 digital se compose d'une bascule D dont l'entrée D est reliée à la sortie Q inversée (rebouclage avec un inverseur). À chaque front d'horloge, la bascule change d'état, divisant ainsi la fréquence par 2.

Si on chaîne deux bascules D, la première bascule alterne son état à chaque front d'horloge et la seconde bascule recopie simplement cet état avec un cycle de retard permettant de diviser par deux le signal d'horloge. On obtient ainsi un diviseur par 2.

En revanche, le premier diviseur par 2 de notre diviseur par 256 est un diviseur de fréquence analogique composé de transistor MOSFET de la technologie IHP. Voici le schéma :

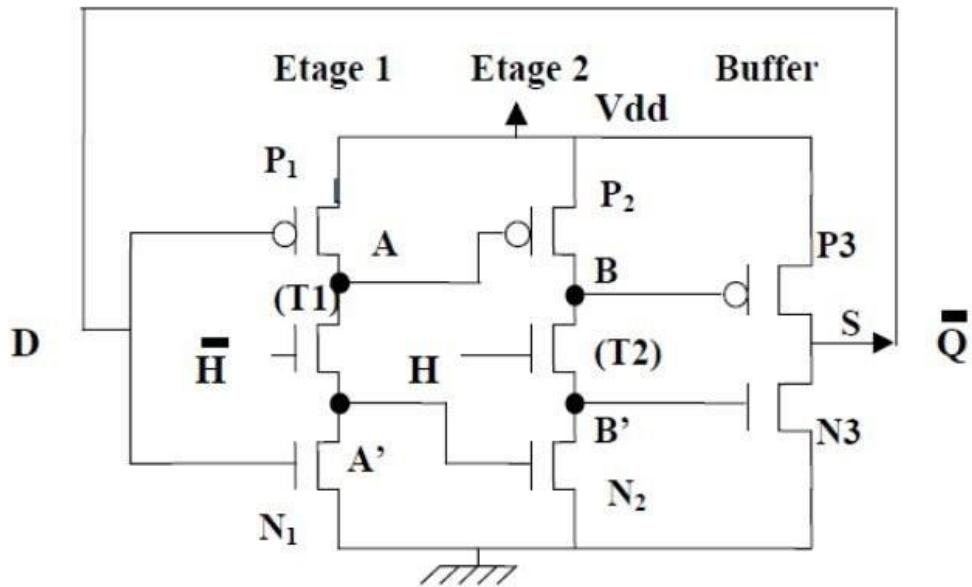


Figure 100: schéma du diviseur analogique

Dans le schéma ci-dessus, nous pouvons observer deux bascules (étage 1 et 2) suivis d'un buffer (étage 3). Les bascules alternent entre deux états à chaque front d'horloge : lorsqu'il est en mode inverseur, c'est-à-dire lorsque le signal d'horloge vaut 1, la bascule change d'état à chaque impulsion. En revanche, lorsqu'il passe en mode mémoire, il maintient son état quel que soit le signal d'entrée, ce qui permet de figer temporairement la sortie. Ainsi les deux bascules mis bout à bout et connecté chacun à un signal d'horloge de phase opposé permet d'obtenir la table de vérité suivante (en prenant $V_{boucle} = 0$ en condition initiale) :

H	H	A	B	S
1	0	1	X	X
0	1	1	0	1
1	0	0	0	1
0	1	0	1	0
1	0	1	1	0

Nous pouvons remarquer que la fréquence de sortie est bien la fréquence d'horloge divisée par deux sur un cycle.

Une fois les circuits chainés, la fréquence se divise par deux à chaque passage de diviseurs ce qui provoque une division par 256 quand on en chaîne 8 à la suite.

8.1.2 Dimensionnement et simulation

Nous devons respecter les caractéristiques suivantes pour le dimensionnement :

$F_{in}(\text{GHz})$	2,45
$F_{out}(\text{MHz})$	10
$V_{DD}(V)$	1.2

Dimensionnement du diviseur analogique

Nous avons procédé à une étude étage par étage, en nous appuyant sur les contraintes de fonctionnement attendues à chaque nœud du circuit, tant en termes de niveau que de moment d'apparition du signal. À l'issue de cette analyse, nous avons ajouté un buffer en sortie pour assurer la charge de sortie. Ce buffer a finalement été conservé car il s'est révélé utile pour filtrer le signal analogique et en améliorer la forme, le rapprochant d'un signal créneau exploitable par les diviseurs numériques situés en aval.

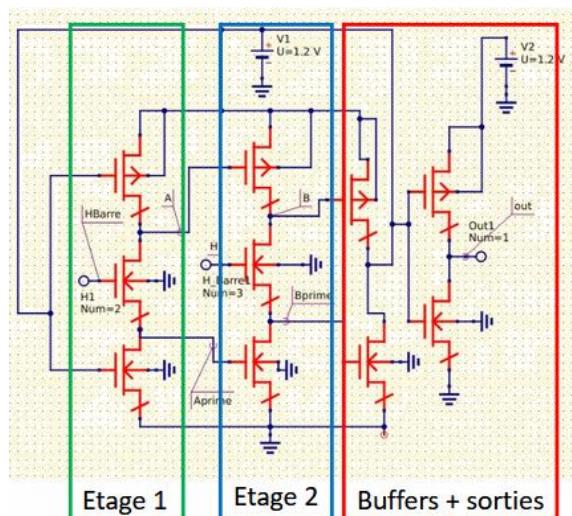


Figure 101: schéma diviseur analogique

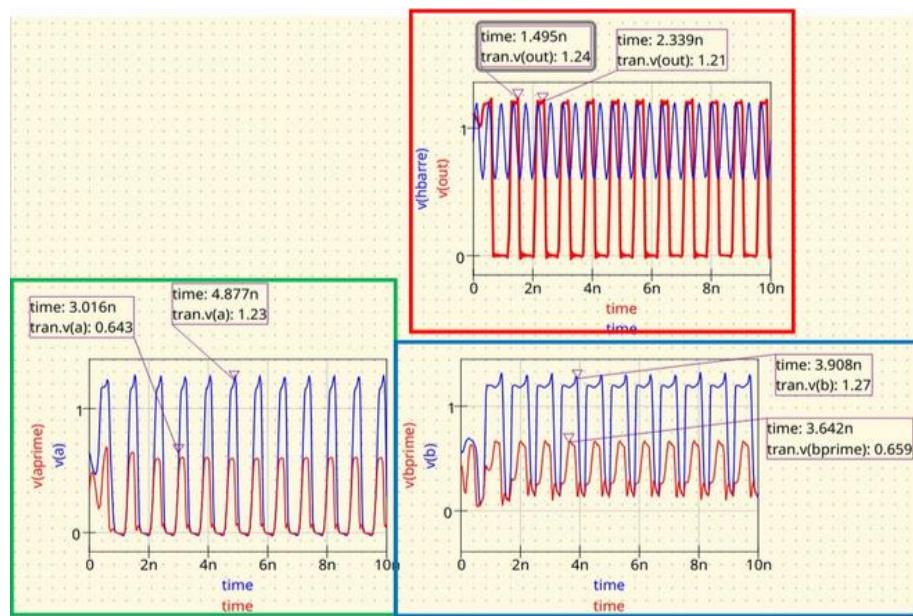


Figure 102 Points d'analyse intermédiaires pour l'étude du diviseur étage par étage

Dimensionnement du diviseur de fréquence numérique

Nous avons dimensionné le diviseur de fréquence en procédant de manière progressive et hiérarchique. Dans un premier temps, nous avons conçu chaque porte logique et chaque bascule individuellement, en vérifiant à chaque étape que le signal obtenu correspondait bien aux attentes en termes de forme, de fréquence et de synchronisation.

Une fois les blocs de base validés, nous avons créé des symboles hiérarchiques pour encapsuler ces fonctions, ce qui nous a permis de construire progressivement des sous-ensembles de plus en plus complexes. Cette méthode d'imbriuation modulaire nous a conduit à la réalisation complète du schéma du diviseur de fréquence, fonctionnel et propre, facilitant par la suite la simulation et l'intégration dans le système global.

Chaînage des diviseurs pour obtenir une division par 256

Une fois les diviseurs élémentaires validés, nous avons procédé au chaînage des blocs pour réaliser une division complète par 256. Cela consiste à connecter en série un diviseur analogique, suivi de sept diviseurs numériques de fréquence par 2.

Nous avons intégré ces blocs progressivement, en les ajoutant un par un afin de tester à chaque étape le bon fonctionnement du signal en sortie. Au cours de cette phase, nous avons constaté une dégradation progressive du signal, notamment en termes de netteté des transitions logiques. Pour y remédier, nous avons ajouté des buffers entre les diviseurs numériques, ce qui a permis de restaurer les fronts du signal, d'éviter les pertes de niveau logique, et de garantir une bonne fiabilité de la chaîne complète de division.

8.1.3 Performance

Nous avons pu venir à bout des différents diviseurs de fréquence. Voici les résultats obtenus pour chacun.

Diviseur de fréquence analogique :

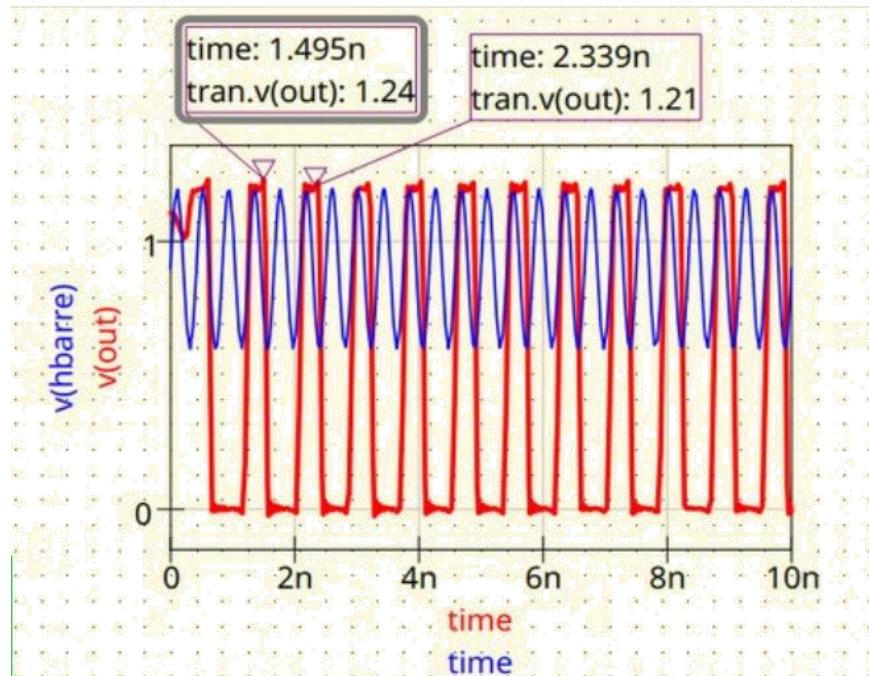


Figure 103 Résultat du diviseur de fréquence analogique

Après avoir appliqué un signal d'entrée sinusoïdal de fréquence similaire à celle du VCO (soit environ 2,4 GHz), nous avons observé le signal en sortie du diviseur par 2. En mesurant la période entre deux fronts du signal de sortie (2,339 ns – 1,495 ns), nous obtenons une période de 0,844 ns, ce qui correspond à une fréquence de :

$$\frac{1}{(2.339 - 1.495) \cdot 10^{-9}} = 1.17 \text{ GHz}$$

Cette fréquence est bien proche de la moitié de la fréquence d'entrée, ce qui valide le fonctionnement correct du diviseur par 2 dans ce contexte.

Diviseur de fréquence digital :

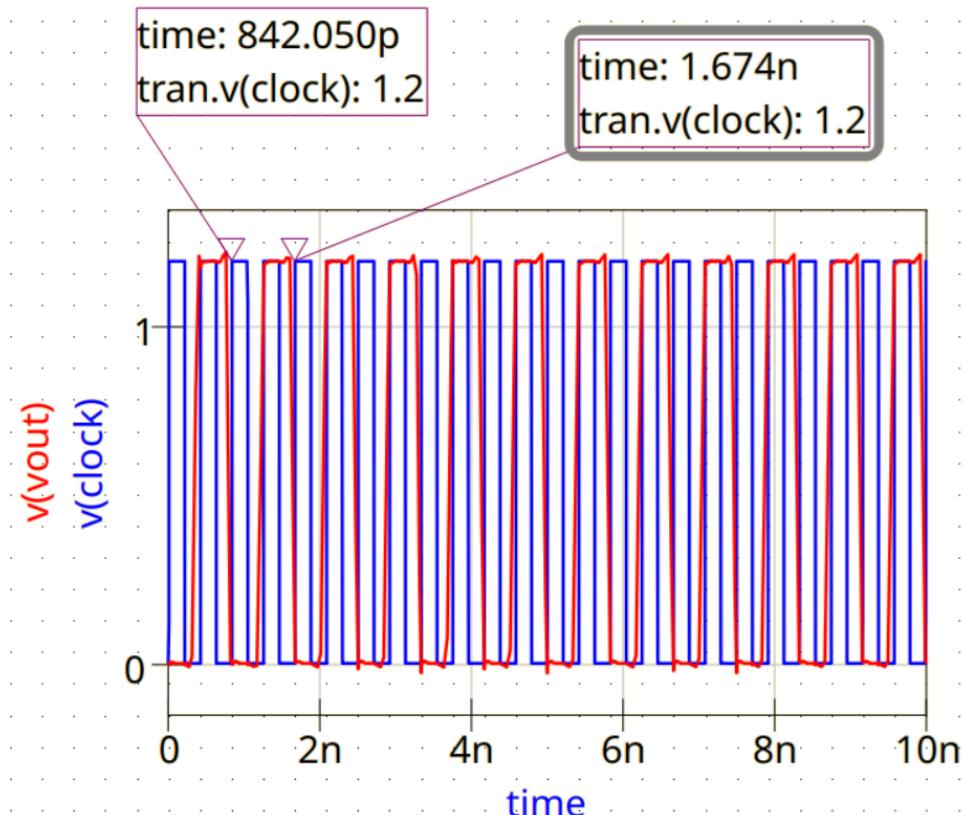


Figure 104: Résultat du diviseur digital

Après avoir appliqué un signal créneau en entrée, de période 0,2 ns, soit une fréquence de 2.4 GHz, nous avons observé la sortie du diviseur.

La mesure entre deux fronts du signal de sortie donne une période de 1,674 ns – 0,742 ns = 0,932 ns, soit une fréquence de :

$$\frac{1}{(1.674 - 0.742) \cdot 10^{-9}} = 1.11 \text{ GHz}$$

La fréquence de sortie est donc environ la moitié de la fréquence d'entrée, ce qui confirme que le diviseur par 2 fonctionne correctement, même avec un signal créneau rapide.

Diviseur de fréquence par 256 :

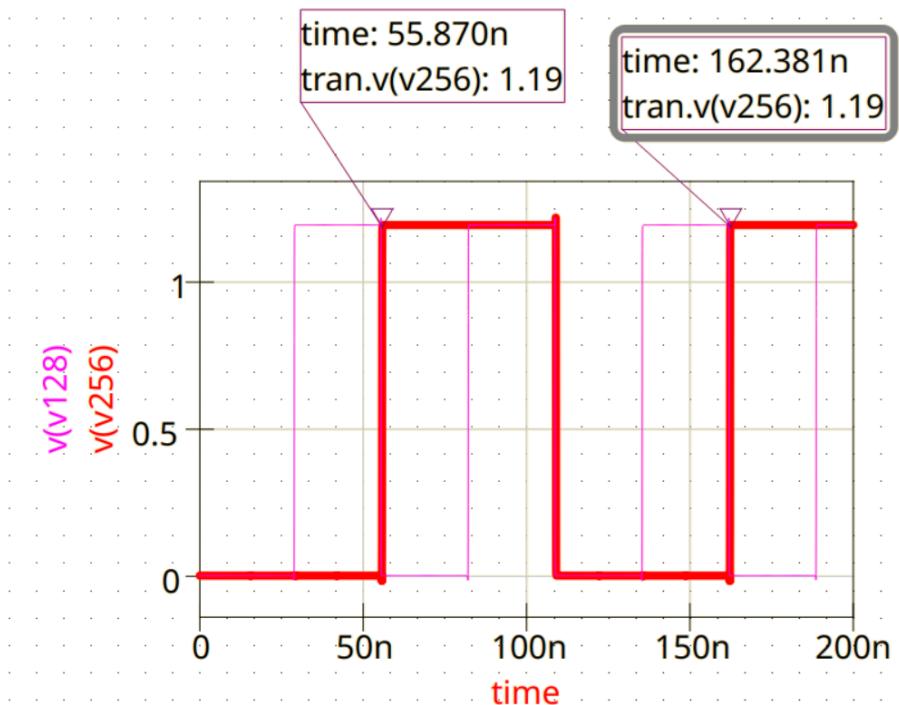


Figure 105: Résultat du diviseur par 256

Après avoir cascadé l'ensemble des diviseurs pour réaliser une division par 256, la mesure de la période sur le signal de sortie, donnée par $162,381 \text{ ns} - 55,870 \text{ ns} = 106,511 \text{ ns}$, correspond à une fréquence de :

$$\frac{1}{(162.381 - 55.870).10^{-9}} = 9.39 \text{ MHz}$$

Cette valeur est cohérente avec la division attendue d'un signal d'entrée à 2,4 GHz divisé par 256 (soit environ 9,375 MHz), ce qui confirme le bon fonctionnement global du diviseur en cascade.

8.1.4 Tableau récapitulatif

Diviseur de fréquence analogique :

L(μm)	0,13
W(P1,P2) (μm)	30
W(N1,T1, N2, T2) (μm)	15
W(N3,N4) (μm)	10
W(P3,P4) (μm)	20

P représente PMOS, N représente NMOS, et T représente les transistors de jonction des bascules et le numéro correspond à l'étage du circuit analogique

Diviseur de fréquence digital :

L(μm)	0,13
W(PMOS) (μm)	0.3
W(NMOS) (μm)	0.15

8.2 Layout

8.2.1 Listes des pins (In/Out)

Pour le **diviseur par 2 signal sinusoïdal** :

- CLK
- CLK_BARRE
- VOUT

Pour le **diviseur par 2 numérique** :

- VIN
- VOUT

Pour le **diviseur par 256** :

- VIN
- VOUT

8.2.2 Vue layout

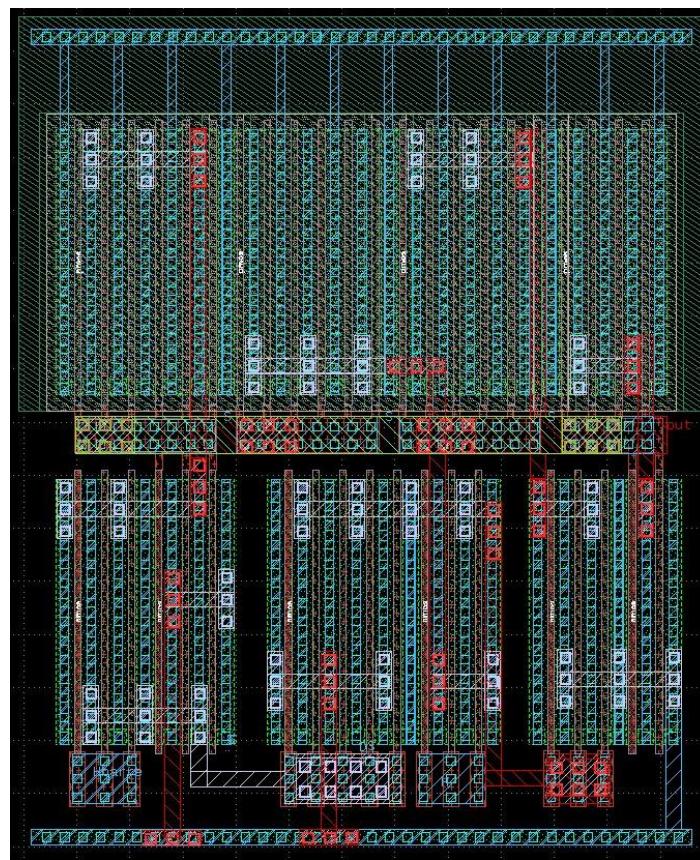


Figure 106 : Diviseur par 2 signal sinusoïdal

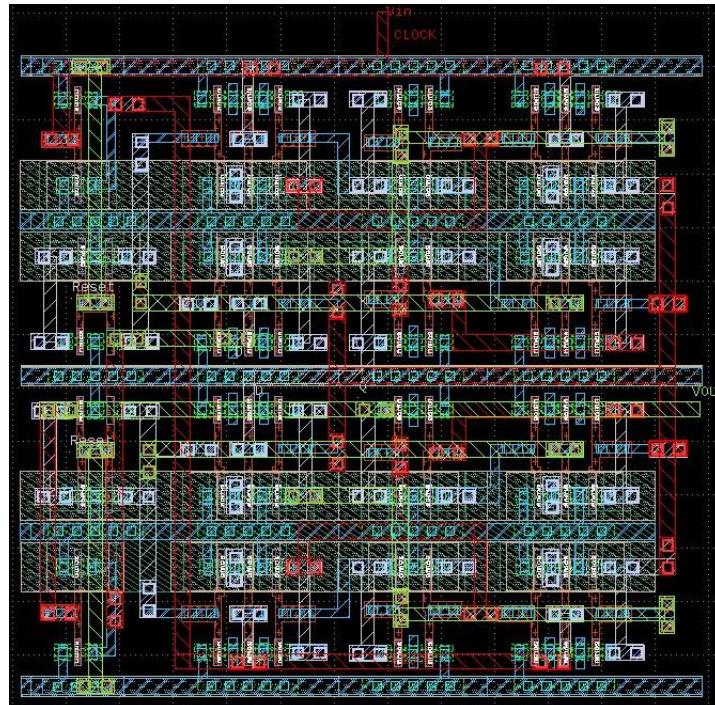


Figure 107 : Diviseur par 2 numérique

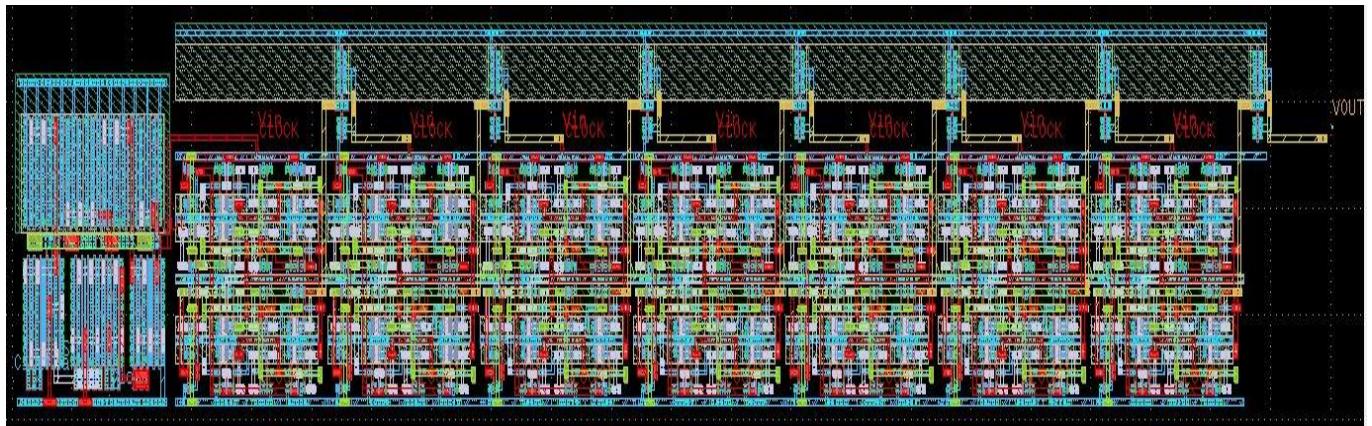


Figure 108 : Diviseur par 256 en chainant 1 diviseur sinusoïdal et 7 diviseurs numériques

La surface totale du diviseur par 256 est $S = W \times L = 104.2 \times 18.1 = 1886 \mu\text{m}^2$

9 Chainage PLL analogique

La boucle à verrouillage de phase (PLL) est un circuit utilisé pour synchroniser la phase d'un oscillateur avec celle d'un signal de référence. Elle comprend quatre blocs principaux : un comparateur de phase qui mesure l'écart entre les deux signaux, un filtre passe-bas qui nettoie le signal d'erreur, un oscillateur commandé en tension (VCO) qui ajuste sa fréquence en fonction de la tension reçue, et un diviseur de fréquence qui adapte la sortie pour maintenir le verrouillage.

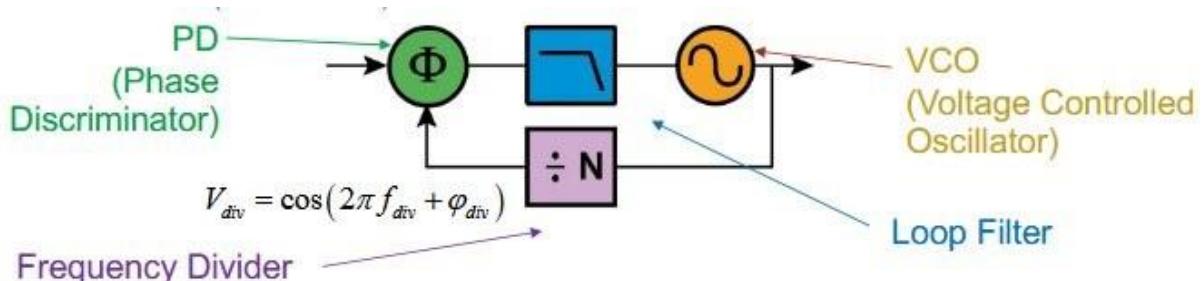


Figure 109 : Schéma du chaînage de la PLL

Dans notre circuit, le signal de référence est fourni par une source créneau de 10 MHz, représentant un quartz. Ce signal est comparé à la sortie du diviseur par le comparateur de phase. L'écart mesuré pilote une pompe de charge intégrant un filtre passe-bas, produisant une tension continue pour commander le VCO. Figure 110

Voilà le schéma que nous avons réalisé sur Qucs pour valider la simulation :

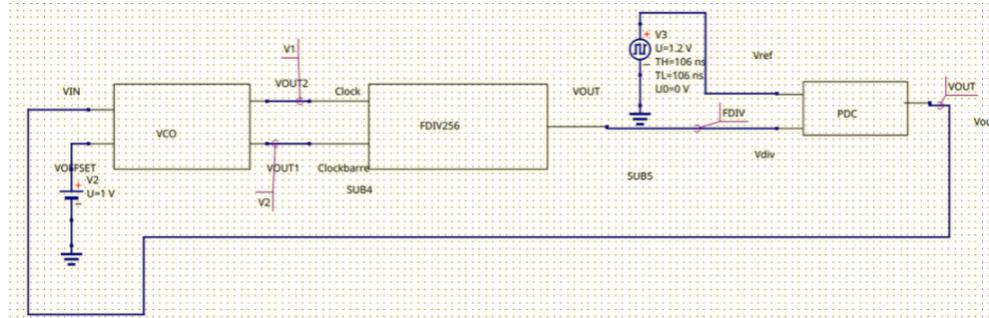


Figure 111 : Schéma du chaînage de la PLL sur Qucs

Protocole :

Le VCO délivre un signal sinusoïdal dont la fréquence varie avec la tension de commande, avec un offset de 0,6 V pour garantir un fonctionnement dans sa zone active. Ce signal est ensuite envoyé au diviseur de fréquence par 256, qui génère un signal créneau plus lent, utilisé à la fois en sortie et en retour vers le comparateur de phase. Cette approche a posé des difficultés : la simulation complète sur une longue durée provoquait un crash de Qucs. Nous avons tenté de contourner ce problème en simulant plusieurs laps de temps séparément, avec des décalages, mais cette méthode n'a pas non plus abouti. En

l'état, le fonctionnement de la PLL semble cohérent et à priori correct, mais la simulation n'a pas permis de le vérifier pleinement.

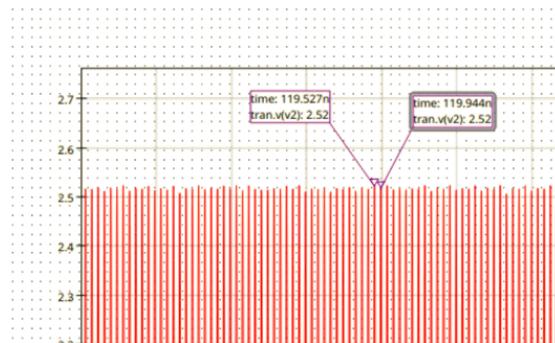


Figure 112 : Résultat du VCO chaîné

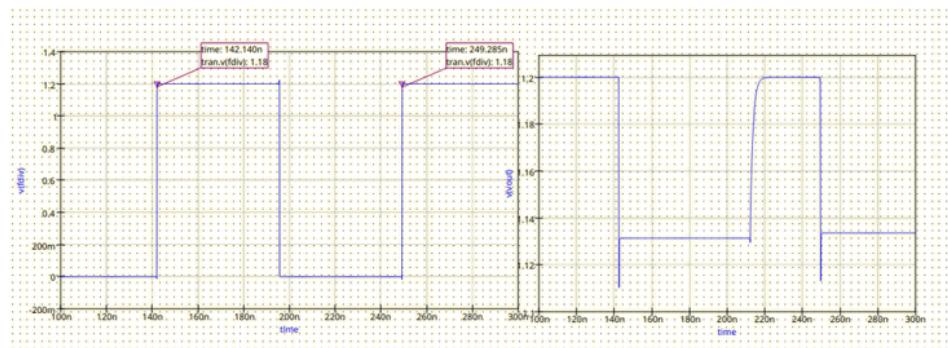


Figure 113 : Résultats du diviseur de fréquence (à gauche) et de la pompe de charges chainés

Voici les résultats obtenus pour la PLL : le VCO fonctionne à 2,4 GHz pour une tension initiale nulle, et le diviseur de fréquence réduit la fréquence d'environ 256 fois. En revanche, il n'a pas été possible d'observer de manière concluante le comportement de la pompe de charge. En effet, au début de l'adaptation de fréquence, la PLL démarre avec une tension de 1,2 V pour se rapprocher progressivement de la bonne tension de 0,6 V, mais le temps de simulation disponible est insuffisant pour visualiser complètement ce processus.

10 PLL Verilog-A

10.1 Design et simulations

Nous avons commencé par dimensionner le filtre de boucle et le courant de la pompe de charge à partir de l'étude système réalisée l'année dernière. L'objectif était d'avoir une marge de phase M_p de 60 degrés et une fréquence de coupure 20 fois inférieure à la fréquence du quartz tout en faisant une estimation réaliste du gain du VCO. Nous sommes partis avec les spécifications initiales suivantes :

- une fréquence du quartz autour de 10 MHz,
- un facteur de division en sortie du VCO N de 256,
- et un facteur de division en sortie de la fréquence de quartz M de 1.

Étant donné la technologie ZigBee, notre VCO à une fréquence de fonctionnement entre 2.4 GHz et 2.5 GHz et nous avons choisis une tension de 1.2 V.

10.1.1 Schéma de principe et équations

Le courant de la pompe de charge a été fixé à $I_0 = 100 \mu A$.

Dans un premier temps nous avons estimé le gain du VCO. Nous sommes partis sur un gain autour de 90 MHz/V mais grâce à la modélisation en Verilog-A du VCO, nous nous sommes rendu compte que ce gain était trop faible. Nous avons donc révisé notre gain de VCO et en partant du principe que notre VCO fonctionne de 2.4 GHz jusqu'à 2.5 GHz nous avons pu estimer notre nouveau gain à 524 MHz/V grâce à la formule suivante :

$$K_0 = \frac{\omega_{max} - \omega_0}{Ampl}$$

Avec : $\omega_0 = 2 \cdot \pi \cdot f_0$ ($f_0 = 2.40 \text{ GHz}$) ; $\omega_{max} = 2 \cdot \pi \cdot f_{max}$ ($f_{max} = 2.50 \text{ GHz}$) ; $Ampl = 1.2 \text{ V}$

Pour dimensionner les composants du filtre nous avons utilisé les formules du cours en procédant comme suit :

- Calcul de ω_c correspondant à la pulsation de la fréquence de coupure :

$$\omega_c = \frac{2 \cdot \pi \cdot f_{quartz}}{20}$$

- Calcul de ω_p :

$$\omega_p = \frac{\omega_c}{\frac{1}{\cos(M_p)} - \tan(M_p)}$$

- Calcul de ω_z :

$$\omega_z = \frac{\omega_c^2}{\omega_p}$$

- Calcul de C1 :

$$C1 = \frac{\omega_z \cdot K_0 \cdot I_0}{\omega_p \cdot \omega_c^2 \cdot N \cdot 2 \cdot \pi} \cdot \frac{\sqrt{1 + \left(\frac{\omega_c}{\omega_z}\right)^2}}{\sqrt{1 + \left(\frac{\omega_c}{\omega_p}\right)^2}}$$

- Calcul de C2 :

$$C_2 = C_1 \cdot \left(\frac{w_p}{w_z} - 1 \right)$$

- Calcul de R :

$$R = \frac{1}{C_2 \cdot w_z}$$

Ce qui nous donne les résultats résumés dans les tableaux ci-dessous :

Paramètres	M_p [°]	M_p [rad]	f_{quartz} [MHz]	$f_{quartz}/20$ [kHz]	N	M	I_o [uA]	VDD [V]
Valeurs	60	1,05	10	500	256	1	100	1,2

Tableau des paramètres fixés

Paramètres	K_0 [MHz/V]	K_0/N [MHz/V]	ω_c [Mrad/s]	ω_p [Mrad/s]	ω_z [krad/s]	C1 [pF]	C2 [pF]	R [kΩ]
Valeurs	524	2,05	3,14	11,7	842	0,88	11,4	104

Tableau des paramètres calculés

Après avoir fait valider ces résultats, nous avons pu commencer le développement Verilog-A des différents blocs de la PLL. Nous avions convenu de concevoir les blocs de la pompe de charge, du comparateur de phase, du diviseur de fréquence et du VCO en Verilog-A et de concevoir le filtre directement avec les composants électriques dans Qucs-s. Nous verrons par la suite que certains blocs n'étaient pas interprétables par le logiciel Qucs-s depuis le Verilog-A et comment les différentes particularités ont été traitées et contournées.

10.1.2 Dimensionnement et simulation

Les différents blocs ont d'abord été développés en dehors de l'environnement du projet en attendant que les logiciels soient installés.

Lorsqu'il a fallu passer sur l'environnement du projet, nous nous sommes confrontés à un premier problème. L'interprète permettant de traduire le Verilog-A à Qucs-s est Openvaf. Le problème c'est qu'il ne fonctionne pas comme les interprètes utilisés habituellement. En effet, Openvaf ne prend pas en charge la gestion d'événement comme "@(cross ...)" qui cause une erreur lors de l'interprétation. Cela a posé un problème seulement au niveau du bloc du comparateur de phase et dans la première version du code du diviseur de fréquence. Nous avons dû trouver une alternative pour ces deux blocs.

En ce qui concerne le VCO et la pompe de charge, nous n'avons pas eu de problème au niveau de l'interprétation avec Openvaf. Après avoir interprété un fichier Verilog-A, Openvaf génère un fichier osdi et c'est ce fichier qui permettra l'implantation du bloc dans Qucs-s. C'est ici que la deuxième difficulté a été rencontrée. En effet, la marche à suivre pour planter le bloc et permettre au logiciel Qucs-s de faire un lien avec le fichier osdi n'est pas intuitive. Toute la démarche est précisée dans le PowerPoint "TUTO_guide_logiciels" dans la partie associée au Verilog-A.

Il faut d'abord utiliser le composant .spiceinit qui sert à donner le chemin vers le fichier .osdi à Qucs-s. Ce composant a posé un problème par la suite lorsque nous avons voulu utiliser un bloc développé en Verilog-A avec un bloc développé avec des composants issu du PDK. Le problème identifié était que le

.spiceinit du bloc Verilog-A écrasait les liens implicites entre les composants du PDK et leur fichier osdi propre. Il a fallu simplement rajouter une ligne de commande dans le composant .spiceinit du bloc Verilog-A pour inclure explicitement ces liens. La solution est plutôt simple mais l'environnement du PDK n'étant pas complètement référencé, certains comportements ne sont pas évidents d'un point de vue externe, pour arriver à cette solution de gros efforts ont été fourni notamment sur une analyse approfondie de chaque dossier composant la solution du PDK. Finalement, c'est en posant la question sur le Git-Hub que nous avons su qu'il existait des fichier osdi associés aux composants du PDK et qu'un lien implicite existait.

Ensuite, il faut utiliser le composant .MODEL pour créer une instance du bloc Verilog-A. Ce composant n'a aucun comportement particulier, il faut seulement penser à utiliser le même nom de module que celui dans votre code Verilog-A.

Il faut ajouter un composant "*SPICE generic device*" qui sera le bloc physique après tous les liens et interprétations réussi.

Une fois l'implémentation du VCO et de la pompe de charge réussi, nous avons pu les tester et les ajuster. Pour la pompe de charge, il n'y a pas eu de grande difficulté. Cependant, pour le VCO, nous nous sommes heurtés à un comportement spécifique de Qucs-s. En voulant agir sur la tension de sortie du VCO, dans notre code Verilog-A nous avions écrit le code "V(vout) <+ ..." qui est correct et fonctionne sur la plupart des logiciels standards. Le problème est que Qucs-s cherche à faire une différence de potentiel, cette syntaxe ne lui donne qu'un seul référentiel ce qui engendre une erreur lors de la simulation. Pour régler cette différence, nous avons pensé à ajouter un port VSS (potentiel à la masse) à notre VCO. De ce fait nous pouvons écrire "V(vout, vss) <+ ..." permettant à Qucs-s de faire la différence de potentiel et de réussir la simulation.

En ce qui concerne le comparateur de phase, le fait que Openvaf ne puisse pas gérer les événements a totalement compromis le développement en Verilog-A. Il a très tôt été décidé que ce bloc serait développé grâce à des cellules standards, développés par nos soins en parallèles, (portes logiques/Bascule D) directement dans l'environnement Qucs-s. Ces cellules standards étant composées d'éléments du PDK, c'est lors de l'assemblage de la pompe de charge avec le comparateur de phase qu'un des problèmes évoqués plus haut est apparu.

Pour le diviseur de fréquence, la gestion d'événement a pu être contournée. Nous avons voulu développer un compteur pour permettre la division. Le problème a été que Qucs-s ne permet pas de mémoriser les états des variables. À chaque itération chaque variable est réinitialisée. Nous n'avons trouvé aucun moyen pour contourner ce cas spécifique et avons décidé de développer ce bloc de la même manière que le diviseur de fréquence.

Finalement sur l'objectif initial de développer quatre blocs en Vérlig-A, et permettre ainsi une étude système autour de la PLL plus rapide, uniquement deux ont pu être développé de cette manière. Nous avons dû nous adapter en cours de route et l'objectif de permettre une étude système plus rapide n'a pas pu être réalisé en particulier à cause des particularités du logiciel Qucs-s, qui plus spécialisé pour de l'analogique plutôt que pour du numérique, mais aussi par les particularités de l'interpréteur Openvaf.

10.1.3 Performance

Le premier bloc que nous avons simulé et pour lequel nous avons eu des résultats fu la pompe de charge :

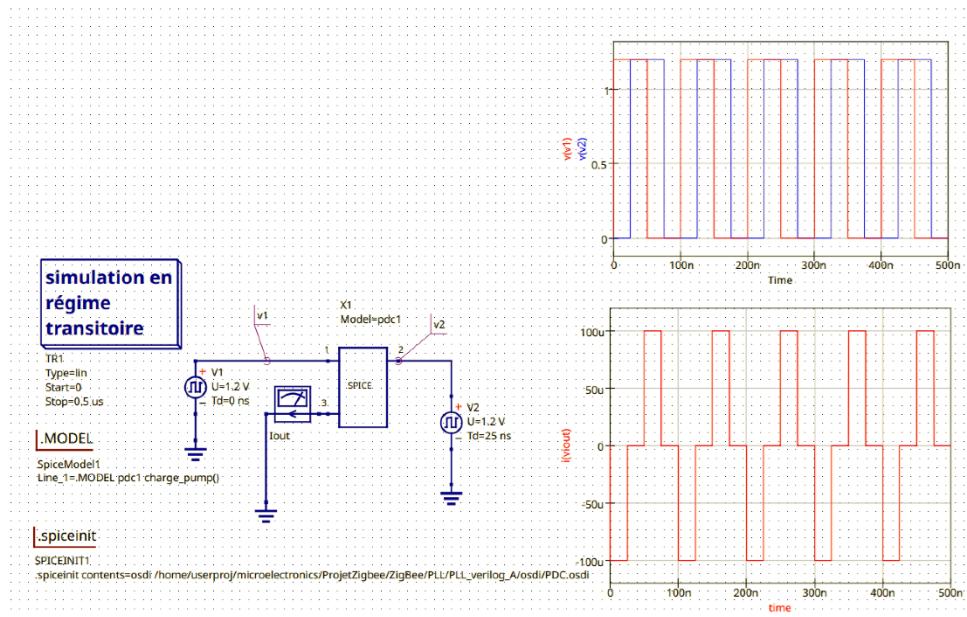


Figure 114 Résultat simulation pompe de charge Verilog-A

Pour simuler ce bloc en fonctionnement nous avons mis deux sources de tensions carrées (période de 0.1 us correspondant à 10 MHz et une amplitude de 1.2V). Les deux sources sont décalées de 25 ns, ainsi nous pouvons simuler chaque état possible comme nous pouvons le voir sur le premier graphe illustrant les deux signaux d'entrées. Le second graphe est celui du courant de sortie qui varie bien entre 100 uA et -100 uA, lorsque les signaux d'entrées ont des états différents, en passant par 0 A lorsque les signaux d'entrées ont le même état. Le bloc pompe de charge Verilog-A est ainsi validé de manière individuelle.

Le second bloc était donc le VCO. Celui-ci a d'abord été testé avec un gain de VCO K_0 erroné de 80 MHz/V :

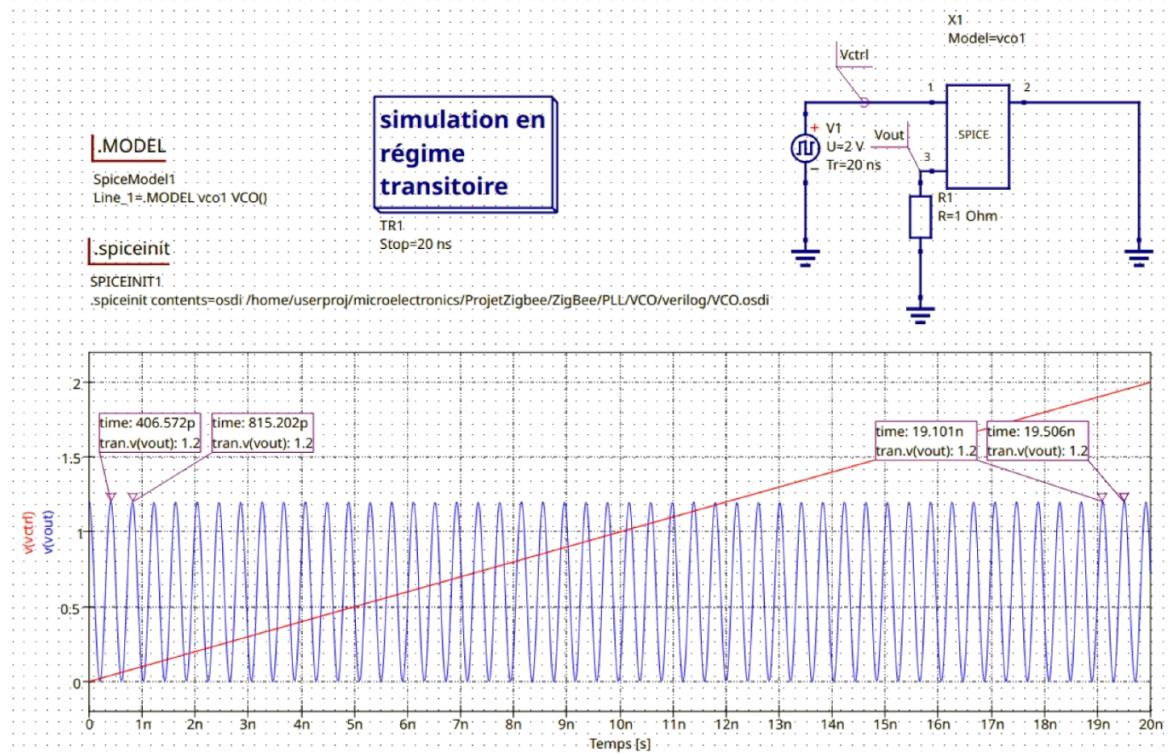


Figure 115 Résultat simulation VCO Verilog-A à gain et fréquence erronés (80 MHz/V et 2.45 GHz)

Pour simuler ce bloc en fonctionnement, nous avons mis une tension en forme de rampe en entrée du VCO évoluant de 0 V à 2 V sur 20 ns ce qui normalement est suffisant pour permettre au VCO de se stabiliser après la tension de seuil de 1.2 V.

Dans cette première simulation, nous avions pris comme fréquence de fonctionnement 2.45 GHz et un gain de 80 MHz/V. Ces deux erreurs expliquent pourquoi la période de départ du VCO est de 409 ps, ce qui correspond à 2.445 GHz, pour une tension nulle, et évolue jusqu'à une période de 405 ps, ce qui correspond à 2.47 GHz. Ces premiers résultats nous ont permis de confirmer le fonctionnement du VCO Verilog-A de manière individuelle mais sans le respect des spécifications qui sont une variation de 2.4 GHz, à tension nulle, jusqu'à 2.5 GHz, après stabilisation pour une tension supérieur ou égale à 1.2 V.

Nous avons donc réestimé le gain, cette fois ci avec un calcul comme exprimé plus haut. Nous sommes arrivés à une nouvelle estimation de 524 MHz/V :

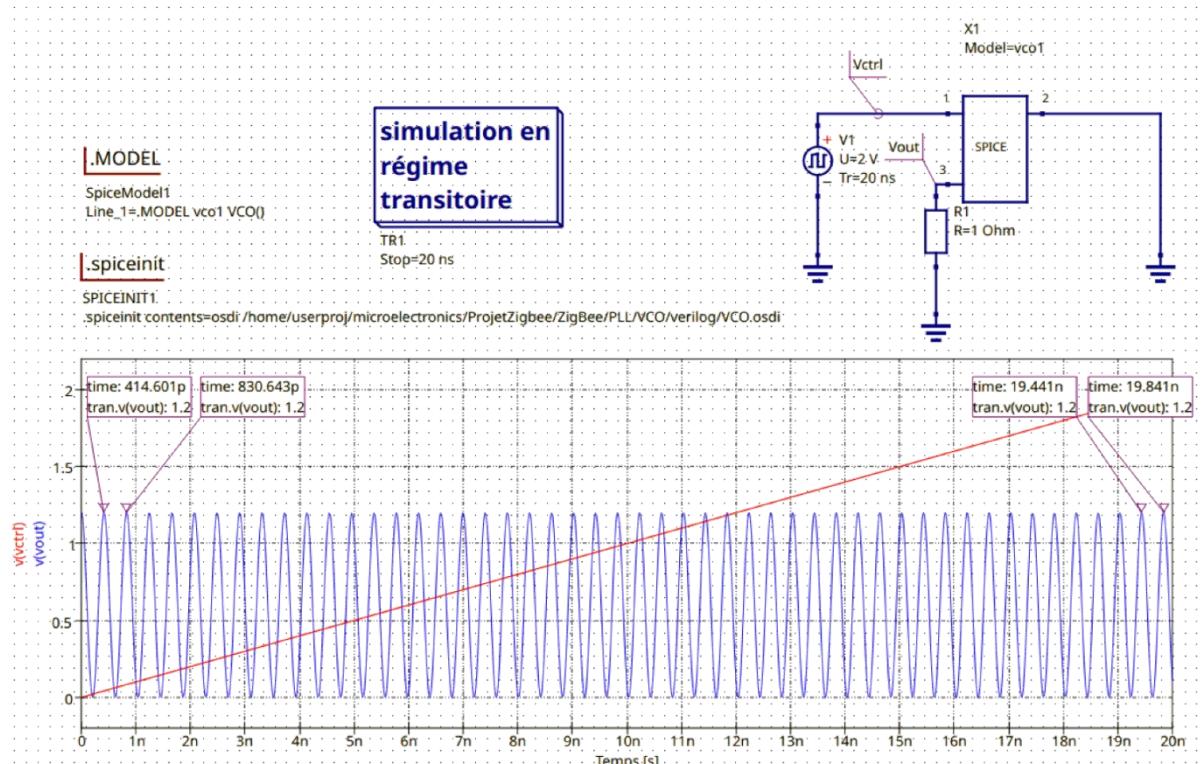


Figure 116 Résultat simulation VCO Verilog-A à gain et fréquence correct (524 MHz/V et 2.4 GHz)

Cette fois ci la période initiale est de 416 ps, correspondant à 2.4 GHz, et une période finale de 400 ps, correspondant à 2.5 GHz. Nous avons bien le fonctionnement d'un VCO avec la variation de la fréquence de sortie selon la tension de control tout en étant en accord avec les spécifications. Ce second bloc Verilog-A est ainsi validé complètement de manière individuelle.

En ce qui concerne le comparateur de phase et le diviseur de fréquence, nous avons fini par seulement les développés avec les cellules standards et ce sont les même que ceux utilisés dans la partie analogique.

Comme convenu initialement, le filtre utilise seulement des composants standards et a été directement développés dans Qucs-s dans les parties analogique.

Nous avons donc commencé l'assemblage des différents blocs, en commençant par le comparateur de phase assemblé à la pompe de charge :

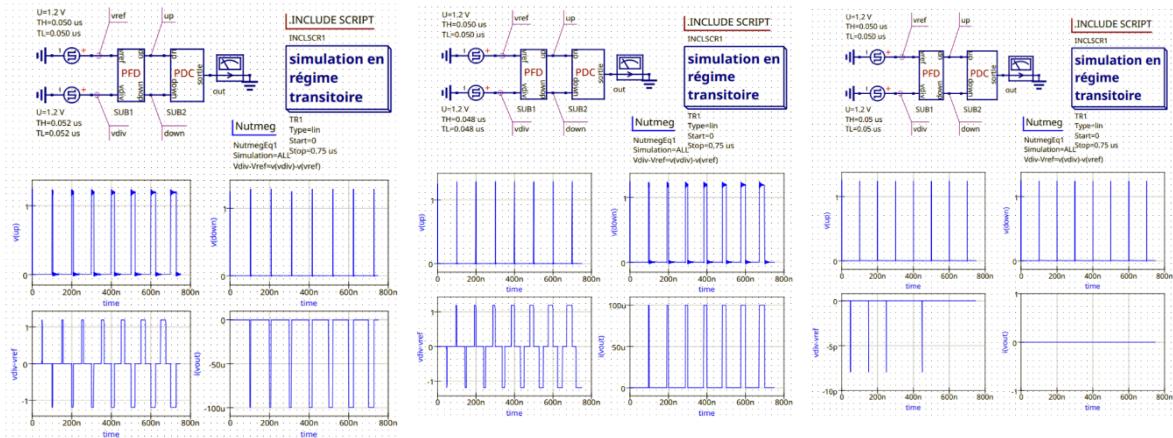


Figure 117 : Résultats simulation comparateur de phase (PFD) assemblé avec la pompe de charge (PDC)

Pour simuler ces deux blocs en fonctionnement, nous avons fixé une fréquence de référence à 10 MHz sur la première entrée du comparateur de phase, puis nous avons fait varier la fréquence du signal de la deuxième entrée pour simuler les 3 états possibles. Dans les quatre premiers graphes, la fréquence de la deuxième entrée est plus basse que celle de référence et on observe bien une activation du signal up mais pas du signal down, conduisant à un courant négatif sur la sortie de la pompe de charge tout en illustrant l'évolution de la phase entre les deux entrées.

Dans les quatre graphes qui suivent, la fréquence de la deuxième entrée est plus haute que celle de référence et on observe bien une activation du signal down mais pas du signal up, conduisant à un courant positif sur la sortie de la pompe de charge tout en illustrant l'évolution de la phase entre les deux entrées.

Dans les quatre derniers graphes, la fréquence de la deuxième entrée est égale à celle de référence et on n'observe qu'aucun des signaux up et down ne s'activent, conduisant à un courant nul en sortie de la pompe de charge.

Le comportement observé correspond au comportement attendu et on observe bien des glitches sur les signaux nuls présumant que les composants ont assez de temps entre chaque itération pour s'actualiser.

Pour les derniers tests incluant le VCO, nous avons décidé de diviser directement dans le code Verilog-A du VCO le signal par 256. Nous avons fait ce choix car nous avons rencontrés des problèmes de stabilité à haute fréquence lorsque nous assemblions tous les blocs incluant le bloc du diviseur de fréquence.

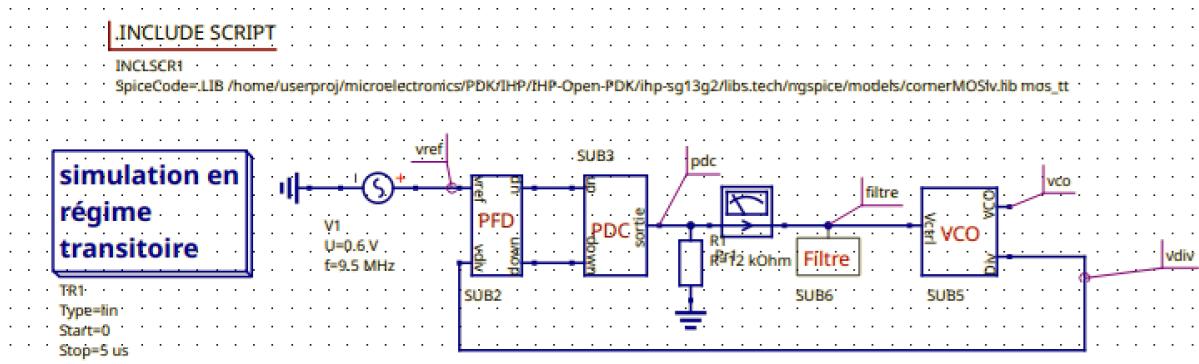


Figure 118 : Banc de test de la PLL numérique

Pour tester la PLL numérique (avec la division qui se fait directement au sein du VCO) nous avons mis un signal de référence de fréquence 9.5 MHz (ce qui correspond à une fréquence de VCO de 2.43 GHz et ce choix est totalement arbitraire). Une résistance en parallèle de 12 kOhms a été ajoutée au circuit pour ramener la tension en sortie de la pompe de charge autour de 1.2 V.

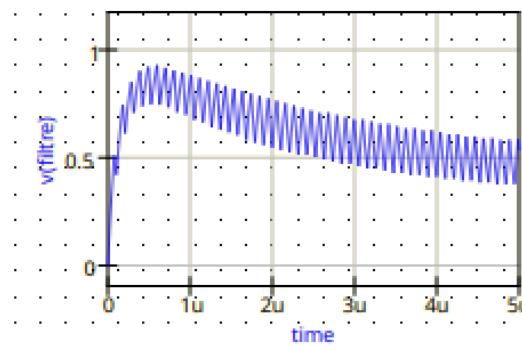


Figure 119 : Résultat simulation PLL numérique ; tension de contrôle du VCO (sortie du filtre)

La tension de contrôle se stabilise assez rapidement autour de 0.5 V ce qui permet de stabiliser la fréquence autour de la fréquence de référence de 9.5 MHz pour cet exemple.

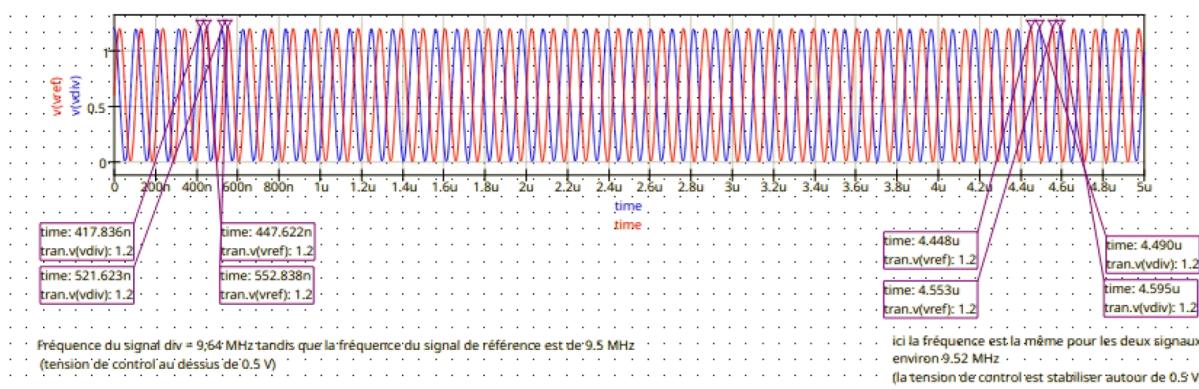


Figure 120 : Résultats simulation PLL numérique ; signal de référence & signal de sortie de VCO divisé

Comme on peut s'y attendre, au début de la simulation la fréquence du signal divisé est plus haute que celle du signal de référence (9.64 MHz contre 9.5 MHz) car la tension de contrôle n'est pas stabilisée et est au-dessus de 0.5 V. Vers la fin de la simulation, où la tension de contrôle est plus stabilisée autour de 0.5 V, on a bien la même fréquence (9.52 MHz avec les précisions des

marqueurs) entre le signal de référence et le signal divisé. Le fonctionnement de la PLL semble validé.

Figure 122 Résultats simulation PLL numérique ; tension de contrôle en fonction d'une fréquence de référence proche de la fréquence maximal puis proche de la minimal

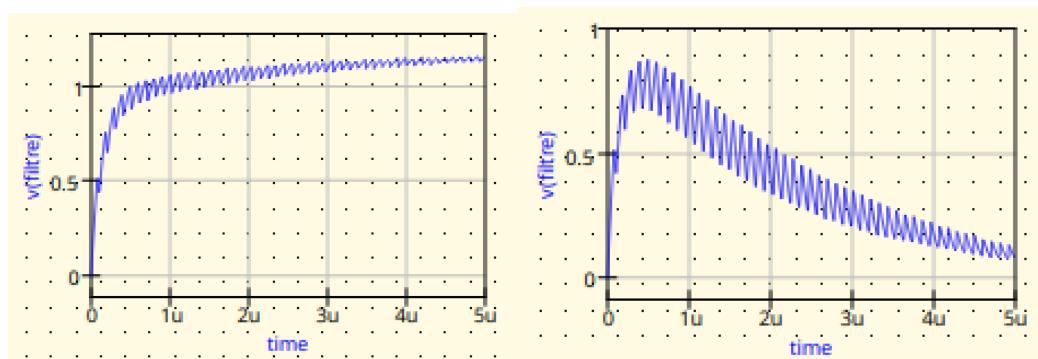


Figure 121

Pour tester la PLL, nous avons mis une fréquence de référence de 9.75 MHz (correspondant à la fréquence maximale de 2.5 GHz) puis une fréquence de référence de 9.375 (correspondant à la fréquence minimale de 2.4 GHz). On observe que la tension de contrôle se stabilise d'abord autour de 1.2 V pour la fréquence maximale puis autour de 0 V pour la tension minimale. Le fonctionnement de la PLL numérique est ainsi validé.

Le logiciel Qucs-s ne supportait pas les simulations au-delà de 5 us dans lors des tests de la PLL numérique.

11 Circuit complet : LNA GrilleCom – Mixer-Balun

Le bloc Rx est composé d'un LNA à grille commune suivie d'un mixer différentiel avec un balun en sortie. Le LNA amplifie le signal RF, tandis que le mixer assure la conversion de fréquence, et le balun transforme la sortie différentielle en single-ended.

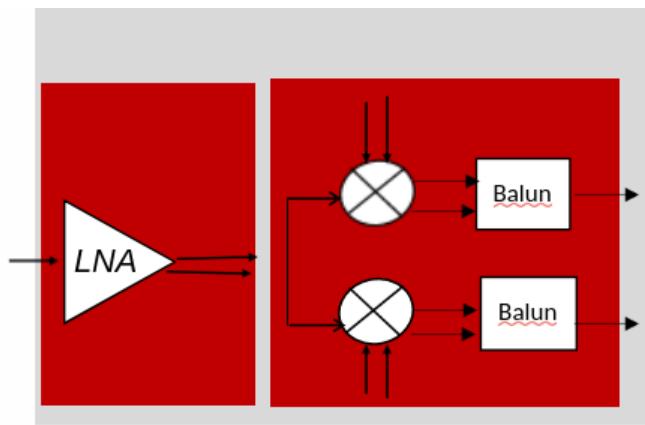


Figure 123 : Schéma théorique Rx

11.1 Simulation

En utilisant les blocs LNA, Mixer et Balun déjà conçus, nous les avons assemblés sous Qucs-S afin de constituer le bloc complet Rx. À partir du schéma obtenu, un symbole hiérarchique a été créé pour faciliter son intégration dans des simulations de plus haut niveau.

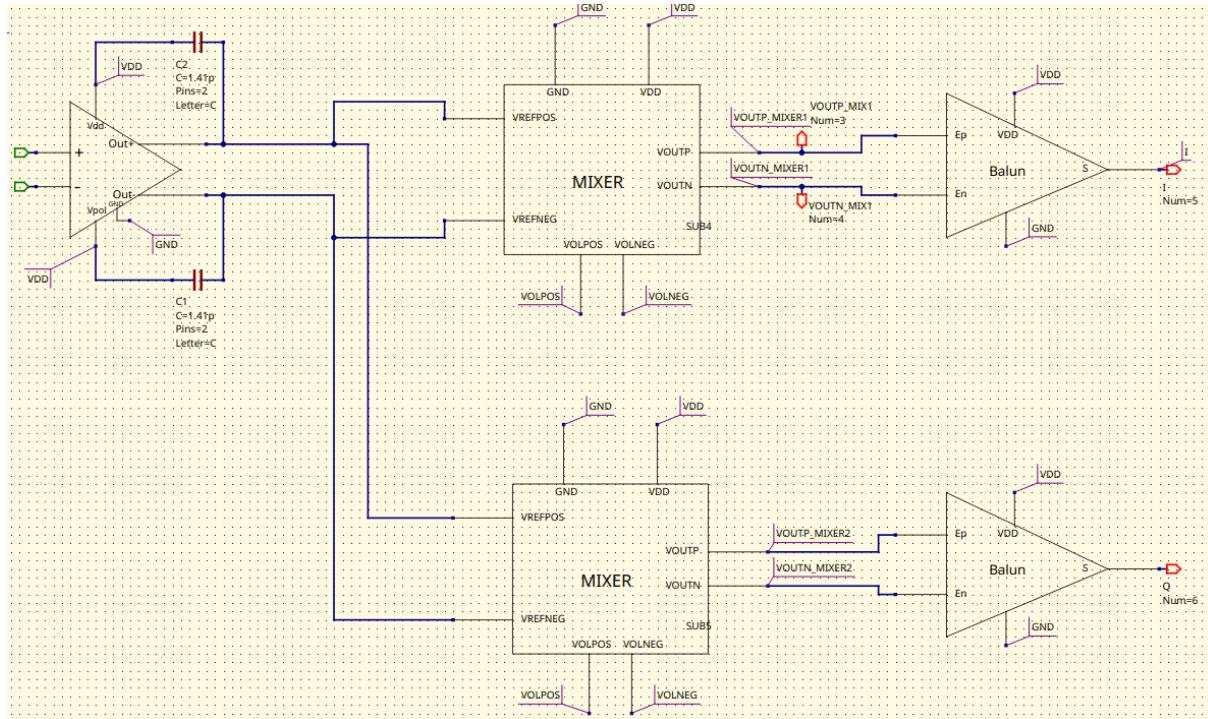


Figure 124 : Schéma sur Qucs-s Rx

11.1.1 Gain et Linéarité

Les paramètres essentiels à vérifier pour le bloc Rx sont le gain et la linéarité. Pour cela, une simulation transitoire a été réalisée, permettant de relever les valeurs crête en sortie du mixer, en amont du balun. Ce choix s'explique par le fait que le balun a déjà été vérifié comme étant linéaire, et n'introduit donc pas de distorsion significative dans la chaîne de réception.

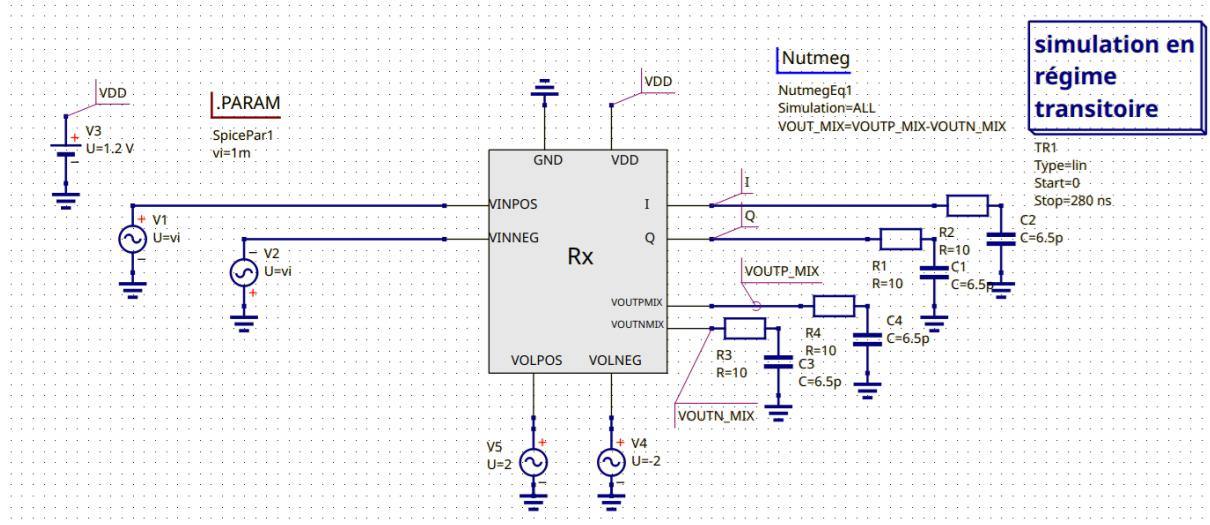


Figure 125: Test bench du bloc Rx

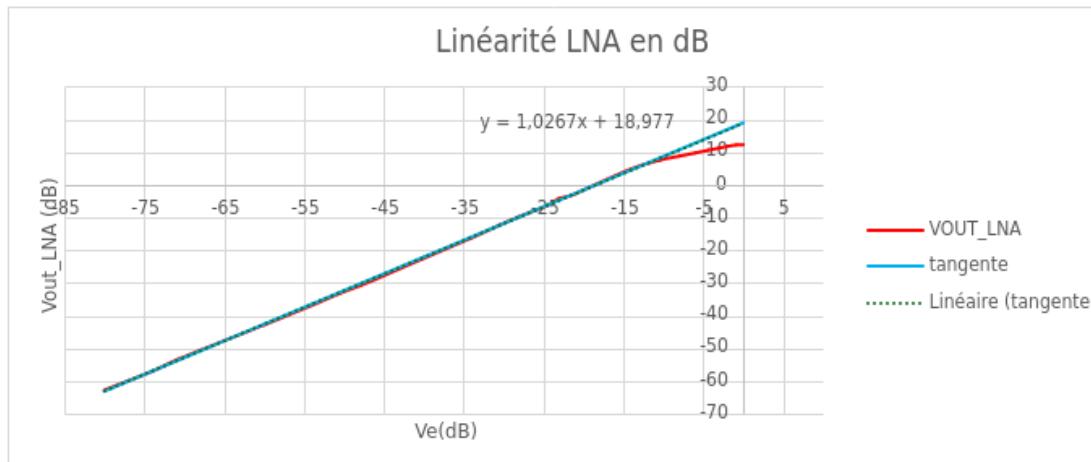
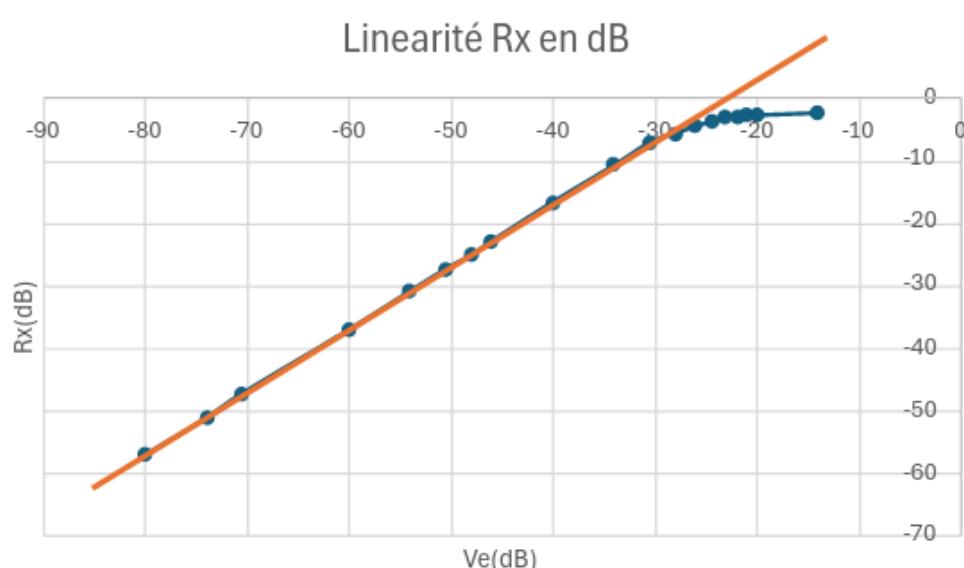
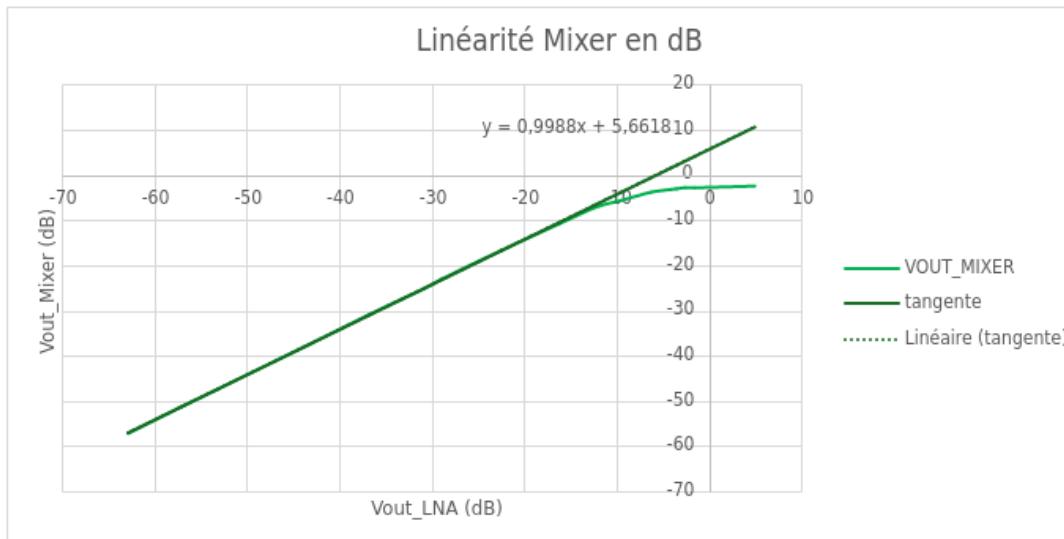


Figure 126: Linéarité du LNA chaîné au mixer



- *Perte de gain observée*

Le gain attendu était d'environ 32 dB (21 dB pour le LNA, 11 dB pour le mixer). Les simulations montrent seulement 22 dB (LNA : 16 dB, mixer : 5 dB).

Cette perte provient d'une mauvaise adaptation d'impédance entre la sortie du LNA et l'entrée du mixer.

- Le LNA utilise une inductance de résonance avec une résistance série fixe de 500Ω , qui fixe une impédance de sortie modérée.
- Le mixer présente une entrée à haute impédance (capacitive).
- Le couplage des deux crée un désaccord d'impédance :
 - La fréquence de résonance du LNA est détunée, son facteur Q chute, et le signal appliqué au mixer est affaibli.

Cela explique la baisse de gain des deux blocs : Moins de signal amplifié par le LNA, et moins de tension appliquée au mixer → gain global réduit.

11.1.2 Tableau récapitulatif



Gain

	SPEC	Marge	Seul en linéaire	Seul en dB	chainé en linéaire	chainé en dB
LNA	20 dB	6 dB	11,7	21,36	7,00	16,9
Mixer	8 dB	6 dB	3,61	11,15	1,92	5,66
	SPEC	Marge	Gain total en linéaire	Gain total en dB		
Récepteur	28 dB	12 dB	13,43	22,56		



Consommation

	Consommation (mA)
LNA	2,57
Mixer	1,8
Balun	0,15
Récepteur	7,37



Point de compression

	ICP3 (V)
LNA	0,35
Mixer	0,15
Balun	0,4