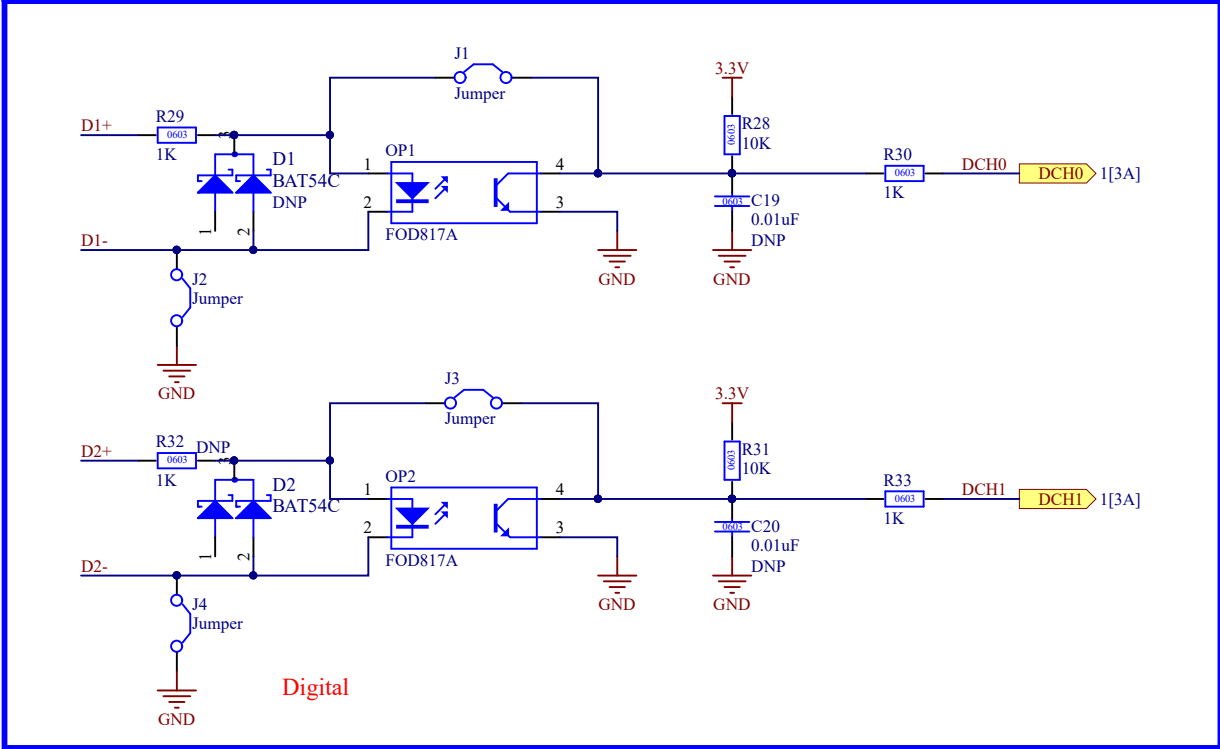


Analogico



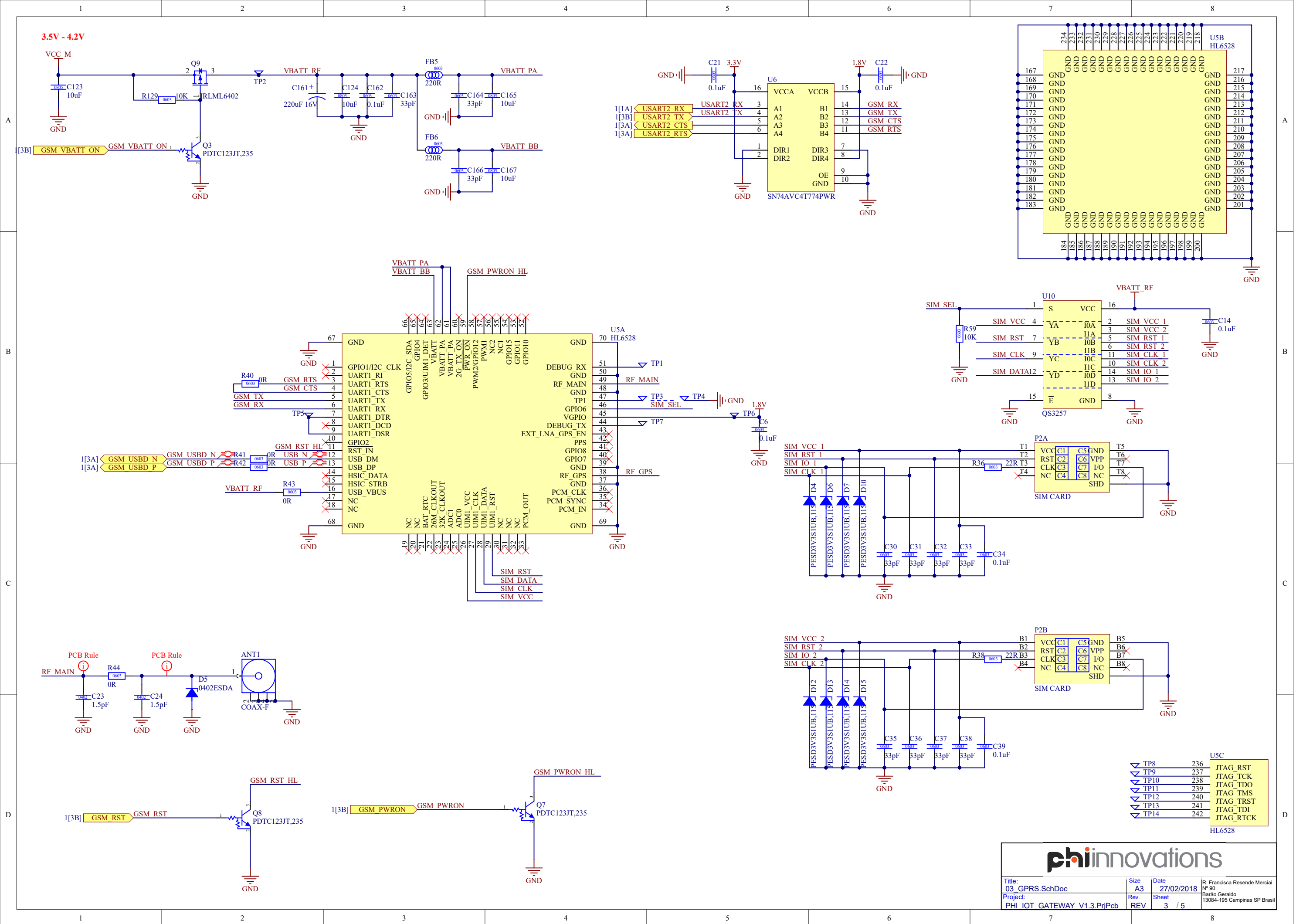
Digital

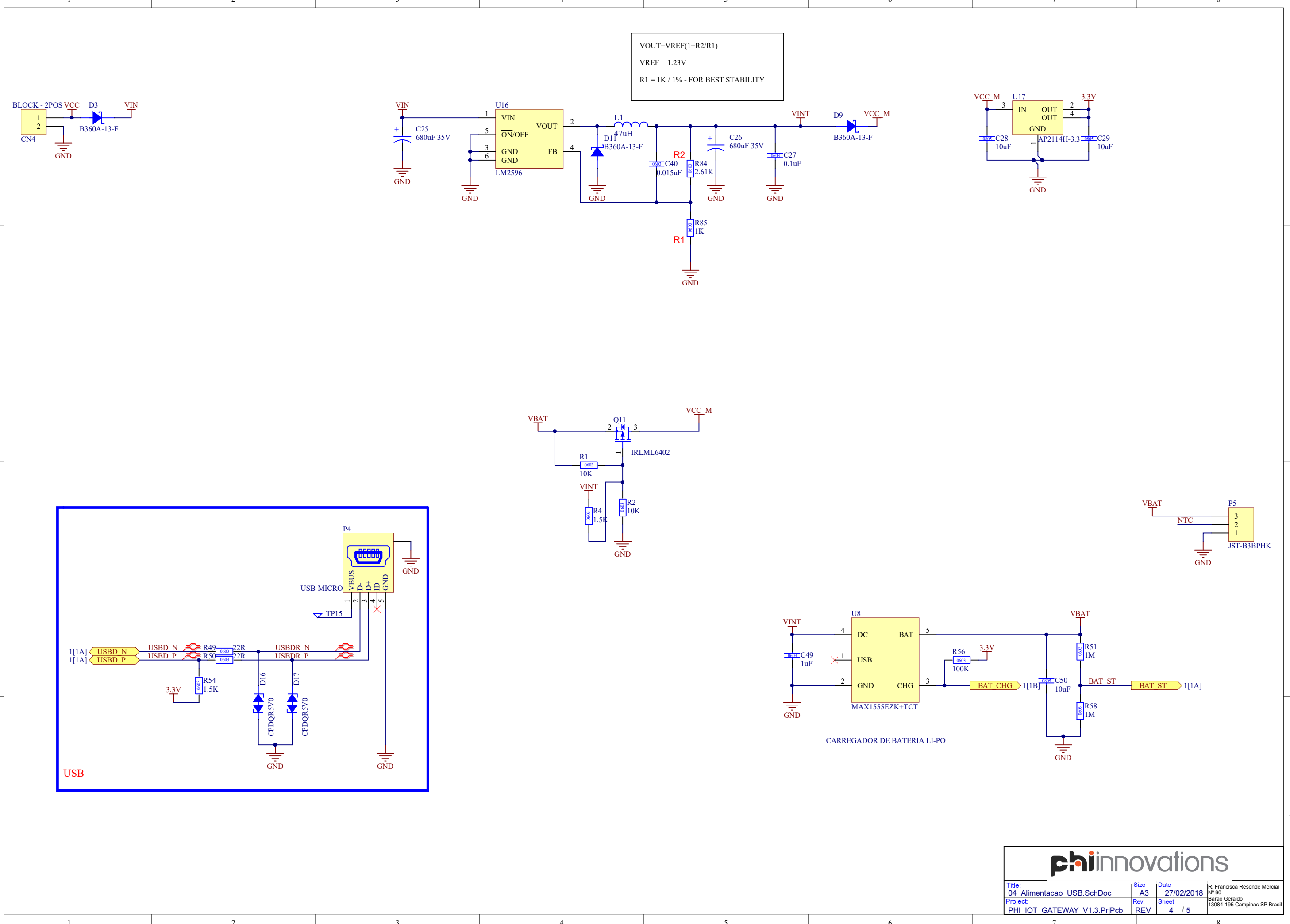
## Configuração

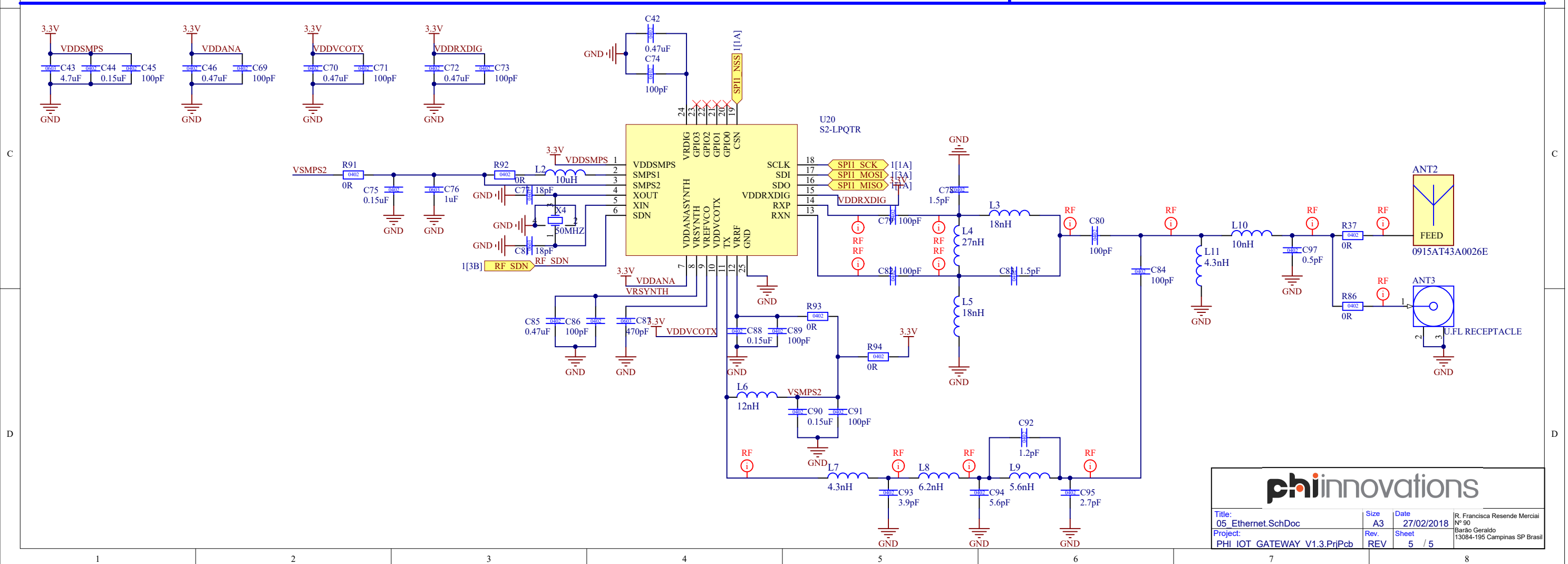
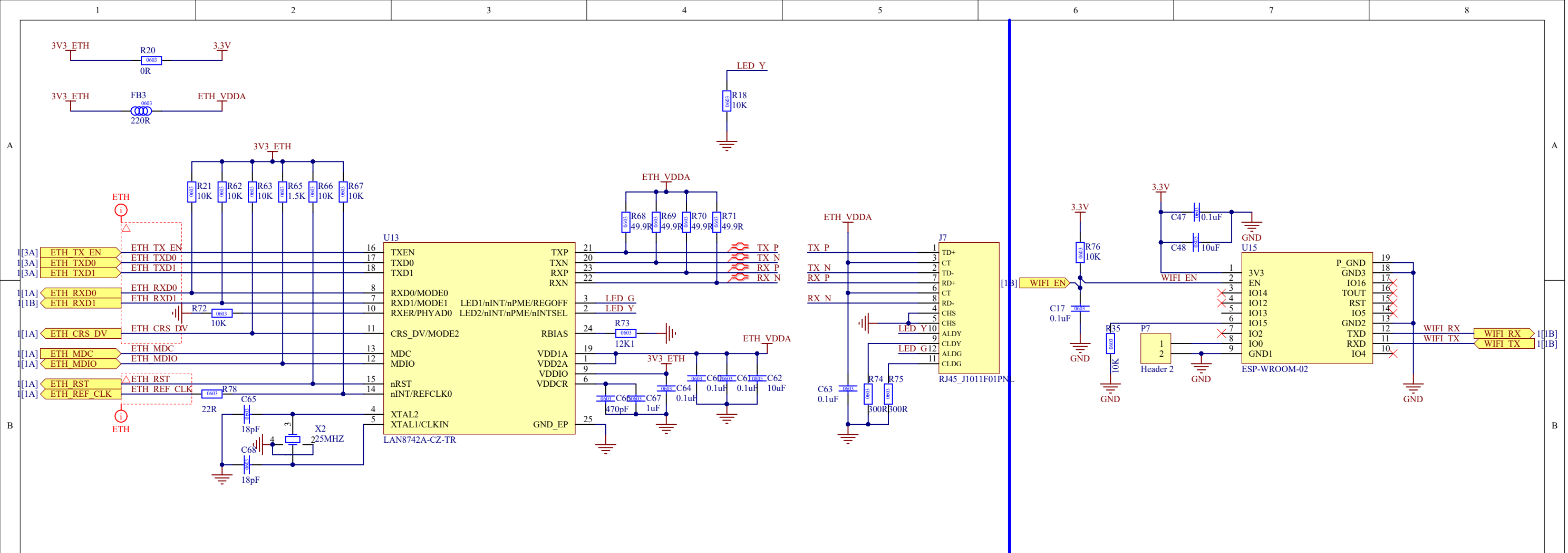
	RES	4 a 20 mA*	0 a 5 V
AN1	R22	100R	10K / 0,1%
	R24	165R 1%	5,17K / 0,1%
AN2	R25	100R	10K / 0,1%
	R27	165R 1%	5,17K / 0,1%

## Configuração

ISOLADA	- JUMPERS ABERTOS - OPTO MONTADO - DIODO ZENER ABERTO - CAPACITOR ABERTO
CONTATO SECO	- JUMPERS FECHADOS ( R = 0 OHM ) - OPTO ABERTO - DIODO ZENER MONTADO - CAPACITOR MONTADO - R29 e R32 = 1K







A

A

B

B

C

C

D

D

	Erros	Modificações
Versão 1.0	Bateria não alimenta o circuito No pino LED2 do PHY falta um pull-down para seleccionar REF_CLK Out Mode. O plano de GND não foi retirado debaixo da antena RF.	
Versão 1.1		Correção dos erros da Versão 1.0
Versão 1.2		Acréscimo do WIFI no projeto. Acréscimo do VCC e GND no conector do MODBUS. Retirada dos diodos da entrada da alimentação.
Versão 1.3		Mudança de componentes para redução de custos:



Title:	Size	Date	R. Francisca Resende Merciai Nº 90 Barão Geraldo 13084-195 Campinas SP Brasil
Versoes.SchDoc	A4	27/02/2018	
Project:	Rev.	Sheet	
PHI_IOT_GATEWAY_V1.3.PrjPcb	REV	* / *	