

Computational Microelectronics HW.9

EECS, 20204003

Phil-Hun, Ahn

1. 2D Laplace

1) Mesh & Position

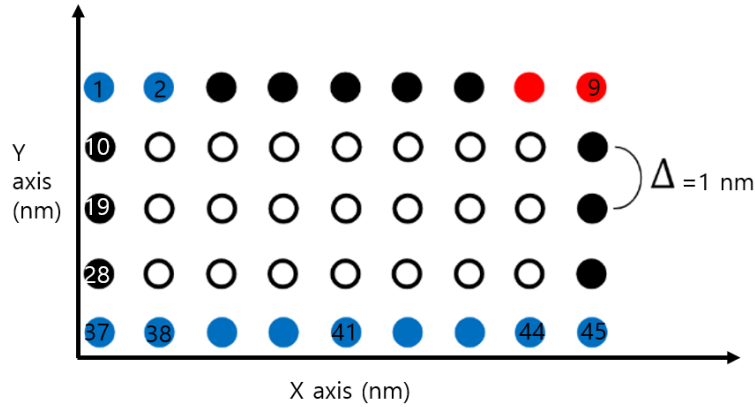


Fig. 1 Double Gate FET

각 Point의 indexing을 왼쪽 맨 위를 1번으로 하여 +x축 방향으로 증가하게 하고, -y축 방향으로 index가 증가하게 설정하였다. 이는 매트랩으로 값을 띄웠을 때 보기 편하기 위해서 위와 같은 방식을 사용하였다. 왼쪽 맨 아래를 실공간상의 원점으로 사용하였고, point(mesh)들의 간격은 1 nm로 동일하게 두었다.

아래는 알맞은 행렬을 구성하기 위해 나타낸 수식이다.

(a)For left side Neumann boundary (index=10, 19, 28)

$$\phi_{i+1,j} - 2\phi_{i,j} + 0.5\phi_{i,j+1} + 0.5\phi_{i,j-1} = 0$$

(b)For right side Neumann boundary (index= 18, 27, 36)

$$\phi_{i-1,j} - 2\phi_{i,j} + 0.5\phi_{i,j+1} + 0.5\phi_{i,j-1} = 0$$

(c)For top side Neumann boundary (index= 3, 4, 5, 6, 7)

$$0.5\phi_{i+1,j} - 2\phi_{i,j} + 0.5\phi_{i-1,j} + \phi_{i,j+1} = 0$$

(d)For contact Dirichlet boundary (index= 1, 2, 8, 9, 37~45)

$$\phi_{i,j} = V_{applied}$$

(e)For the rest of points

$$\phi_{i+1,j} + \phi_{i-1,j} - 4\phi_{i,j} + \phi_{i,j+1} + \phi_{i,j-1} = 0$$

2) Results

a) Electrostatic Potential for 4 cases

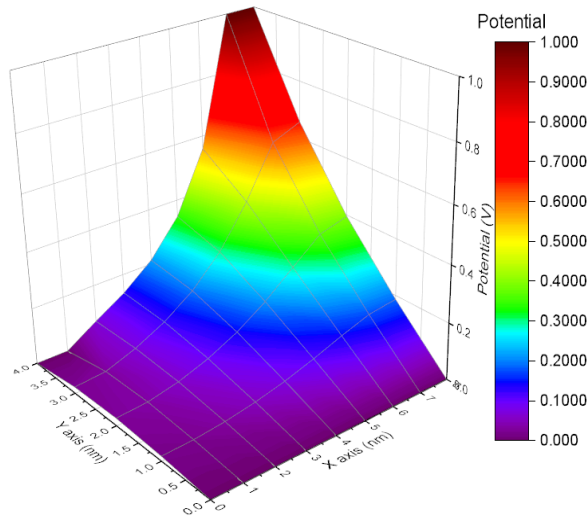


Fig 2. Potential 3D graph when drain bias is 1V. For x position 7 to 8 nm, potential is 1V.

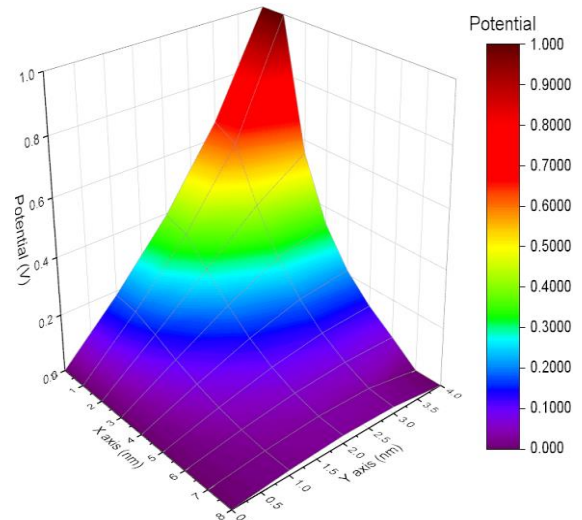


Fig 3. Potential 3D graph when source bias is 1V. For x position 0 to 1 nm, potential is 1V.

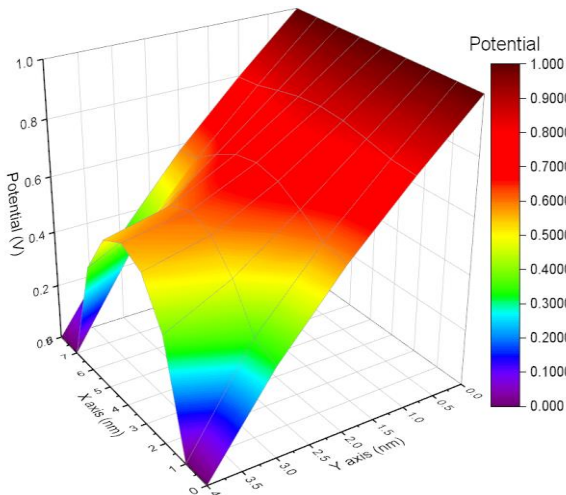


Fig 4. Potential 3D graph when substrate bias is 1V. For x position 0 to 8 nm and y position is at 0 nm potential is 1V.

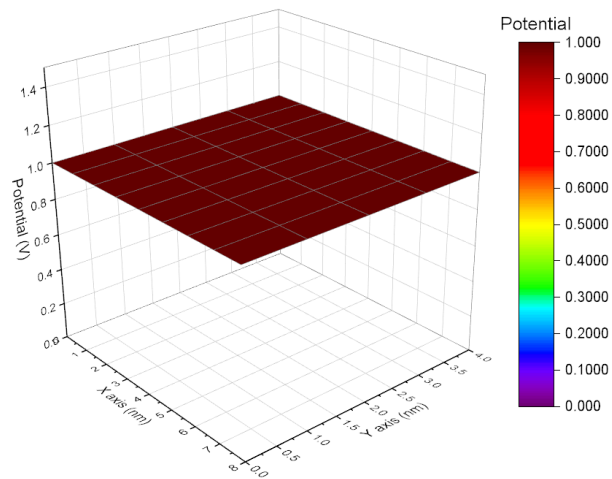


Fig 5. Potential 3D graph when drain, source and substrate bias are 1V.

Drain, Source 그리고 Substrate에 전압을 1V를 주는 경우를 4가지로 나누어 나타낸 결과이다. 각각 1V가 걸릴 때, Dirichlet boundary에선 Potential 값이 1V로 나타나는 것을 확인할 수 있다.