

第10章 存储器接口

罗文坚
中国科大 计算机学院

<http://staff.ustc.edu.cn/~wjluo/mcps/>

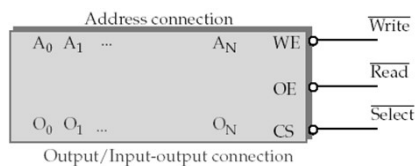
1

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

2

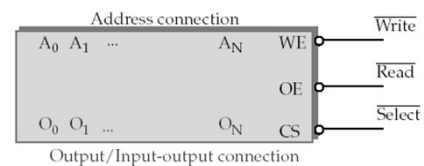
存储器器件的引脚



- The number of address pins is related to the number of *memory locations*.
 - Common sizes are 1M to 64GB locations.
 - Therefore, between 20 and 36 address pins are present.

3

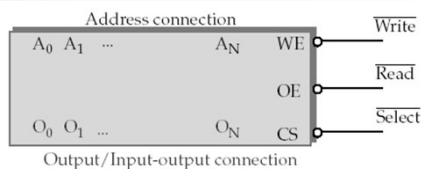
存储器器件的引脚（续1）



- The number of data pins is related to the size of the *memory location*.
 - For example, an 8-bit wide (byte-wide) memory device has 8 data pins.
 - Catalog listing of 1K X 8 indicate a byte addressable 8K memory.

4

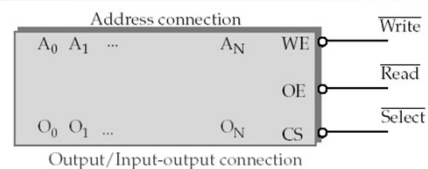
存储器器件的引脚（续2）



- Each memory device has at least one *chip select* (CS) or *chip enable* (CE) pin that enables the memory device.
 - This enables read and/or write operations.
 - If more than one are present, then all must be 0 in order to perform a read or write.

5

存储器器件的引脚（续3）



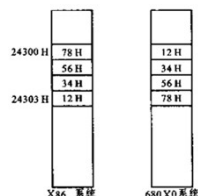
- ROM
 - OE# or G#.
- RAM
 - OE# and WE#
 - R/W#

6

存储器中的数据组织

- 存储字：计算机系统中，作为一个整体一次存放和取出内存存储器的数据称为“存储字”。
- 字节编址：一个存储地址对应一个8位存储单元。
- Intel x86：低地址，低字节
- Motorola 680X0：低地址，高字节

32位存储字
12345678H在内存中的存放情况



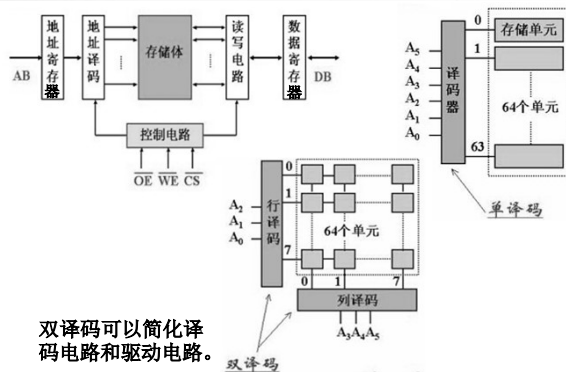
7

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

8

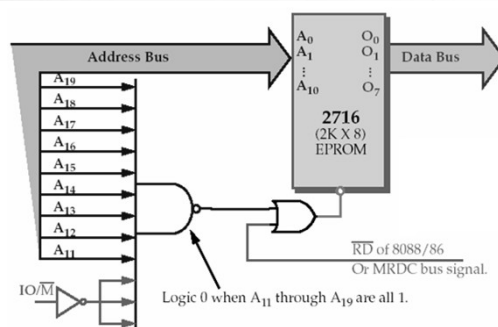
存储芯片结构与译码方式



双译码可以简化译码电路和驱动电路。

9

片内地址 vs. 片外地址



10

地址译码技术

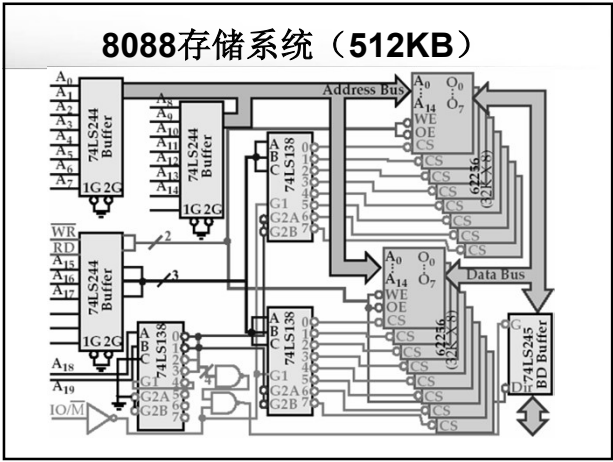
- 简单的与非门译码器
- 3-8线译码器（74LS138）
- 双2-4线译码器（74LS139）
- PLD可编程译码器

11

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

12



13

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

14

8086存储系统

- 数据总线16位，要求一次既可以访问一个字节，又可以访问一个字。
- 奇偶分体：BHE#和BLE#（A₀）

High bank

FFFFF
FFFFD
← 8 bits →
D₁₅~D₈
Odd bytes
8 MB
BHE selects

Low bank

FFFFE
FFFFC
← 8 bits →
D₇~D₀
Even bytes
8 MB
BLE selects

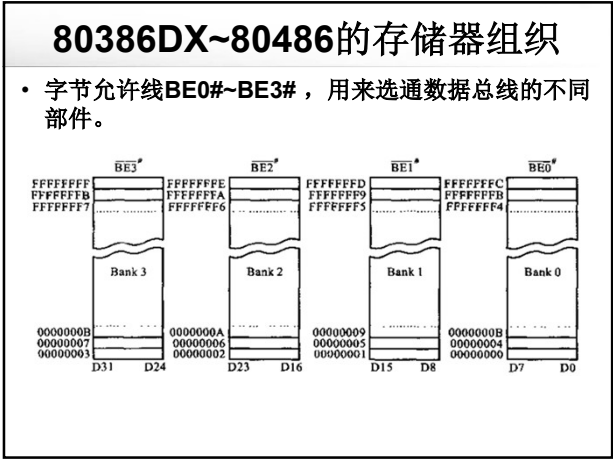
BHE	BLE	Function
0	0	Both banks enabled for 16-bit transfer
0	1	High bank enabled for an 8-bit transfer
1	0	Low bank enabled for an 8-bit transfer
1	1	No banks selected

15

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

16



17

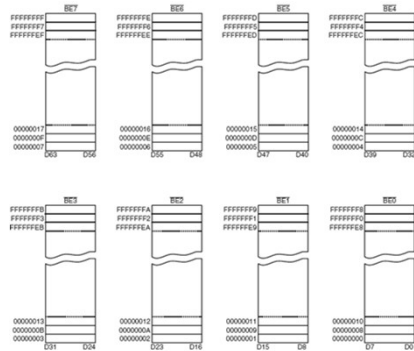
本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

18

Pentium~Core2的存储器组织

• 8个存储体



19

本章内容

- 存储器器件
- 地址译码
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
- DRAM

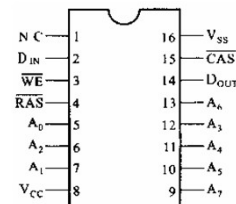
20

DRAM芯片

- DRAMs must be refreshed (rewritten) every 2 to 4 ms
 - Since they store their value on an integrated capacitor that loses charge over time.
 - This refresh is performed by a special circuit in the DRAM which refreshes the entire memory.
 - Refresh also occurs on a normal read, write or during a special refresh cycle.
- The large storage capacity of DRAMs make it impractical to add the required number of address pins.
 - Instead, the address pins are *multiplexed*.

21

DRAM芯片Intel 2164A

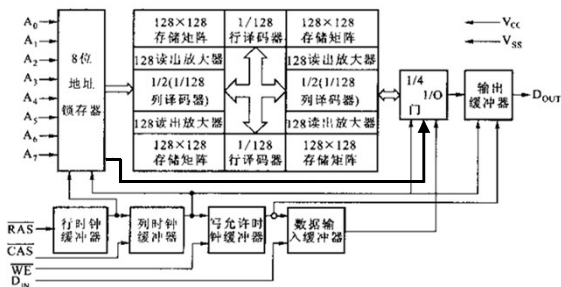


地址总线: $A_0 \sim A_7$
行地址,列地址选择: RAS#, CAS#
读写控制: WE#
数据输入/输出: D_{IN} , D_{OUT}
 V_{CC} , V_{SS}
NC

- 容量: 64K×1位
- 存取时间: 150ns/200ns
- 每2ms需刷新一遍, 每次刷新512个单元。

22

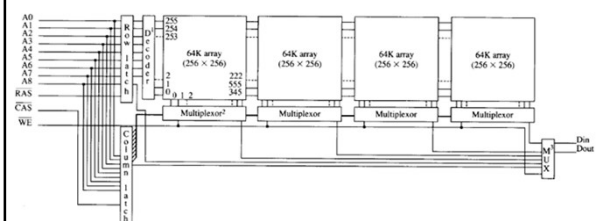
DRAM芯片Intel 2164



23

256K×1DRAM的内部结构

• RAS#与CAS#



24

本章小结

- 存储器器件
 - 10.1节, 存储器引脚
- 地址译码
 - 与非门译码器、3-8译码器、2-4译码器
- 8088和80188（8位）存储器接口
- 8086~80386SX（16位）存储器接口
- 80386DX~80486（32位）存储器接口
- Pentium~Core2（64位）存储器接口
 - 了解8086~Core2的存储器组织方式
- DRAM
 - 了解RAS#与CAS#引脚的作用

25

作业

- 习题15, 习题21。

26