至芯科技FPGA就业班课程第一阶段测验试卷

答题要求：

1. 填写下表中的姓名和学号（学号根据现场老师安排）
2. 在word中，打开这个试卷。并在word中答题。检查正确后记住需要保存文件。文件名不需要修改。
3. 需要使用工具建立工程的，按照顶层模块名命名文件夹。并在这个文件夹中实现。并在下表的“答卷附加文件夹中”标注。
4. 将已经完成作答的电子版的word试卷（即本文件）和工程文件夹，一并放入一个以你的姓名拼音首字母命名的文件夹中。作为交卷文件夹。注意交卷文件夹的命名不可以有汉字和空格。
5. 压缩交卷文件夹（压缩包文件），交给监考老师即完成交卷。
6. 是否需要纸质试卷，根据现场老师决定。
7. 本试卷总分100分

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 姓名 | 学号 | 学习阶段 | 课程 | 答卷附加文件夹 |
| 吕瑞涛 |  | 第一阶段 | FPGA就业班 | Exam\_LRT |

第一题：将如下表决器逻辑的真值表转变为与或阵列，将固定连接点 和可编程连接点 正确填入下图中。(10分)

a

f

b

voter

c

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| a | b | c | f | Note  a  b  c  正确填入与阵列的固定连接点，可复制  正确填入或阵列的可编程连接点，可复制 |
| 0 | 0 | 0 | 0 |  |
| 0 | 0 | 1 | 0 |  |
| 0 | 1 | 0 | 0 |  |
| 0 | 1 | 1 | 1 |  |
| 1 | 0 | 0 | 0 |  |
| 1 | 0 | 1 | 1 |  |
| 1 | 1 | 0 | 1 |  |
| 1 | 1 | 1 | 1 |  |

注：word中答题，可复制

第二题：选择如下的代码块对应的综合结构，并通过对其进行代码模型分析绘制代码模型（a, b, c, cnt和f端口的宽度均为8）：

// Code Block

……

always @ (\*)

begin

case (cnt)

0 : f = a;

1 : f = a + b;

2 : f = c;

default : f = 0;

endcase

end

s1:if (count < HW - 1)

begin

count <= count + 1;

state <= s1;

end

else

begin

count <= 0;

clk\_out <= 0;

state <= s2;

end

s2:if (count < LW - 1)

begin

count <= count + 1;

state <= s2;

end

else

begin

count <= 0;

clk\_out <= 1;

state <= s1;

end

endcase

end

endmodule

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

第5行至第10行的代码块，其综合结构是：A：并发框架，B：顺序框架， C：行为框架

你的选择是：\_\_C\_\_（5分）

第5行至第10行的代码块对应的代码模型是：（请规范绘制）（5分）

a

f[7:0]

b

MUX

c

ADDER

第三题：对于一个16K\*8位的存储器，其地址线和数据线总和是：A：18，B：20，C：22

你的选择是：\_\_C\_\_（5分）14（地址线）+8（数据线）=22

第四题：在Verilog语言中，如果a=1’b1，b=3’b101，c=1’b1，那么{a,3{c},b}结果是：

A：8’b10110101 B：7’b1111101 C：7’b1000101 D：8’b10001010

你的选择是：\_\_B\_\_（5分）

第五题：关于FPGA芯片内存储器资源描述错误的是。

A：FPGA内部有BLOCK RAM存储器

B：使用BLOCK RAM资源需占用额外的逻辑资源，并且速度慢

C：BLOCK RAM由一定数量固定大小的存储块构成的

D：FPGA内部有由LUT配置成的分布式存储器

你的选择是：\_\_B\_\_（5分）

第六题：FPGA内部结构组成部分一般分为三部分：可编程逻辑块（ CLB）、可编程I/O 模块和可编程内部连线。

你的判断是：\_\_√\_\_\_（5分）

第七题： Flash、EPROM和ROM属于非易失性存储器。

你的判断是：\_\_√\_\_\_（5分）

第八题： 在Verilog语言中，a=4’b1011，那么&a为1’b0。

你的判断是：\_\_√\_\_\_（5分）

第九题（\*\*\*共25分）设计一个巧克力自动售货机，售出的巧克力块每一个25美分。该机器仅接收5美分（nickels），10美分（dimes）和25美分（quarters）的硬币。当投入的硬币总值达到或超过25美分时，机器通过一个时周期的dispense信号置1，售出一个巧克力块，机器返回到初始状态。在总投入值小于25美分任何时候，按下取消键cancel，机器将所有已经投入的硬币退回。投入硬币超过25美分时，不仅售出一个巧克力（一个时钟周期的dispense为高），还找回多余数值的硬币。(一个时钟周期的coin\_return高退回一个5美分硬币)。**另外，若投币等待时间超过参数设置的等待时间WAIT\_TIME（大于等于），则全部已经投入的硬币退回。**要求：

1. 使用**米利机**设计这个状态机，要求绘制状态转移图（设计分：10）。
2. 为其建模，必须与设计吻合一致（建模分：10）。
3. 仿真测试（验证分：5）

candy\_vending\_machine

（WAIT\_TIME=200000）

sys\_clk

sys\_rst\_n

nickel

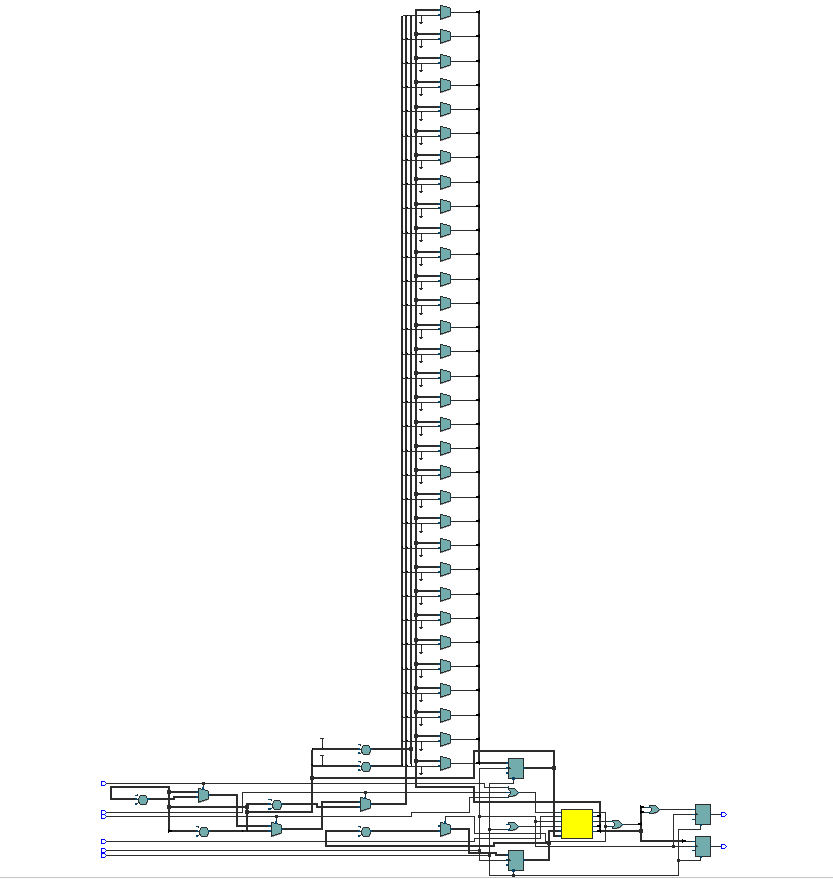
dime

quarter

dispense

coin\_return

cancel



**stateDiagram**

    IDLE**:** 3'b000<br>Idle

    ACCUMULATE**:** 3'b001<br>ACCUMULATE

    DISPENSE**:** 3'b010<br>DISPENSE

    RETURN**:** 3'b011<br>RETURN

    RETURN\_EXCESS**:** 3'b100<br>RETURN\_EXCESS

**note** left of IDLE**:** dispense=1'b0<br>coin\_return=1'b0<br>Waiting for coin input

**note** left of ACCUMULATE**:** dispense=1'b0<br>coin\_return=1'b0<br>Accumulating coins

**note** left of DISPENSE**:** dispense=1'b1<br>coin\_return=1'b0<br>Dispensing chocolate

**note** left of RETURN**:** dispense=1'b0<br>coin\_return=1'b1<br>Returning all coins

**note** left of RETURN\_EXCESS**:** dispense=1'b0<br>coin\_return=1'b1<br>Returning excess coins

    IDLE **-->** ACCUMULATE**:** Nickel, Dime, Quarter

    IDLE **-->** RETURN**:** Cancel

    ACCUMULATE **-->** DISPENSE**:** Total >= 25 Cents

    ACCUMULATE **-->** RETURN**:** Timer >= WAIT\_TIME or Cancel

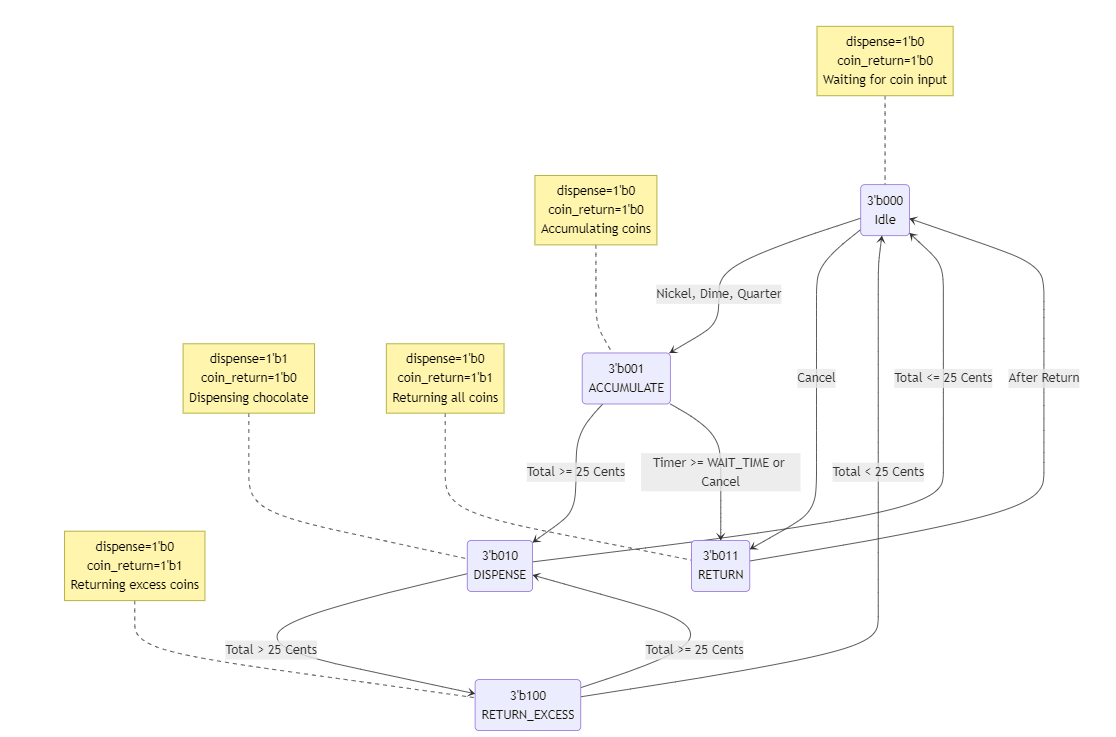
    DISPENSE **-->** RETURN\_EXCESS**:** Total > 25 Cents

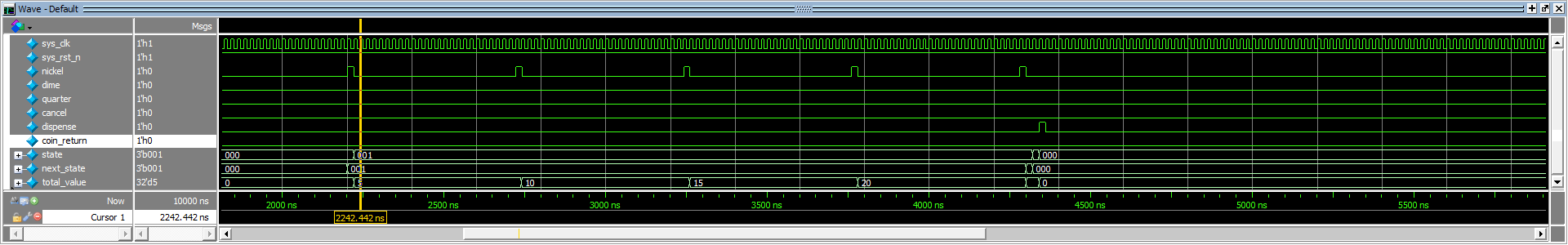
    DISPENSE **-->** IDLE**:** Total <= 25 Cents

    RETURN\_EXCESS **-->** DISPENSE**:** Total >= 25 Cents

    RETURN\_EXCESS **-->** IDLE**:** Total < 25 Cents

    RETURN **-->** IDLE**:** After Return





工程路径：Exam\_LRT/candy\_vending\_machine

第十题（\*\*\*共25分）在DDS课程设计当中，完成以下功能实现：ROM中存储4组波形数据，通过一个按键切换4组波形，切换到哪一种波形，可以对其调节频率，通过两个按键进行控制（一个完成频率加（假设每次递增500HZ），一个完成频率减（假设每次递减500HZ）；也可以对当前波形进行幅度调节，通过一个按键进行控制（假设每次递增1）。

1：搭建设计架构（设计分：5）。

2：为其建模，必须和设计吻合一致（建模分：10）。

3：仿真测试（验证分：10）。

div\_clk

sys\_clk

sys\_rst\_n

clk\_4khz

addr\_ctrl

addr[7:0]

rom\_sine

dds\_wave\_ctrl

key\_filter1

key\_filter2

key\_filter3

key\_filter3

key\_switch

key\_mode

key\_add

key\_sub

edge\_detection1

edge\_detection2

edge\_detection3

edge\_detection4

key\_switch\_filter

key\_mode\_filter

key\_add\_filter

key\_sub\_filter

pulse\_cnt2

pulse\_cnt1

key\_mode\_filter\_edge

key\_switch\_filter\_edge

key\_add\_filter\_edge

key\_sub\_filter\_edge

rom\_sawtooth

rom\_square

q\_square

q\_triangular

q\_sine

clk\_4khz

clk\_4khz

clk\_4khz

type\_cnt

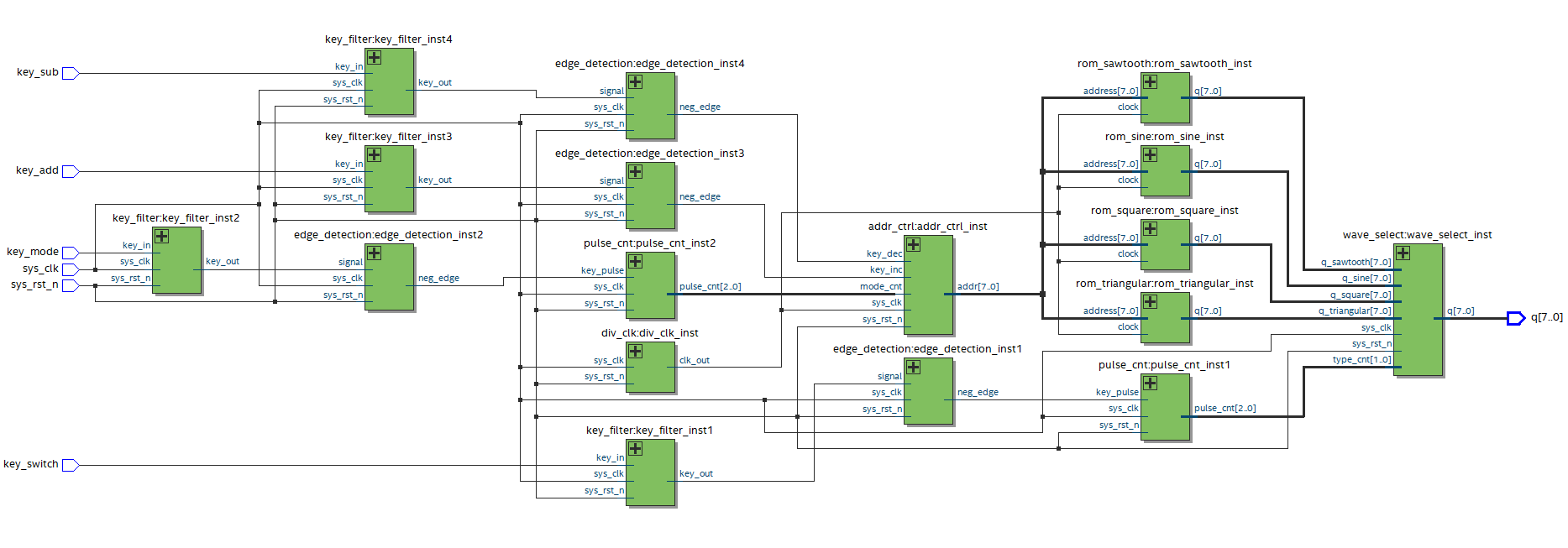
rom\_triangular

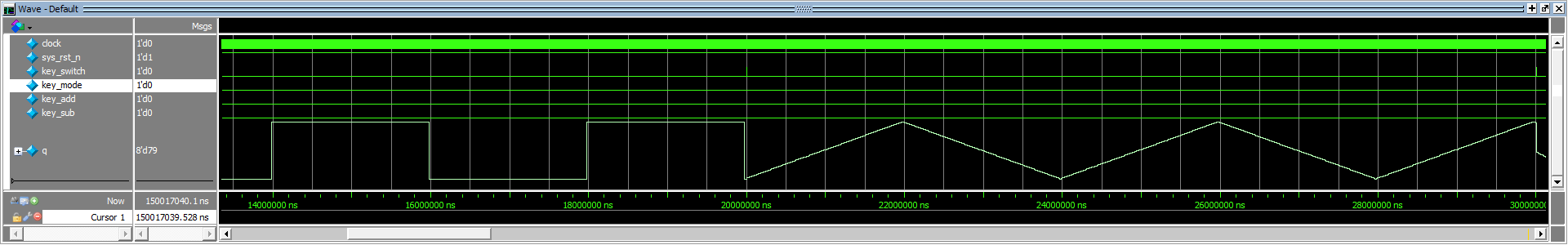
wave\_select

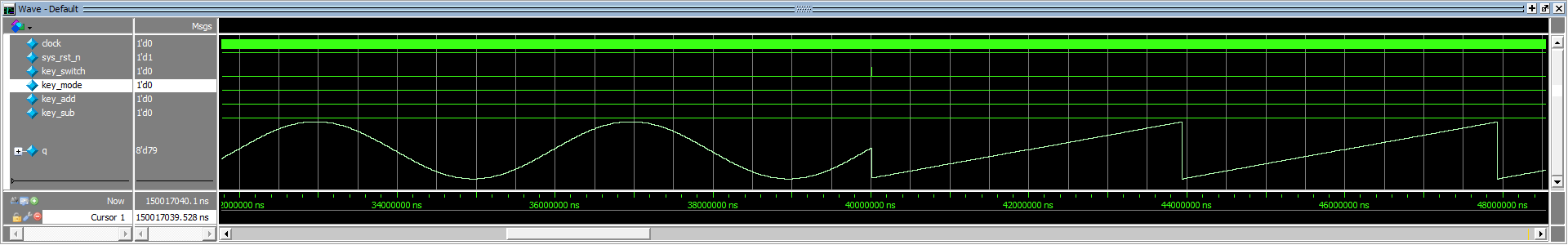
clk\_4khz

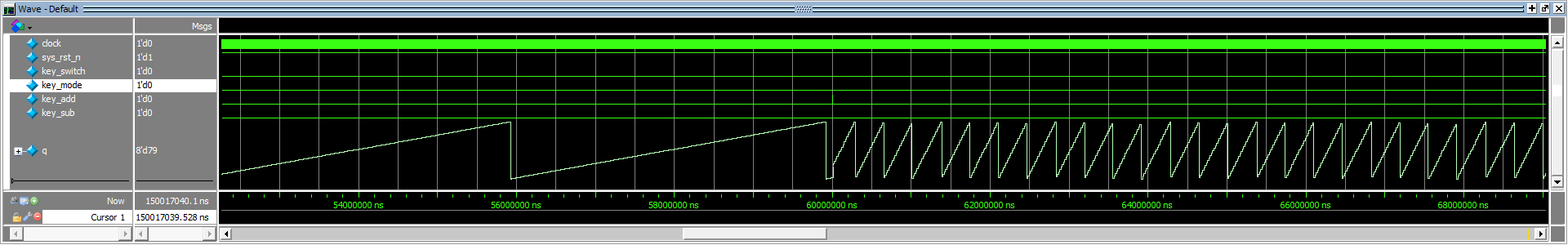
mode\_cnt

q









工程路径：Exam\_LRT/dds\_wave\_ctrl