

西南交通大学 XXXX—XXXX 学年第 X 学期考试试卷

课程代码_____课程名称 计算机组成原理 考试时间 120 分钟

题号	一	二	三	四	五	六	七	总成绩
得分								

阅卷教师签字：_____

注意：不可使用计算器、文曲星等工具，不自带草稿纸。

一、码制与计算（10 分）

已知整数的补码 $[X]_{\text{补}}=1, 1000$ ， $[Y]_{\text{补}}=0, 0110$ （二进制），求：

$[X]_{\text{原}}=$ _____， $[-X]_{\text{补}}=$ _____， $[2X]_{\text{补}}=$ _____， $[X/2]_{\text{补}}=$ _____

$[Y]_{\text{原}}=$ _____， $[-Y]_{\text{补}}=$ _____， $[2Y]_{\text{补}}=$ _____， $[2X]_{\text{真值}}=$ _____

$[X+Y]_{\text{补}}=$ _____（不必列出算式）， $[X-Y]_{\text{补}}=$ _____（不必列出算式）。

二、单项选择题（30 分，每小题 2 分）

答案填写处：_____（1-10 题）

_____（11-15 题）

注意：答案填在其它地方无效！

- 一个字节的二进制位数是_____。
A. 8 B. 16
C. 32 D. 与 CPU 的字长有关
- 在浮点数编码表示中，_____在机器数中不出现，是隐含的。
A. 阶码 B. 尾数
C. 基数 D. 符号
- 整数的 8 位补码 10010011 等值扩展为 16 位后，其机器数为_____。
A. 1000000010010011 B. 0000000010010011
C. 1111111110010011 D. 1111111101101101
- 指令系统中采用不同寻址方式的目的主要是_____。
A. 实现存储程序和程序控制 B. 缩短指令长度、提高编程灵活性
C. 可直接访问外存 D. 提供扩展操作码并降低指令译码难度
- 操作数的地址存放在寄存器里的寻址方式叫_____。
C. 直接寻址 B. 寄存器寻址
A. 相对寻址 D. 寄存器间接寻址

6. 加法器采用并行进位的目的是_____。
- A. 增加逻辑运算的功能 B. 简化加法器的设计
C. 提高加法器的运算速度 D. 上述 ABC 三者都对
7. 与组合逻辑控制器相比，微程序控制器的特点是_____。
- A. 不易扩充 B. 电路不规整
C. 运行速度快 D. 便于设计与扩充
8. 若 CPU 要以程序查询的方式从某输入设备输入数据，则在每次输入数据之前需要先查询其 I/O 接口的_____。
- A. 寻址逻辑(地址译码)部件 B. 状态寄存器
C. 数据缓冲寄存器 D. 中断控制逻辑
9. 在多级存储体系中，“cache——主存”结构的作用是解决_____的问题。
- A. 主存容量不足 B. 主存与辅存速度不匹配
C. 辅存与 CPU 速度不匹配 D. 主存与 CPU 速度不匹配
10. 静态半导体存储器 SRAM_____。
- A. 不需要进行刷新 B. 芯片内部已有自动刷新逻辑
C. 断电后仍能保存内容不变 D. 在工作过程中，存储内容静止不变
11. 中断的概念是指_____。
- A. 暂停 CPU 运行 B. 暂停正在运行的程序
C. 暂停对内存的访问 D. 暂停使用系统总线
12. DMA 方式是在_____之间建立一条直接数据通路。
- A. I/O 设备和主存 B. 两个 I/O 设备
C. I/O 设备和 CPU D. CPU 和主存
13. 如果两个微命令是互斥的，则它们_____。
- A. 不能为同一条机器指令所使用
B. 不可编排在微指令的相同编码字段里
C. 应尽量编排在微指令的相同编码字段里
D. 应尽量编排在微指令的不同编码字段里
14. 在采用三级时序系统的组合逻辑控制器中，一个微操作持续的时间取决于_____。
- A. 指令周期 B. CPU 工作周期
C. 节拍周期 D. 节拍脉冲宽度
15. 运算下溢指的是_____。
- A. 运算结果的最低有效位产生了错误
B. 运算结果的绝对值小于机器所能表示的最小绝对值
C. 运算的结果小于机器所能表示的最小负数
D. 运算的结果小于机器所能表示的最小正数

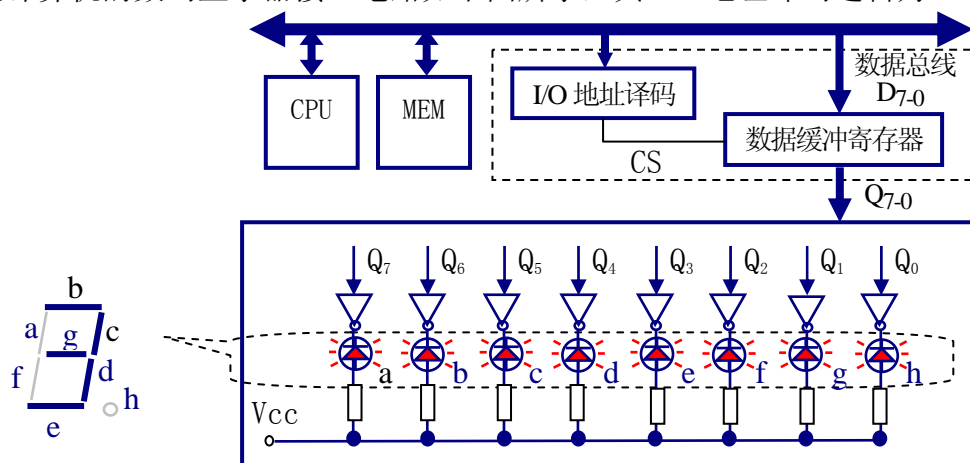
三、简答题（15 分）

1. 设某浮点数其基数为 2，阶码 4 位（含阶符 1 位），尾数 8 位（含数符 1 位），阶码和尾数均用补码表示，尾数采用规格化形式。求该浮点数格式所能表示规格化数的最小正数和最小负数的真值（用十六进制表示）。

2. 简述基址寻址方式寻找操作数的过程。

3. 设主存的容量为 512MB，Cache 的容量为 256KB，主存和 Cache 都按字节编址，按 256B 划分块。若主存与 Cache 采用直接映像方式，求：（1）主存地址分为哪几部分，每部分有多少位（画出其地址格式）？（2）主存 1B96E8C3H 号单元可映射到 Cache 中哪个单元？

四、某计算机的数码显示器接口电路如下图所示，其 I/O 地址译码逻辑为：



$$CS = A_7 A_6 A_5 \overline{A_4} A_3 \overline{A_2} \overline{A_1} A_0 (\overline{MREQ})(\overline{R/\overline{W}}),$$

问：（1）该 I/O 接口中包含多少个 I/O 端口，端口的地址是多少？ _____； _____ H；

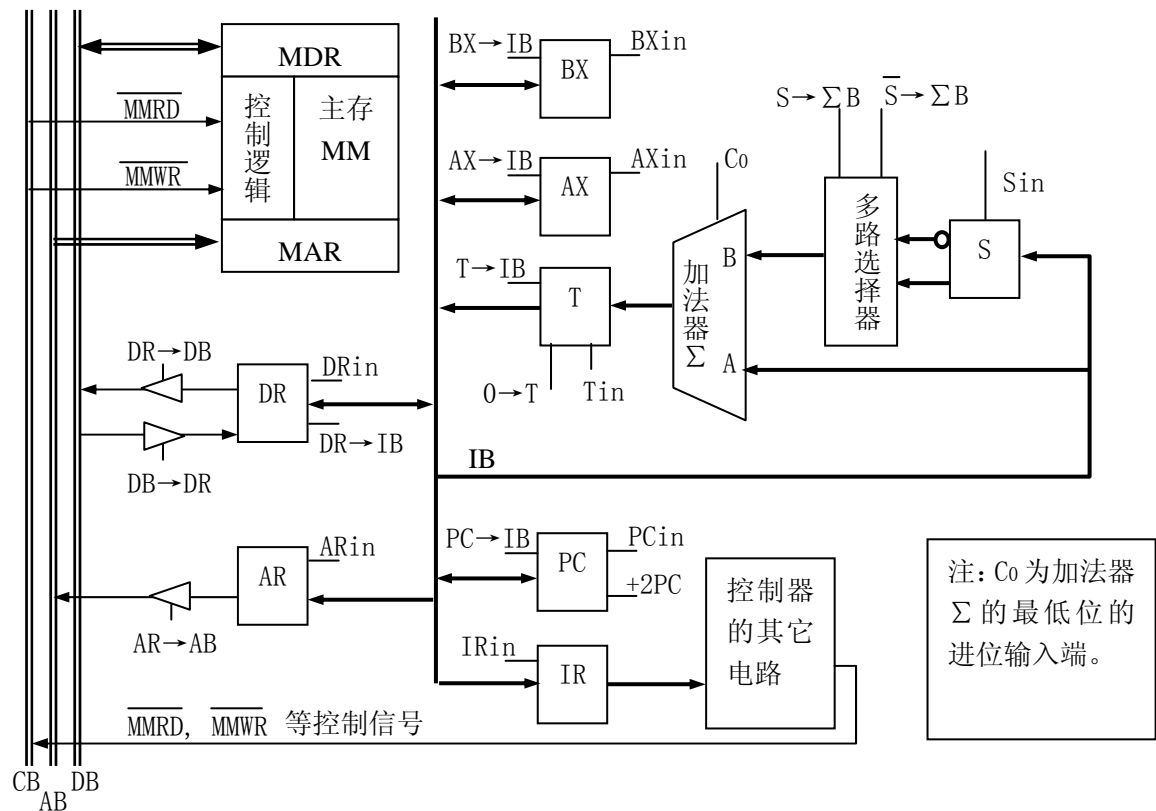
（2）若要使数码管显示数字“3”，CPU 应向数据缓冲寄存器端口输出的十六进制数据是多少。 _____ H。

（10 分）

五、模型机的 CPU 及内存的简图如下图所示。请根据下图写出：

- (1) 实现 $PC \rightarrow AR$ 功能所需的微操作序列；
- (2) 实现 $AX-DR \rightarrow AX$ 功能所需的微操作序列；
- (3) 假定某指令的操作数的地址在 BX 寄存器中，写出把操作数从内存取到 DR 寄存器中所需的微操作序列；

要求：微操作序列中每一步微操作写出其功能说明及所需的微命令。（15 分）



[解]

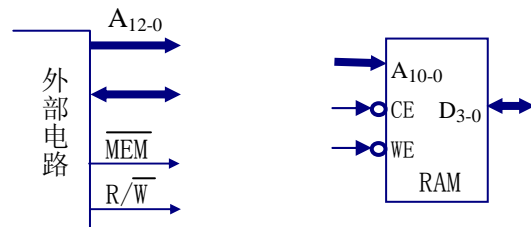
	微操作功能说明	所需的微操作控制信号
(1)	①	
(2)	①	
	②	
	③	
(3)	①	
	②	
	③	

六、用 $2K \times 4$ / 片的静态 RAM 芯片组建一个容量为 $4K \times 8$ 、地址范围为 $0000H \sim 0FFFH$ 的内存。要求画出逻辑电路图，并写出各芯片的片选信号的逻辑表达式。

注：外部电路提供：地址线 A_{12-0} ；数据线 D_{7-0} ；控制线 \overline{MEM} 和 R/\overline{W} 。

当 $\overline{MEM}=0$ 且 $R/\overline{W}=1$ 时存储器读操作；当 $\overline{MEM}=0$ 且 $R/\overline{W}=0$ 时存储器写操作。

RAM 芯片中， \overline{CE} 为片选信号，低电平有效； \overline{WE} 为读写控制（高电平读，低电平写）



(10 分)

七、已知 $[X]_{\text{补}} = 0.1110$, $[Y]_{\text{补}} = 1.0011$, 请用 Booth 乘法计算 $[X \times Y]_{\text{补}}$, 要求写出运算步骤。
(10 分)

西南交通大学 XXXX—XXXX 学年第 X 学期模拟试卷答案及评分标准

课程代码_____课程名称 计算机组成原理 考试时间 120 分钟

一、码制与计算（10 分，每个 1 分）

1, 1000, 0, 1000 1, 0000 1, 1100

0, 0110, 1, 1010 0, 1100 -10000

1, 1110 1, 0010

二、单项选择（30 分，每小题 2 分）

ACCB CDBDA BACCB

三、简答题（15 分，每小题 5 分）

1. 最小正数：0.008H [二进制： $(0.1)_2 * 2^{-1000} = 0.0000\ 0000\ 1$] (2 分)
最小负数：-80H [二进制： $-(1.0)_2 * 2^{0111} = -1000\ 0000$] (3 分)

2. 按指令中地址码字段所指示的基址寄存器，从该基址寄存器读取内容，再与指令中地址码字段中的位移量相加，得出操作数的有效地址，然后到内存的该地址单元中读取信息即操作数。[意思对了可得满分，答不完整则酌情扣分。]

3. (1) 主存的地址分为区号、组号和组内地址 3 个部分，其地址位数分别为 11 位、10 位和 8 位。

11 位	10 位	8 位
区号	块号	块内地址

(3 分)

- (2) 主存 1B96E8C3H 号单元可映射到 Cache 中 2E8C3H 号单元。 (2 分)

四、(10 分)

- (1) 1 个；0EDH (6 分)
- (2) 3AH (01111010B) (4 分)

五、(15 分)

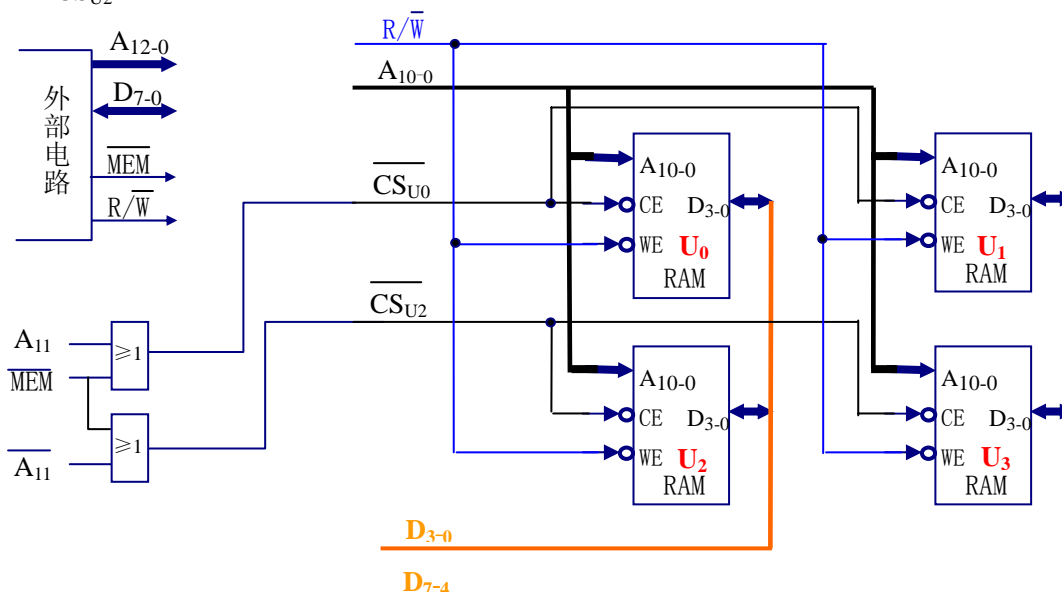
	微操作功能说明	所需的微操作控制信号
(1)	① PC→AR	PC→IB, ARin (3 分)
(2)	① DR→S	DR→IB, Sin
	② $AX+\overline{S}+1\rightarrow T$	AX→IB, $\overline{S}\rightarrow\sum B, C_0, Tin$ (6 分)
	③ T→AX	T→IB, AXin
(3)	① BX→AR	BX→IB, ARin
	② AR→AB→MAR, 读内存	AR→AB, \overline{MMRD} (6 分)
	③ MDR→DB→DR	DB→DR, DRin

六、（共 10 分）

芯片数 1 分，片选逻辑 4 分，地址线 2 分，数据线 2 分，控制线 1 分。

$$\overline{CS_{U0}} = \overline{MEM} + A_{11}$$

$$\overline{CS_{U2}} = \overline{MEM} + \overline{A_{11}}$$



七、（共 10 分）

【解】

$[X]_{补} = 00.1110 \rightarrow B$ 寄存器， $[Y]_{补} = 1.0011 \rightarrow C$ 寄存器， $0 \rightarrow A$ 寄存器（累加器）

$[-X]_{补} = 11.0010$

	A 寄存器	C 寄存器	说明
第 1 步	$\begin{array}{r} 0.00000 \\ + [-X]_{补} \quad 1.10010 \\ \hline 1.10010 \\ \rightarrow 1.11001 \\ + 0 \quad 0.00000 \\ \hline 1.11001 \end{array}$	$\begin{array}{r} 1.00110 \\ 0.10011 \\ \hline 1.01001 \end{array}$	$C_4C_5 = 10$ ， $[-X]_{补}$ 部分积右移一位 $C_4C_5 = 11$ ， $+0$
第 2 步	$\begin{array}{r} 1.11001 \\ \rightarrow 1.11100 \\ + [X]_{补} \quad 0.01110 \\ \hline 0.01010 \\ \rightarrow 0.00101 \\ + 0 \quad 0.00000 \\ \hline 0.00101 \end{array}$	$\begin{array}{r} 1.01001 \\ 1.01001 \\ \hline 0.10100 \end{array}$	部分积右移一位 $C_4C_5 = 01$ ， $+[X]_{补}$ 部分积右移一位 $C_4C_5 = 00$ ， $+0$
第 3 步	$\begin{array}{r} 0.00101 \\ \rightarrow 0.00010 \\ + [-X]_{补} \quad 1.10010 \\ \hline 1.10010 \\ \rightarrow 1.11000 \end{array}$	$\begin{array}{r} 0.10100 \\ 1.01001 \\ \hline 1.01001 \end{array}$	$C_4C_5 = 10$ ， $[-X]_{补}$ 部分积右移一位
第 4 步	$\begin{array}{r} 1.11000 \\ \rightarrow 1.11000 \end{array}$	$\begin{array}{r} 1.01001 \\ 1.01001 \\ \hline 1.01001 \end{array}$	部分积右移一位
第 5 步	$\therefore [X \times Y]_{补} = 1.01001010$		

上述每 1 步 2 分。

如果某步骤运算出错，则后续计算的各步骤如果其判断位和加数正确的话每步可得 1.5 分；

如果乘数与被乘数颠倒了做，扣 2 分。