

“计算机组成原理”习题集

填空题、综合题

西南交通大学
信息科学与技术学院

2013.12.30

第1章 概论

1. 计算机系统由_____系统和_____系统构成。
2. 现在主要采用_____结构作为微/小型计算机硬件之间的连接方式。
3. 三态门电路比普通门电路多一种_____状态。
4. 计算机系统的层次结构中，位于硬件之外的所有层次统称为_____。

第2章 数据的机器层次表示

1. 设 $X = -69$, $n = 8$ (含符合位), 则 X 的原码为_____, X 的补码为_____, X 的移码为_____。
2. 码值 FFH: 若表示真值 127, 则为_____码; 若表示 -127, 则为_____码; 若表示 -1, 则为_____码; 若表示 -0, 则为_____码。
3. 十进制数 78 所对应的二进制数表示为_____, 8421 码表示为_____。
4. 已知 $X = -5.5$, 则 X 的二进制数表示是_____, 十六进制表示形式是_____。
5. 设机器字长为 8 位, $X = 68$, $Y = -97$, 则
 $[X]_{\text{原}} = \text{_____B}$, $[Y]_{\text{补}} = \text{_____B}$ 。
6. 阶码 8 位 (最左一位为符号位), 用移码表示, 尾数位 24 位 (最左一位为符号位), 用规格化补码表示, 则它能表示的最大正数的阶码为_____, 尾数为_____, 绝对值最小的负数的阶码为_____, 尾数为_____。(以上回答用二进制书写。)
7. 8 位补码定点整数所能表示的绝对值最大的负数的值为_____。
8. 补码定点小数所能表示的绝对值最大负数的值为_____。
9. 当浮点数的基数为 2, 尾数为补码时, 其为规格化数应满足的条件为_____。
10. 已知某个汉字的国标码为 3547H, 其机内码为_____H。
11. 在整数定点机中, 若寄存器的内容为 80H, 当它分别代表原码、补码、反码和无符号数时, 所对应的十进制数值各为多少?
12. 机器数字长 8 位, 若机器数为 81H, 当它分别代表原码、补码、反码和移码时, 等价的十进制整数分别是多少?
13. 分别用 16 位带符号二进制数(补码)及 4 位十六进制数表示十进制数 +146D 及 -31549D
14. 按下述规定格式(阶符 1 位, 阶码 7 位, 尾符 1 位, 尾数 23 位), 写出真值为 -23/4096 的补码规格化浮点数形式。
15. 使用 32 位浮点二进制数, 8 位 (含 1 位符号位) 为用补码表示的阶码, 24 位 (含一位符号位) 为补码表示的规格化尾数, 试指出它所表示的最大正数与最小正数数据格式。

第3章 指令系统

1. 一台计算机的所具有的各种指令的集合称为该计算机的_____。
2. 指令的编码将指令分成_____和_____字段。
3. 通常指令编码的第一个字段是_____。
4. 采用 n 位固定长度操作码字段的计算机，其指令系统最多可以包含_____种指令。
5. 形成指令地址的方式称为_____方式，有_____寻址和_____寻址两种。
6. 在直接寻址方式中，操作数存放在_____中。
7. 计算机通常使用_____来指示指令的地址。
8. 存储器间接寻址方式指令中，给出的是_____所在的存储器的地址。
9. 零地址运算指令的操作数来自_____。
10. 根据操作数所在位置，指出其寻址方式：操作数在寄存器中，称为_____寻址方式；操作数地址在寄存器中，称为_____寻址方式；操作数在指令中，称为_____寻址方式；操作数地址在指令中，称为_____寻址方式。操作数的地址，为某一个寄存器中的内容与位移之和，则可以是_____、_____或_____寻址方式。

设计题：

1. CPU 的双操作数指令格式如下图所示

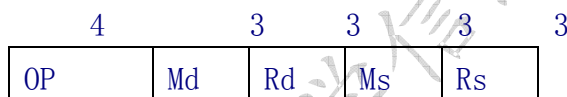


图 1 一种双操作数指令格式

OP 为 4 位操作码；Md 和 Ms 分别为 3 位目的操作数和源操作数的寻址方式；Rd 和 Rs 分别为 3 位目的和源寄存器号。问：

(1) 计算机设计 16 种双操作数指令是否可取？为什么？

(2) CPU 内部寄存器增加到 16 个，并且都是程序可访问的，在不改变指令长度的条件下，请给出集中修改指令格式的方案（画出修改后指令格式），并指出每种方案对指令功能产生什么影响。

(3) 如不降低指令功能，指令长度可改，画出具有 16 个寄存器的双操作数指令的格式。

2. 某机字长 16 位，直接寻址空间 128 字，变址时的位移量是 $-64 \sim +63$ ，16 个通用寄存器都可以作为变址寄存器，设计一套指令系统，满足下列寻址类型的要求。

- (1) 直接寻址的二地址指令 3 条
- (2) 变址寻址的一地址指令 6 条
- (3) 寄存器寻址的二地址指令 8 条
- (4) 直接寻址的一地址指令 12 条
- (5) 零地址指令 32 条。

第4章 数值的机器运算

1. 为判断溢出,可采用双符号位补码,此时正数的符号用____表示,负数的符号用____表示。
2. 一个基数为 2 的浮点数,当其补码尾数右移____bit 时,为使其值不变,阶码应该加 1。
3. 一个基数为 16 的浮点数,当其补码尾数右移____bit 时,为使其值不变,阶码应该加 1。
4. 行波进位的缺点是_____。
5. 正数补码算术移位时,符号位不变,空位补____。负数补码算术左移时,符号位不变,低位补____。负数补码算术右移时,符号位不变,高位补____,低位_____。

第5章 存储系统和结构

1. 对存储器的要求是____、____、____。为了解决这三个方面的矛盾,计算机采用多级存储器体系结构。
2. 在多级存储器体系中,Cache 的主要功能是____,虚拟存储器的主要功能是_____。
3. SRAM 靠_____存储信息, DRAM 靠_____存储信息。_____存储器需要定时刷新。
4. 动态半导体存储器的刷新方式一般有____、____和_____。
5. 一个 512KB 存储器,其地址线和数据线总和是_____。
6. 若 RAM 芯片内有 1024 个单元,用单译码方式,地址译码器有_____条输出线;用双译码方式,地址译码器有_____条输出线。
7. 高速缓冲存储器中保存的信息是主存信息的_____。
8. EPROM 属于可____次擦写的可编程 ROM,擦除时一般使用_____,写入时使用高压脉冲。
9. 建立高速缓冲存储器的理论依据是_____。

第6章 中央处理器

1. CPU 的四个主要功能是_____、_____、_____和_____。
2. CPU 中, 保存当前正在执行的指令的寄存器是_____, 保存下一条指令地址的寄存器是_____, 保存 CPU 访问内存地址的寄存器是_____。
3. 控制器在生成各种控制信号时, 必须按照一定的_____进行, 以便对各种操作实施时间上的控制。
4. 微程序控制的计算机中的控制存储器 CM 是用来存放_____的。
5. 在微指令的字段编码法中, 操作控制字段的分段并非是任意的、必须遵循的分段原则中包括: (1) 把_____性的微命令分在同一段内; (2) 一般每个小段要留出一个状态, 表示_____。
6. 微指令分为_____和_____微指令两类, _____可以同时执行若干个微操作, 所以机器指令的速度比_____快。
7. 计算机在执行程序过程中, 控制器控制计算机的运行总是处于_____、分析指令和_____的循环之中。
8. 控制器由于设计方法的不同, 可分为_____型和_____型控制器。
9. CPU 从主存取出一条指令并执行该指令所需的时间叫做_____, 它常用若干个_____周期来表示, 而后者又包括若干个_____。
10. 任何指令周期的第一步必定是_____周期。
11. 在微程序控制的计算机中, 执行一条指令的过程就是依次执行一个确定的_____的过程。
12. 存放微程序的存储器称为_____, 它隶属于计算机五大部件的_____部件。
13. 组合逻辑控制器是由_____构成的, 它根据_____、_____和_____来产生不同的控制信号。
14. 微命令的编码表示法是把一组_____的微操作控制信号编码在一起。
15. 微指令执行时, 产生后继微地址的方法主要有_____、_____和二者结合方式。

第7章 输入输出系统

1. I/O 接口按数据传送的宽度可分为_____和_____ 两类。
2. CPU 响应中断时需要保存当前现场，这里现场指的是_____ 和 _____ 的内容，它们被保存到_____ 中。
3. DMA 只负责在_____总线上实现_____和_____之间的数据传输。
4. 总线的主要特征是_____。为了实现此目的，必须制定一套相应的规则，称为_____。当总线上有多个部件争用总线时，由_____进行裁决，决定由谁首先使用总线。

西南交通大学信息科学与工程学院

参考答案

第1章 概论

1. 硬件，软件
2. 总线
3. 浮空
4. 虚拟机器
- 5.

第2章 数据的机器层次表示

1. 1, 1000101 1, 0111011 0, 0111011
2. 移码 原码 补码 反码
3. 1001110B 01111000
4. -101.1B 5.8H
5. 0, 1000100 1, 0011111
6. 11111111 011111111111111111111111
00000000 101111111111111111111111
7. -128（十进制）
8. -1（十进制）
9. $m_s \oplus m_l = 1$
10. B5C7
11. -0, -128, -127, 128
12. -1, -127, -126, 1
13. 0000000010010010, 0092H, 1000010011000011, 84C3H
14. 首先将十进制数-23/4096 转换成二进制数，转换使用一些技巧可大大节省时间。
 $-23/4096 = -23 \times 2^{-12}$ 转换成二进制数： -10111×2^{-12}
若写成规格化形式： -0.10111×2^{-7} 。
若阶码和尾数均用补码表示，则此浮点数的形式为：11111001；
1.01001000000000000000。
15. 采用的数据格式为：阶符，阶码，数符，尾数。
最大正数的数据格式：0;1111111; 0.1111111111111111111111。
最小正数的数据格式：1;0000000; 0.100000000000000000000000（规格化）。

第3章 指令系统

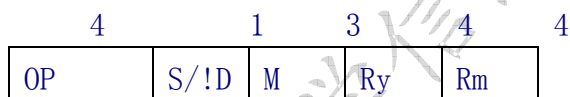
1. 指令系统
2. 操作码，操作数地址码
3. 操作码字段
4. 2^n
5. 指令寻址方式，顺序，跳跃
6. 内存
7. 程序计数器
8. 操作数地址
9. 堆栈
10. 寄存器，寄存器间接，立即，直接，基址，变址，相对

设计题参考答案：

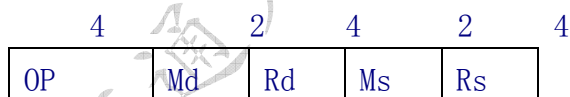
1. (1) 不可取。因为指令系统中通常还有单操作数指令和无操作数指令，如果双操作数指令有 16 条，就无法用扩展操作码技术设计单操作和无操作数的指令码了。

(2) 修改方案如：

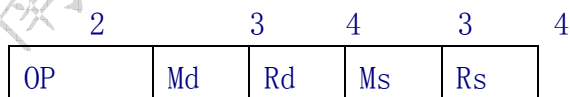
a) 采用类似于 Intel8086 的指令格式。这种方式使双操作数指令的其中一个操作数只能是寄存器寻址。



b) 减少 Md 和 Ms 的长度来增加 Rd 和 Rs 的长度。这种方式间将减少寻址方式



c) 减少操作码字段长度来增加 Rd 和 Rs 的长度。这种方式将减少双操作数指令的条数。



d) 不改变双操作数指令的格式，把 16 个寄存器分成两组 8 个的寄存器，指令每次只对其中一组寄存器读写。这种方式要求有其它的指令来选择所要使用的是那个寄存器组（类似于 8051 单片机）。

(3) 把 Rd 和 Rs 变成 4 位。



OP	Md	Rd	Ms	Rs
----	----	----	----	----

2. 5 种类型的指令格式如下：

(1) 直接寻址的二指令格式

2	7	7
OP	A1	A2

(2) 变址寻址的一地址指令

5	4	7
OP	X	A

(3) 寄存器的二地址指令格式

8	4	4
OP	R1	R2

(4) 直接寻址的一地址指令格式

9	7
OP	A

(5) 零地址指令格式

16
OP

操作码的编码方案之一如下：

操作码编码	说 明
00 01 10	直接寻址的二地址指令 3 条
11000 11101	变址寻址的一地址指令 6 条
11110000	寄存器寻址的二地址指令 8 条

11110111	
111110000 111111011	直接寻址的一地址指令 12 条
1111111000000000 1111111000011111	零地址指令 32 条

第4章 数值的机器运算

1. 00, 11
2. 1
3. 4
4. 运算速度慢
5. 0, 0, 1, 舍去

第5章 存储系统和结构

1. 容量大，速度快，成本低
2. 提高存储速度，扩大存储容量
3. 交叉反馈的双稳态电路，栅极电容，DRAM。
4. 集中式，分散式，异步式
5. 27。512KB 的存储器有 19 根地址线，8 根数据线，所以其总和是 27 根。
6. 1024, 64。单译码方式只有一个译码器；双译码器方式有两个译码器，每个译码器有 32 条输出线。
7. 活跃块的副本
8. 多，紫外线照射

程序访问的局部性原理

西南交通大学信息科学与技术学院

西南交通大学信息科学与技术学院

第6章 中央处理器

1. 指令控制，操作控制，时间控制，数据加工
2. 指令寄存器 IR，程序计数器 PC，地址寄存器 AR（或 MAR）
3. 时序
4. 微程序
5. 互斥，本字段不发出任何微命令
6. 水平型，垂直型，水平型，垂直型
7. 取指令、执行指令
8. 组合逻辑，存储逻辑（或微程序）
9. 指令周期，机器周期或 CPU 周期，时钟周期
10. 取指
11. 微程序（或微指令序列）
12. 控制存储器，控制器
13. 门电路，指令码，时序信号，PSW
14. 相斥（互斥）
15. 计数器方式，断定方式

第7章 输入输出系统

1. 串行接口，并行接口
2. 断点状态，有关寄存器，堆栈
3. 系统，主存，外设
4. 分时共享，总线协议，总线控制器

西南交通大学信息科学与技术学院