


Embedded Systems Programming on STM32 MCU


การโปรแกรมระบบสมองกลฝังตัวบน

ไมโครคอนโทรลเลอร์ STM32

ครั้งที่ 5 : การสื่อสารด้วยสัญญาณแอนะล็อก


 การใช้สัญญาณแอนะล็อกในการสื่อสาร


 คุณลักษณะของสัญญาณที่ใช้ และข้อควรระวัง


 การแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (Analog to Digital Conversion - ADC)

 คุณสมบัติต่างๆ ที่ควรรู้เกี่ยวกับสัญญาณแอนะล็อก และการสุ่มสัญญาณแอนะล็อก

 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบต่างๆ ที่น่าสนใจ

 การแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (Digital to Analog Conversion - DAC)

 วงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกแบบต่างๆ ที่น่าสนใจ

 การใช้งาน STM-32 สำหรับงานด้าน ADC และ DAC

 **กรรมวิธีการติดต่อกับอุปกรณ์รับส่งข้อมูลเข้าออก**



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

การใช้สัญญาณแอนะล็อกเพื่อการสื่อสาร

- 🌿 สัญญาณแอนะล็อกสามารถนำมาใช้ในการส่งข้อมูลในลักษณะของค่าที่อยู่ในพิสัย (range) ที่กำหนด
 - 💧 ใช้ในงานควบคุมอย่างเช่น PID ระบบไฟเวที (ในค่าแรงดัน หรือกระแส ในมาตรฐานที่กำหนด)
 - 💧 ใช้ในงานระบบเสียง (สัญญาณเสียง)
- 🌿 สัญญาณแอนะล็อกอาจได้มาจากวงจรแอนะล็อกที่สร้างแรงดันหรือกระแสในระดับใดๆ หรืออาจเป็นสัญญาณดิจิตัลที่ได้จากวงจรแอนะล็อก หรือวงจรแปลงสัญญาณดิจิตัลเป็นแอนะล็อก (DAC)
- 🌿 ตัวอย่างระดับสัญญาณแอนะล็อกที่ใช้งานทางด้านการควบคุม
 - 💧 สัญญาณแรงดัน 0-10 โวลต์
 - 🎨 อาจพบเป็น 2-10 โวลต์ (live zero signal)
 - 💧 สัญญาณกระแส 0-20 มิลลิแอมป์
 - 🎨 อาจพบได้เป็น 4-20 มิลลิแอมป์ (live zero signal)
 - 🎨 live zero ถูกนำมาใช้งานเพื่อให้ระบบสามารถแยกแยะความแตกต่างระหว่างการส่งสัญญาณที่มีค่าระดับต่ำสุด กับสายสัญญาณขาด/วงจรเสียหาย และเพื่อลดปัญหาจากสัญญาณรบกวนในระบบ



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

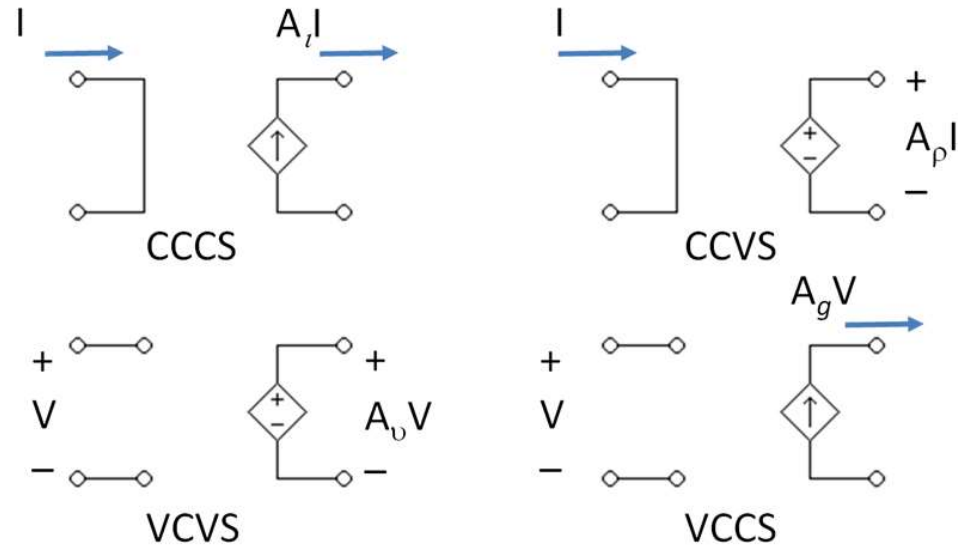
ADC & DAC

การใช้สัญญาณแอนะล็อกเพื่อการสื่อสาร

🌱 ระบบควบคุมอาจจะใช้ระบบสัญญาณแบบแรงดัน และ กระแส ปะปนกัน ดังนั้นจะต้องมีวงจรเพื่อแปลงสัญญาณ (หรือเป็นบัปเฟอร์ให้กับระบบ) ดังต่อไปนี้

- 💧 Current control current source (CCCS)
- 💧 Current control voltage source (CCVS)
- 💧 Voltage control voltage source (VCVS)
- 💧 Voltage control current source (VCCS)

🌱 สำหรับเนื้อหาในครั้งนี จะได้กล่าวถึงสัญญาณแอนะล็อกเฉพาะที่เป็นสัญญาณแบบแรงดัน (หากได้รับสัญญาณที่เป็นแบบกระแส ให้ใช้วงจร CCVS แปลงเป็นสัญญาณแบบแรงดันก่อนป้อนให้ระบบ)



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ข้อควรระวังในการจัดการสัญญาณแอนะล็อกเพื่อการสื่อสาร

🌱 ช่วงของแรงดันและกระแสระหว่างภาคให้สัญญาณและภาครับสัญญาณ

💧 หากช่วงแรงดันต่างกัน ต้องใช้วงจร VCVS เพื่อจัดการ

🌈 อาจเป็น amplifier/attenuator ขยาย/ลด สัญญาณเพื่อให้ได้ช่วงที่ปลายทางต้องการ

🌈 วงจรอาจเป็น resistor ladder ง่ายๆ ในกรณีการลดระดับสัญญาณ ไปจนถึงวงจรแบบ active circuit ที่ออกแบบมาเป็นการเฉพาะ ไปจนถึงไอซีสำเร็จรูป

💧 หากภาคส่ง/ภาครับ ใช้ระบบต่างกัน

🌈 ภาคส่งเป็นแรงดัน ภาครับเป็นกระแส ใช้วงจร VCCS เพื่อเชื่อมระหว่างกัน

🌈 ภาคส่งเป็นกระแส ภาครับเป็นแรงดัน ใช้วงจร C CVS เพื่อเชื่อมระหว่างกัน

💧 หากไม่ระมัดระวังเรื่องช่วงของแรงดันหรือกระแสที่ภาครับจะรับได้ อาจทำให้ภาครับเสียหายได้




Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS


ADC & DAC


ข้อควรระวังในการจัดการสัญญาณแอนะล็อกเพื่อการสื่อสาร

 การป้องกันเมื่อเกิดกระแส/แรงดัน นอกเหนือจากที่ออกแบบเมื่อระบบเสียหาย/ทำงานผิดพลาด


 แม้ว่าจะมีการออกแบบช่วงการรองรับระดับสัญญาณไว้แล้ว แต่ในทางปฏิบัติการกระแส/แรงดันอาจเกิดนอกย่านที่ออกแบบ

 ฟิวส์ การเหนี่ยวนำในสายส่งสัญญาณ

 อุปกรณ์ภาคส่งสัญญาณเสียหาย

 ภาครับอาจจะต้องมีการออกแบบวงจรเพื่อป้องกันระดับสัญญาณที่อยู่นอกช่วง

 อาจเป็นอุปกรณ์ง่ายๆ เช่น Zener diode สำหรับการป้องกันด้านแรงดัน

 หรือเป็นอุปกรณ์ที่ออกแบบมาเฉพาะเพื่อจำกัดให้สัญญาณอยู่ในช่วง ไปจนถึงการตัดสัญญาณออกโดยอัตโนมัติเมื่อเกิดความผิดปกติ



Asst.Prof. Thanwa SRIPRAMONG


PRESENTER


TODAY TOPIC IS


ADC & DAC


ข้อควรระวังในการจัดการสัญญาณแอนะล็อกเพื่อการสื่อสาร

 สัญญาณรบกวนในสายส่งสัญญาณ และ EMI

 หากต้องเดินสายส่งสัญญาณในที่ซึ่งเสี่ยงต่อการรบกวนสัญญาณสูง จะต้องมีการออกแบบให้ระบบทนต่อสัญญาณรบกวนที่ส่งเข้ามา

 การใช้ live zero signal (ไม่ใช้ระดับสัญญาณแอนะล็อกที่ค่าต่ำๆ เพื่อไม่ให้ระดับสัญญาณน้อยกว่าสัญญาณรบกวนที่เกิดขึ้น)

 การออกแบบการ shield ของสายส่งสัญญาณและวงจรที่เกี่ยวข้อง

 การใช้ balanced signal (ส่งสัญญาณแอนะล็อกที่มีเฟสตรงกันข้ามไปอีกสายส่งสัญญาณ และที่ปลายทางใช้วงจร differential amplifier เพื่อรวมสัญญาณเข้าด้วยกัน)



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ข้อควรระวังในการจัดการสัญญาณเพื่อการสื่อสาร

🌿 ถ้าเป็นไปได้ ก็อาจจะมี การแยกวงจร (isolation) ระหว่างภาครับและภาคส่ง (ทั้งดิจิทัลและแอนะล็อก)

💧 ลดปัญหาเรื่อง ground loop

💧 ลดปัญหาระหว่างระบบวงจรแรงดันสูงกับวงจรแรงดันต่ำ

💧 การแยกวงจรทางไฟฟ้าออกจากกันระหว่างภาคส่งและภาครับ ทำได้ในหลายวิธี

🌍 การใช้ทรานส์ฟอร์มเมอร์ (transformer)

🌍 ใช้กับสัญญาณที่มีการเปลี่ยนแปลงตลอดเวลา (AC)

🌍 ทนทาน อายุการใช้งานนาน



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ข้อควรระวังในการจัดการสัญญาณเพื่อการสื่อสาร

💡 การแยกวงจรทางไฟฟ้าออกจากกันระหว่างภาคส่งและภาครับ ทำได้ในหลายวิธี

🌱 การใช้ opto-isolator

🌱 เหมาะกับสัญญาณดิจิทัล

🌱 ภายในประกอบไปด้วย LED และ photo-transistor

🌱 การส่งสัญญาณแบบใยแก้วนำแสง

🌱 แปลงสัญญาณเป็นคลื่นแม่เหล็กไฟฟ้าเพื่อส่งผ่านสายนำสัญญาณนำแสง และแปลงกลับเป็นสัญญาณทางไฟฟ้าที่ปลายทาง

💡 เนื่องจากวงจรที่เพิ่มเข้ามาอาจทำให้เกิดความเพี้ยนของสัญญาณแอนะล็อก จึงมักจะทำ isolation บนบัสสื่อสารระหว่างเซ็นเซอร์/แอ็กชูเอเตอร์ กับวงจรหลัก (MCU) ซึ่งมีการส่งผ่านกันเป็นสัญญาณดิจิทัล

💡 การใช้ opto-isolator หรือการใช้ fiber optic มีข้อดีในการแยกวงจรไฟฟ้าของส่วนภาคส่งและภาครับออกจากกัน ลดปัญหา ground loop ในระบบ



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

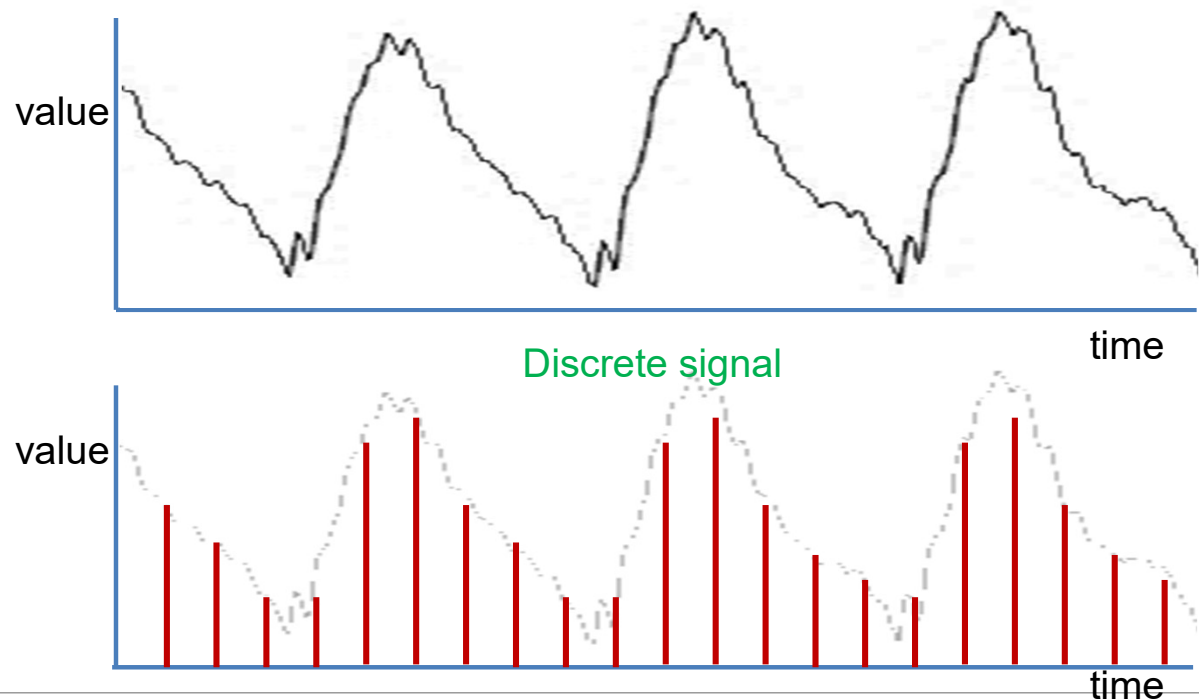
การสุ่มสัญญาณแอนะล็อก (Analog signal)

🌱 กระบวนการอ่านค่าระดับสัญญาณแอนะล็อกเป็นครั้งๆ ต่อคาบเวลา ทำให้สัญญาณที่มีลักษณะต่อเนื่อง (continuous-time signal) กลายเป็นสัญญาณที่มีลักษณะไม่ต่อเนื่อง (discrete-time signal)

🌱 จาก Nyquist-Shannon sampling theorem ความถี่ของการสุ่ม (sampling rate) จะต้องไม่ต่ำกว่า สองเท่า ของย่านความถี่ของสัญญาณ แอนะล็อกที่ต้องการสุ่ม

$$B = \frac{f_s}{2}$$

$f_s/2$ เรียกว่า Nyquist frequency



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

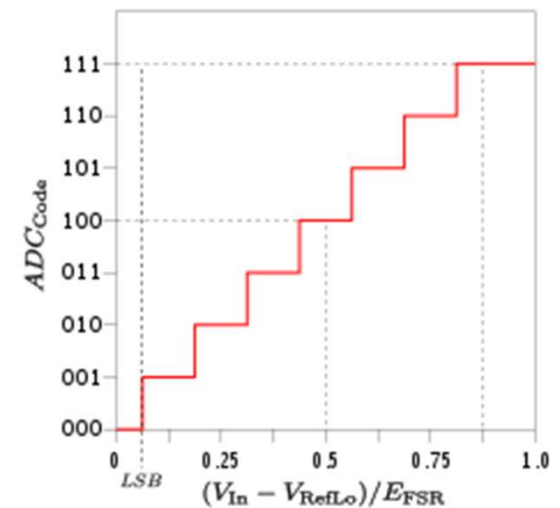
TODAY TOPIC IS
ADC & DAC

การสุ่มสัญญาณแอนะล็อก (Analog signal)

🌱 Resolution ค่าความละเอียดของสัญญาณทางดิจิทัล คือจำนวนระดับสัญญาณแอนะล็อกที่สามารถนำเสนอได้ในโดเมนดิจิทัล

💡 ความคลาดเคลื่อนจากการที่ไม่สามารถนำเสนอค่าจำนวนจริงในโดเมนดิจิทัลได้จาก resolution ที่ไม่เพียงพอ = quantization error (noise)

💡 ส่งผลต่อ signal-to-noise ratio ของข้อมูลดิจิทัลที่บันทึกมาได้



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

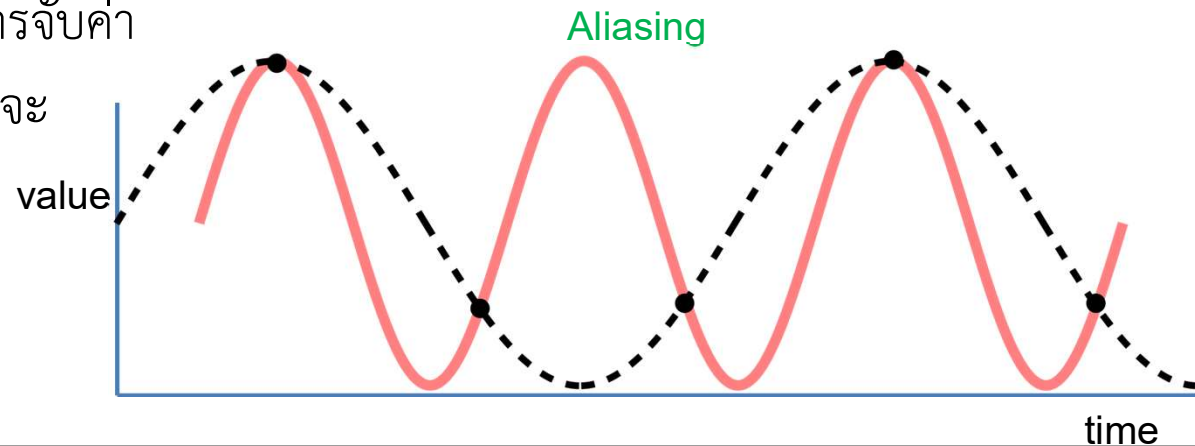
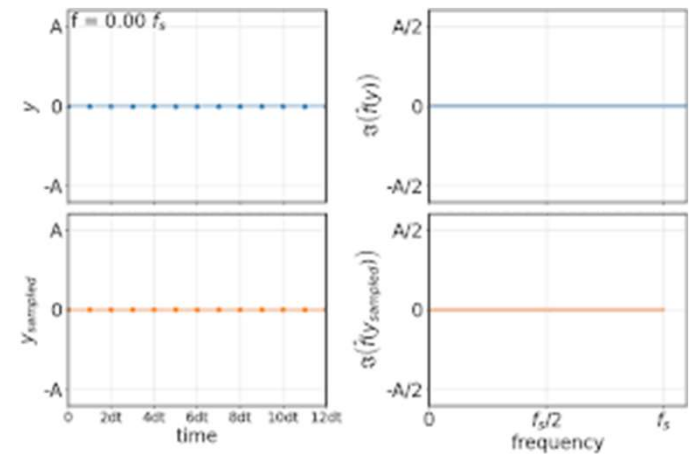
TODAY TOPIC IS

ADC & DAC

สิ่งที่ต้องพิจารณาในการสุ่มสัญญาณแอนะล็อก

🌱 **Aliasing** เนื่องจากค่าที่สุ่มได้ในทุกๆ ช่วงคาบเวลาหนึ่ง อาจนำเสนอสัญญาณแอนะล็อกที่มีความถี่ไม่เกิน Nyquist frequency หรือสัญญาณแอนะล็อกที่มีความถี่เกิน Nyquist frequency ได้ (ดังรูปขวา) ดังนั้นในทางปฏิบัติ จึงมักมีการออกแบบวงจร low-pass filter เพื่อกรองสัญญาณความถี่ที่สูงเกินกว่า Nyquist frequency ออกก่อนสุ่มสัญญาณ

🌱 **Aperture error** การสุ่มสัญญาณ เป็นการจับค่าระดับสัญญาณ ณ เวลาใดเวลาหนึ่ง ซึ่งอาจจะไม่ใช่ตัวแทนของสัญญาณแอนะล็อกที่เกิดขึ้น ณ ช่วงเวลาที่สุ่มนั้นๆ อย่างที่ควรจะเป็น (สุ่มเร็วหรือช้ากว่าตำแหน่ง)

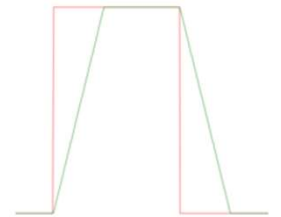


Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS
ADC & DAC

สิ่งที่ต้องพิจารณาในการสุ่มสัญญาณแอนะล็อก (ต่อ)

- 🌿 **Jitter** คือความคลาดเคลื่อนทางเวลาของการสุ่มสัญญาณ เนื่องจากวงจรสุ่มสัญญาณแอนะล็อกอาจจะไม่สามารถสุ่มสัญญาณในทุกๆ ช่วงคาบเวลาได้อย่างคงที่
- 🌿 **Noise** ความคลาดเคลื่อนจากสัญญาณรบกวนที่มีผลต่อเซ็นเซอร์ที่ใช้อ่านค่าสัญญาณแอนะล็อก และสัญญาณรบกวนทางธรรมชาติที่ปรากฏอยู่ภายในวงจรอิเล็กทรอนิกส์ที่ใช้ในการขยายสัญญาณและการสุ่มสัญญาณ
- 🌿 **Slew rate** เป็นความคลาดเคลื่อนในการวัด อันเกิดจากการที่วงจรที่ใช้ในการสุ่มสัญญาณไม่สามารถเปลี่ยนระดับสัญญาณที่จะวัดได้ทันกับการเปลี่ยนแปลงของสัญญาณต้นทาง (อันเนื่องจากคุณสมบัติของวงจรภายใน เช่น อินพุตอิมพีแดนซ์-เชิงความถี่ (คาปาซิแตนซ์) หรือข้อจำกัดของวงจร ADC ที่นับไม่ทัน เป็นต้น)



Slew rate effect
on a square wave



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

สิ่งที่ต้องพิจารณาในการสุ่มสัญญาณแอนะล็อก (ต่อ)

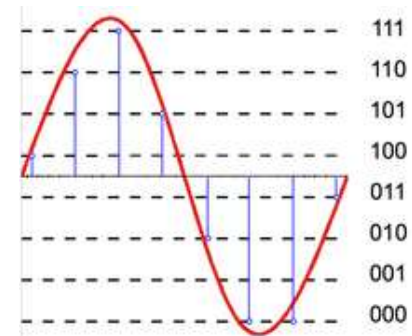
🌱 **Non-linear effect** ข้อจำกัดทางการออกแบบวงจร หรือความคลาดเคลื่อนที่ไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณ (เช่นการใช้วงจร low-pass filter ภายในวงจร ADC แบบ $\Delta\Sigma$ ที่ใช้คาปาซิเตอร์ที่มีค่าไม่เหมาะสม ทำให้คาปาซิเตอร์ถึงจุดอิ่มตัวก่อน)

🌱 **Quantization Noise** ความคลาดเคลื่อนของการนำเสนอสัญญาณที่สุ่มได้เป็นค่าที่เป็นจำนวนเต็ม หรือจำนวนทศนิยมที่มีขนาดพื้นที่เก็บจำกัด เนื่องจากระดับสัญญาณแอนะล็อก อาจกล่าวได้ว่าเป็นสัญญาณที่มีค่าเป็นจำนวนจริง (ที่มีทศนิยมไม่จำกัด) แต่เมื่อต้องสุ่มสัญญาณและนำมายังโดเมนดิจิทัล การนำเสนอค่าระดับสัญญาณที่สุ่มได้ ไม่สามารถนำเสนอได้ภายในระบบตัวเลขที่มีพื้นที่เก็บจำกัด

🌐 ตัวอย่างเช่น ในงานระบบเสียงแบบม็อดอชีพ จะสุ่มสัญญาณเป็นสัญญาณดิจิทัล 24 บิต (แทนค่าระดับสัญญาณได้เพียง 16.7 ล้านระดับ หรือในการคำนวณ DSP อาจจะใช้เป็นตัวเลขจำนวนมีทศนิยมที่ใช้พื้นที่เก็บ 64 บิต เป็นต้น)

Signal-to-quantization-noise ratio (SQNR) (Q = number of quantization bits)

$$SQNR = 20 \log_{10}(2^Q) \approx 6.02 \cdot Q \text{ dB}$$



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

การลดปัญหาการสุ่มสัญญาณแอนะล็อก

- 🌿 **Over sampling** เนื่องจากวงจร low-pass filter ที่นำมาใช้ ไม่สามารถตัดสัญญาณที่มีความถี่เกิน Nyquist frequency ได้อย่างสมบูรณ์ ในทางปฏิบัติจึงมีการกำหนดอัตราความเร็วในการสุ่มสัญญาณที่มีค่าสูงกว่าที่ต้องการ
 - 💡 ตัวอย่างเช่น ซีดีเพลง และการสุ่มสัญญาณในระบบเสียงดิจิทัล มักจะใช้อัตราสุ่มสัญญาณเป็น 44.1kHz (ซึ่งค่า N_f จะมีค่าเท่ากับ 22.05kHz หรืออาจจะเพิ่มไปเป็น 48kHz หรือในระดับมืออาชีพอาจจะสูงได้ถึง 96-192kHz)
- 🌿 **กำหนดจำนวนบิตข้อมูลที่สุ่ม (resolution) ให้มากขึ้น** เช่น หันไปใช้จำนวนบิตสูงขึ้น (24 บิต) และซอฟต์แวร์ภายในอาจเพิ่มจำนวนบิตการคำนวณให้มากขึ้นไปอีก เช่น 40-64บิต
 - 💡 แต่ทั้งนี้ก็จะทำให้ราคาอุปกรณ์สูงมากขึ้น ซึ่งต้องพิจารณาประกอบด้วย
 - 💡 ในทางปฏิบัติอาจพบว่า สัญญาณรบกวนทางธรรมชาติภายนอก หรือจากวงจรอิเล็กทรอนิกส์ที่ใช้ มีค่ามากกว่า QSNR อยู่แล้ว ดังนั้นการเพิ่มจำนวนบิตข้อมูลในการสุ่มอาจจะไม่เห็นผล
- 🌿 การออกแบบวงจรทางฮาร์ดแวร์ก่อนการสุ่มสัญญาณ หรือวงจรสุ่มสัญญาณเพื่อแก้ไขคุณลักษณะ non-linear



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

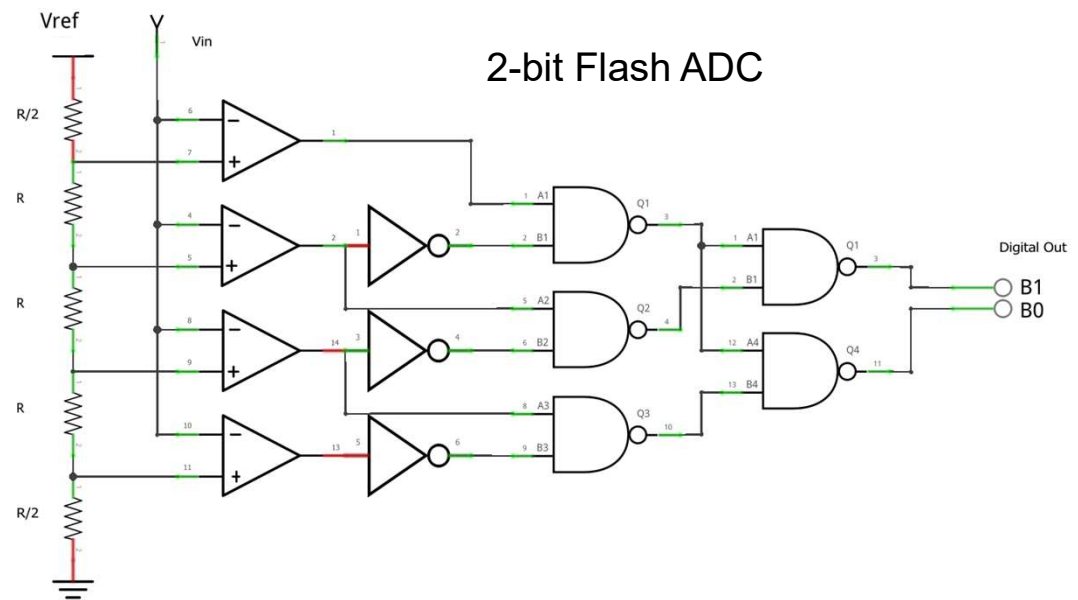
ADC & DAC

ประเภทของวงจร ADC ที่น่าสนใจ

🌿 Direct-conversion การแปลงสัญญาณโดยตรง

💧 เรียกอีกอย่างว่า Flash ADC

💧 ใช้วงจร comparator กับระดับสัญญาณอ้างอิง เพื่อส่งลอจิกออกไปเข้ารหัสเป็นข้อมูลดิจิทัล



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

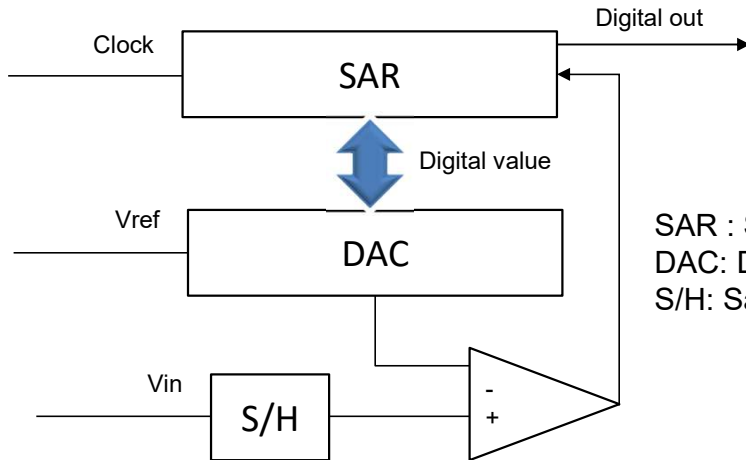
ประเภทของวงจร ADC ที่น่าสนใจ

🌱 Successive approximation การประมาณค่าสุ่มปัจจุบันเทียบกับค่าสุ่มก่อนหน้านี้

🌐 ใช้วงจร DAC สร้างระดับสัญญาณอ้างอิงจากค่าดิจิทัลเพื่อใช้เทียบกับสัญญาณแอนะล็อกขาเข้า โดยเริ่มต้นจากบิตข้อมูลสูงสุด

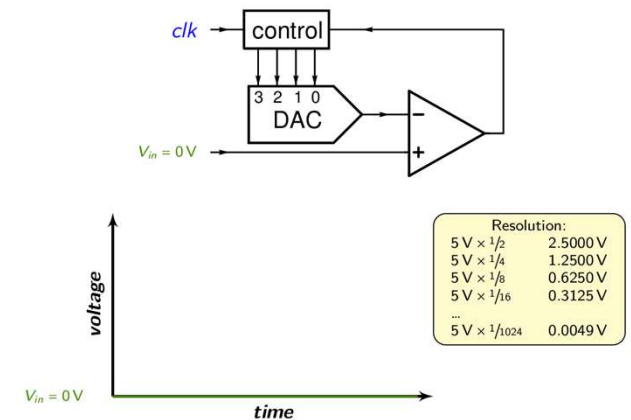
🌈 หากสัญญาณที่อ่านเข้ามามีค่าสูงกว่าสัญญาณที่สร้างขึ้น จะกำหนดให้บิตสูงสุดมีค่าเป็น 1 หากต่ำว่าจะมีค่าเป็น 0

🌈 จากนั้นจะดำเนินการต่อกับบิตในหลักที่รองลงไปเรื่อยๆ จนครบจำนวนบิตที่ต้องการ



SAR : Successive approximation register
DAC: Digital to analog convertor
S/H: Sample and hold circuit

Successive Approximation – example of a 4-bit ADC



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

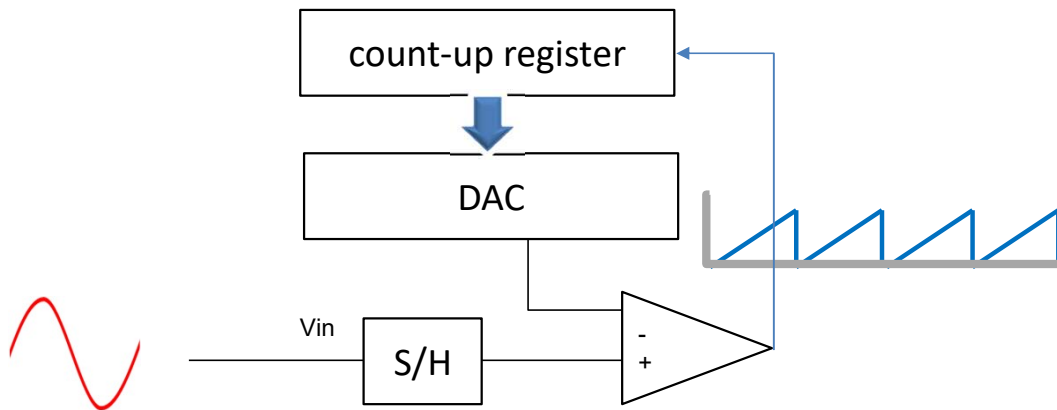
TODAY TOPIC IS

ADC & DAC

ประเภทของวงจร ADC ที่น่าสนใจ

🌱 Ramp-compare การสร้างสัญญาณ ramp เปรียบเทียบ

💡 ใช้วงจรนับขึ้น ส่งค่าทางดิจิทัลให้วงจร DAC เปลี่ยนเป็นระดับสัญญาณเพื่อนำไปเปรียบเทียบกับสัญญาณแอนะล็อก หากค่าที่สร้างขึ้นมีค่าเท่ากันหรือมากกว่าสัญญาณที่ต้องการวัด วงจรเปรียบเทียบสัญญาณ (comparator) จะส่งสัญญาณบอกให้หยุดนับขึ้นและส่งค่าดิจิทัลดังกล่าวเป็นคำตอบ



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ประเภทของวงจร ADC ที่น่าสนใจ

🌿 Wilkinson ADC ใช้คาปาซิเตอร์สลับสัญญาณและคายประจุสัญญาณ

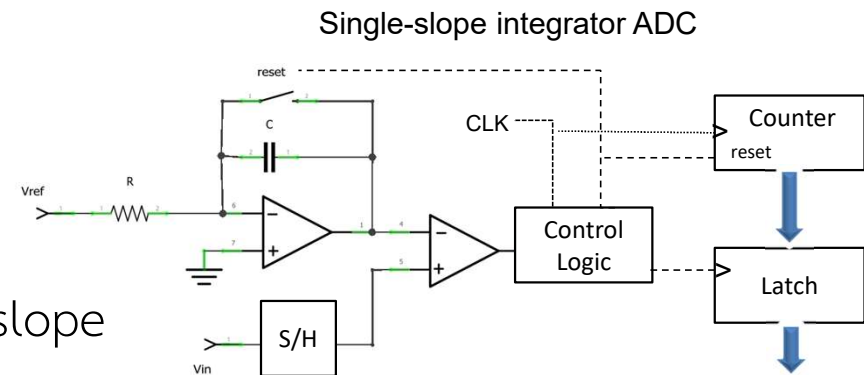
💡 ออกแบบโดย Denys Wilkinson ในปีค.ศ. 1950

💡 อาศัยการวัดเวลาการคายประจุสัญญาณจากคาปาซิเตอร์ในวงจรแล้วจับเวลาการคายประจุว่าใช้เวลาเท่าใด

🌿 Integrating ADC ใช้วงจร integrator (low-pass filter) อาศัยความแตกต่างระหว่างสัญญาณที่ต้องการวัดกับสัญญาณอ้างอิง (ที่ทราบค่า) ที่ตัวเก็บประจุจะใช้เวลาเก็บ/คายประจุ และใช้วงจรนับเพื่อจับเวลาช่วงที่เก็บ/คายประจุ

💡 หากวัดในจังหวะเก็บประจุเพียงอย่างเดียว แล้วใช้วงจรคายประจุ (เช่น IGFET) จากนั้นเก็บประจุใหม่ จะเรียกว่าเป็น single-slope

💡 หากวัดทั้งในจังหวะเก็บประจุและคายประจุ เป็น dual-slope



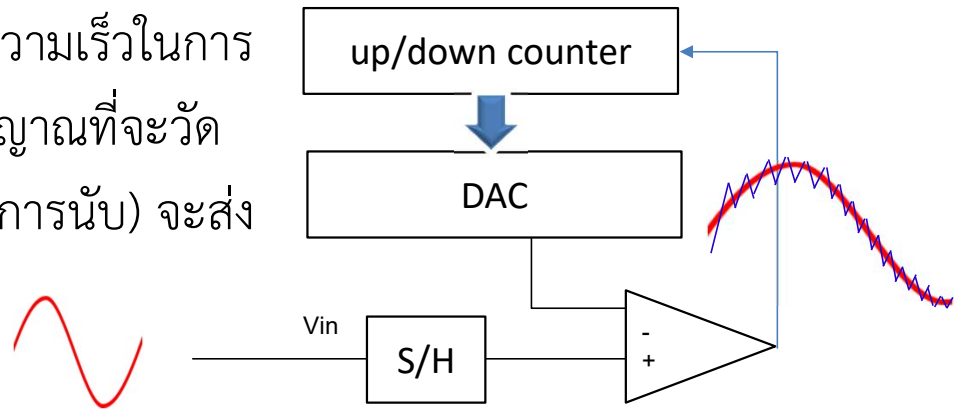
Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ประเภทของวงจร ADC ที่น่าสนใจ

- 🌱 Delta-encoded ใช้วงจรนับขึ้น/ลง เพื่อสร้างสัญญาณอ้างอิงเปรียบเทียบกับสัญญาณขาเข้า
 - 💡 วงจร up/down counter นับขึ้นหากสัญญาณที่สร้างขึ้นมีค่าต่ำกว่าสัญญาณแอนะล็อกที่วัด แต่จะนับลงหากสัญญาณที่สร้างขึ้นมีค่าสูงกว่าสัญญาณแอนะล็อก
 - 💡 ใช้สัญญาณนาฬิกาที่มีความถี่สูงมาก เพื่อให้ความเร็วในการนับขึ้น/ลง ทำได้ทันการเปลี่ยนแปลงของสัญญาณที่จะวัด
 - 💡 เมื่อค่าสัญญาณได้ค่าใกล้เคียง(ถึงจุดที่เปลี่ยนการนับ) จะส่งค่าที่ได้ออกไปเป็นคำตอบ



- 🌱 Pipelined ใช้วงจรวัดหลายชั้น โดยประกอบไปด้วยวงจรที่ให้คำตอบแบบหยาบๆ จากนั้นส่งช่วงของค่าดิจิทัลที่เป็นไปได้ ให้กับวงจรถัดไปเพื่อคำนวณหาค่าที่แม่นยำขึ้น



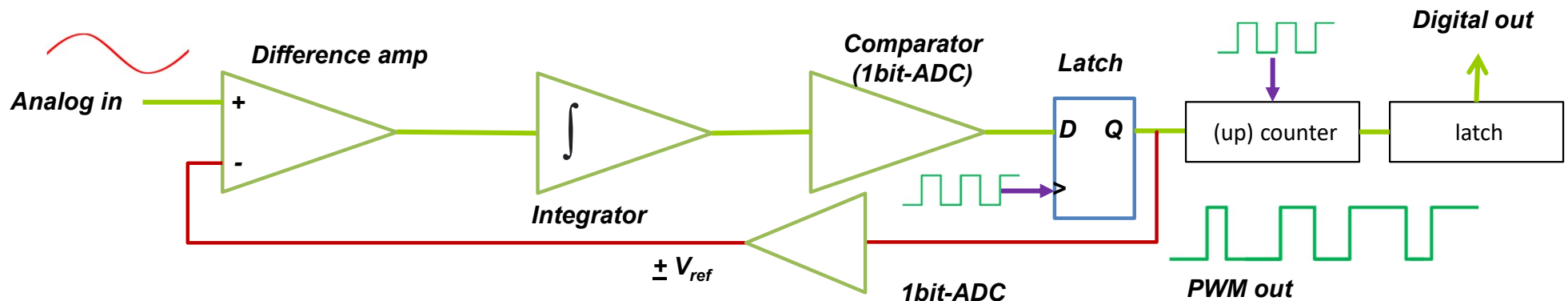
Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

ประเภทของวงจร ADC ที่น่าสนใจ

🌱 Delta-sigma ADC ใช้หลักการสร้างสัญญาณ PWM จากสัญญาณแอนะล็อก โดยผ่านวงจร different amp เพื่อคำนวณค่าความแตกต่างของระดับสัญญาณที่ป้อนกลับและสัญญาณขาเข้า จากนั้นส่งให้วงจร integrator ซึ่งจะทำให้เกิดการหน่วงของสัญญาณขาออก (ซึ่งถูก offset ขึ้นหรือลงจากวงจร different amp) และผ่าน comparator ได้เป็นสัญญาณ PWM จากนั้นใช้วงจรนับ เพื่อหาความยาวคาบเวลาของพัลส์พวก ได้ออกมาเป็นค่าทางดิจิทัล



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

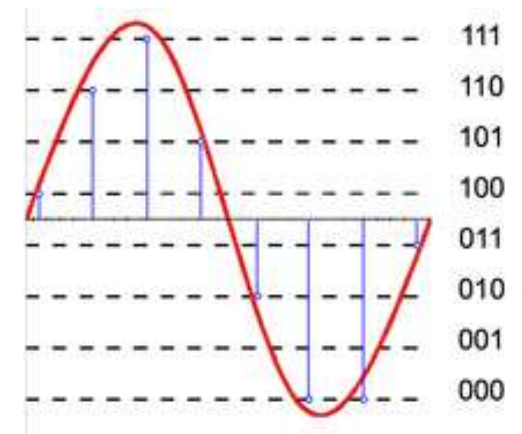
ADC & DAC

การแปลงข้อมูลดิจิทัลเป็นสัญญาณแอนะล็อก

🌱 Digital-to-analog convertor (DAC) การแปลงข้อมูลที่จัดเก็บในโดเมนดิจิทัล ให้กลับออกมาเป็นสัญญาณแอนะล็อก

💡 ข้อมูลที่อยู่ในโดเมนดิจิทัล อาจจะอยู่ในรูปบิตสตรีม (bitstream) (เช่นที่อ่านได้จาก delta-sigma convertor ที่ยังไม่ผ่านวงจรนับ) หรืออาจอยู่ในรูปของ PCM (pulse-code modulation)

💡 อุปกรณ์จัดเก็บข้อมูลดิจิทัลหลายตัวใช้ข้อมูลดิจิทัลแบบ LPCM (Linear PCM) ซึ่งค่าดิจิทัลที่จัดเก็บมีค่าแปรผันตรงกับค่าระดับสัญญาณแอนะล็อกแบบเชิงเส้น



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

วงจร DAC ที่น่าสนใจ

- 🌱 Pulse-Width modulator สร้างสัญญาณ PWM จากข้อมูลดิจิทัล จากนั้นผ่าน low-pass filter เพื่อให้ได้สัญญาณแอนะล็อก
- 🌱 Oversampling DAC หรือ interpolating DAC ใช้บิตสตรีมที่อัตราความถี่ที่สูงมากๆ สร้างสัญญาณแอนะล็อก
 - 💧 บิต 1 หมายถึงระดับสัญญาณในคาบเวลาถัดไปสูงขึ้น 1 ระดับ
 - 💧 บิต 0 หมายถึงระดับสัญญาณในคาบเวลาถัดไปต่ำลง 1 ระดับ
 - 💧 บิตสตรีมที่ได้มาจากวงจร delta-sigma convertor ADC



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

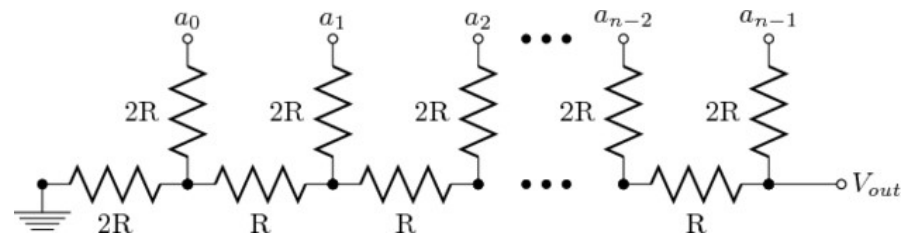
ADC & DAC

วงจร DAC ที่น่าสนใจ

🌱 Binary-weighted DAC ใช้วงจรที่สร้างสัญญาณแอนะล็อกขาออกโดยอิงค่าถ่วงน้ำหนักจากตำแหน่งบิตของค่าทางดิจิทัล

💡 บิตสูงกว่า จะมีผลต่อระดับสัญญาณขาออกที่มากกว่าเป็นเท่าตัว

💡 วงจรที่ใช้ตัวต้านทานเป็นหลักในการแปลงสัญญาณเรียกว่า R-2R ladder (R-2R DAC)



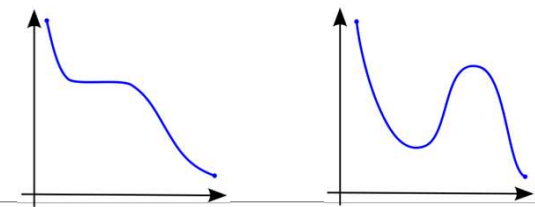
Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

สิ่งที่ต้องพิจารณาในวงจรสร้างสัญญาณแอนะล็อก

- 🌿 **Resolution** จำนวนบิตข้อมูลของสัญญาณ (ค่าที่นำเสนอใน PCM/LPCM) ถ้ามีจำนวนบิตที่ต่ำ จะทำให้สามารถจำลองระดับสัญญาณแอนะล็อกได้ไม่ตรงกับความเป็นจริง (มีความคลาดเคลื่อนจากที่ควรจะเป็น)
 - 💧 สมมติว่าค่าระดับสัญญาณภายในระบบเป็น 24 บิต แต่วงจร DAC เป็น 16 บิต จะเห็นได้ว่าค่า 8 บิตล่างของข้อมูลจะไม่สามารถนำเสนอออกไปได้
 - 💧 **Dynamic range** ค่าระดับสัญญาณที่ต่ำสุดที่นำเสนอได้ เทียบกับระดับสัญญาณสูงสุดที่นำเสนอได้
- 🌿 **Maximum sampling rate** อัตราความถี่สูงสุดของการสร้างสัญญาณของวงจร DAC (ถ้าความถี่สัญญาณนาฬิกาของการสร้างสัญญาณขาออกสูงกว่าที่วงจรรับได้ จะทำให้สัญญาณที่ได้ไม่ถูกต้องแม่นยำ)
- 🌿 **Monotonicity** ลักษณะที่คลื่นสัญญาณขาออกจะขึ้นหรือลดลงเป็นไปตามค่าทางดิจิทัลที่ป้อนให้วงจร DAC (จากคุณภาพการสร้างสัญญาณของวงจร อาจเกิดลักษณะของระดับสัญญาณที่เปลี่ยนไปในระหว่างคาบเวลาการสุ่มสัญญาณขาออก)
- 🌿 **Total Harmonic Distortion and noise (THD+N)** จากคุณภาพของวงจร DAC ที่อาจมีสัญญาณรบกวนเกิดขึ้นจากภายในวงจร หรือความไม่เที่ยงของการนำเสนอค่าทางดิจิทัล



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

การใช้งานวงจร ADC ของ STM32

- 🌿 วงจร ADC ของ STM32 ใช้กลไกของ successive approximation register (SAR) แบบ switch-capacitor
- 🌿 ADC มีขนาด 12 บิต แต่เนื่องจากกลไกการอ่านจะกระทำทีละบิตจาก MSB ลงมา จึงสามารถกำหนดให้อ่านเพียงบางส่วนหรือทั้งหมดได้
- 💡 รองรับ 12 (15 ADC CLK) / 10 (13 ADC CLK) / 8 (11 ADC CLK) / 6 (9 ADC CLK) บิต
- 💡 ข้อมูลที่อ่านได้จะถูกนำมาพักไว้ในเรจิสเตอร์ภายใน ADC ที่สามารถอ่านได้ทั้งแบบ right alignment และ left alignment

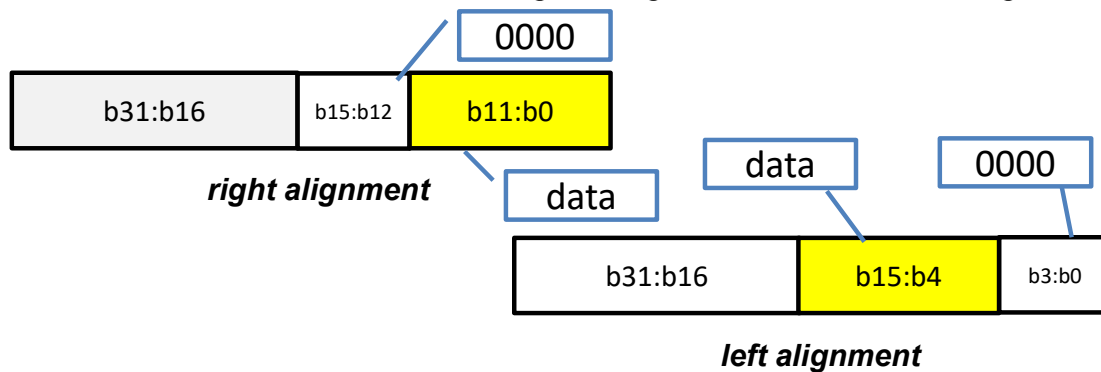
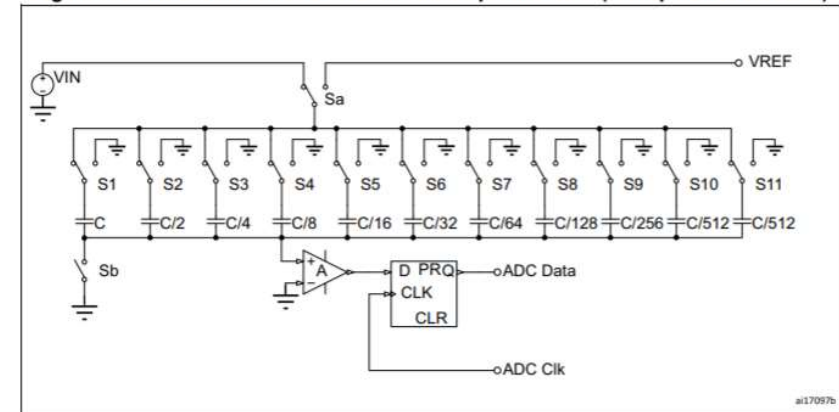


Figure 1. Basic schematic of SAR switched-capacitor ADC (example of 10-bit ADC)



1. Basic ADC schematic with digital output.



การใช้งานวงจร ADC ของ STM32



สามารถอ่านได้หลายแบบ



หยังสัญญาณ (หยุดรอข้อมูลดิจิทัลที่เป็นคำตอบ)



ใช้การขัดจังหวะ (เมื่ออ่านค่าได้จะสร้างสัญญาณขัดจังหวะขึ้น)



ใช้ DMA (อ่านสัญญาณเข้ามาจากหลายตำแหน่งอินพุต หรืออ่านหลายครั้ง เพื่อนำไปเก็บในหน่วยความจำโดยตรง)



MCU แต่ละเบอร์จะมีจำนวนวงจร ADC ที่แตกต่างกันไป และแต่ละวงจรจะมีช่องสัญญาณขาเข้าหลายช่อง



สามารถเลือกอ่านที่หนึ่งช่องสัญญาณ หรืออ่านเข้ามาเป็นชุดจากหลายช่องสัญญาณ



Asst.Prof. Thanwa SRIPRAMONG

PRESENTER

TODAY TOPIC IS

ADC & DAC

การใช้งานวงจร DAC ของ STM32

- STM32 MCU บางเบอร์ไม่มี DAC ภายใน
- วงจร DAC มีขนาด 12 บิต โดยมีเรจิสเตอร์รับค่าดิจิทัล ที่มีขนาด 8 บิต หรือ 12 บิต วงจรภายในจะถ่ายโอนค่าดังกล่าว และแปลงลงสู่เรจิสเตอร์ภายในเพื่อแปลงเป็นสัญญาณแอนะล็อกต่อไป
- สามารถส่งค่าได้ในหลายแบบ
 - ส่งข้อมูลออกไปที่เรจิสเตอร์โดยตรง
 - ใช้การขัดจังหวะจากวงจรฐานเวลาเพื่อส่งข้อมูลออก
 - ใช้ DMA (อ่านสัญญาณเข้ามาเป็นจำนวนหลายครั้งเพื่อนำไปเก็บในหน่วยความจำโดยตรง)
- มี wave generator ในตัว (สร้าง triangle/noise)
 - กำหนดความถี่จากวงจรรนับและจับเวลา (timer/counter)

Table 2. Maximum sampling time for different STM32 microcontrollers

Product	Max bus speed	DAC max sampling rate
STM32F0 Series	48 MHz	4.8 Msps
STM32F100xx	24 MHz	2.4 Msps
STM32F101xx STM32F103xx STM32F105xx STM32F107xx	36 MHz	4.5 Msps
STM32F2 Series	30 MHz	7.5 Msps
STM32F3 Series	36 MHz	4.5 Msps
STM32F40x STM32F41x	42 MHz	10.5 Msps
STM32F42x	45 MHz	11.25 Msps
STM32F7 Series	54 MHz	13.5 Msps
STM32G0 Series	64 MHz	8.0 Msps
STM32G4 Series	150 MHz	16.67 Msps 30 Msps (DMA double data mode)
STM32H7 Series	100 MHz	18.18 Msps
STM32L0 Series	32 MHz	4.0 Msps
STM32L1 Series	32 MHz	3.2 Msps
STM32L4 Series	80 MHz	10 Msps
STM32L4+ Series	120 MHz	12 Msps
STM32L5 Series	110 MHz	11 Msps

Values reported in Table 2 have been measured on the bench, when bus is not used by any other system: in real applications it is necessary to have some margin.



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

กรรมวิธีการติดต่อกับอุปกรณ์รับส่งข้อมูลเข้าออก

🌿 โครงสร้างทางฮาร์ดแวร์ของคอมพิวเตอร์ในปัจจุบันประกอบไปด้วยสามส่วนหลัก

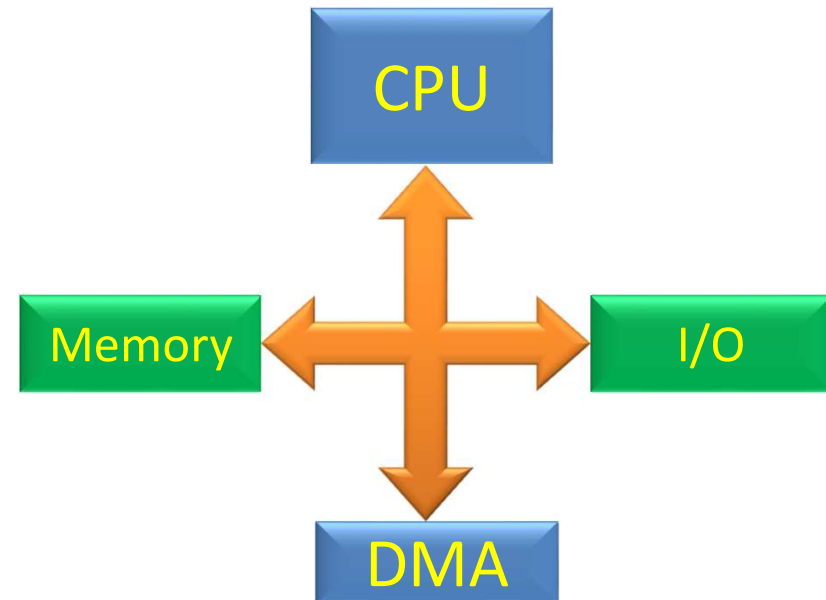
💧 หน่วยประมวลผลกลาง (CPU)

💧 หน่วยความจำ (Memory)

💧 หน่วยรับส่งข้อมูลเข้าออก (Input/Output)

🌿 MCU จะประกอบไปด้วยอย่างน้อยสองส่วนคือ CPU และ I/O (STM32 มีทั้งสามส่วนอยู่บนชิปเดียว)

🌿 Direct Memory Access เป็นกลไกเพิ่มเติมที่ทำงานโดย DMA controller เพื่อการโอนถ่ายข้อมูลระหว่าง Memory กับ I/O โดยไม่ผ่าน CPU



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

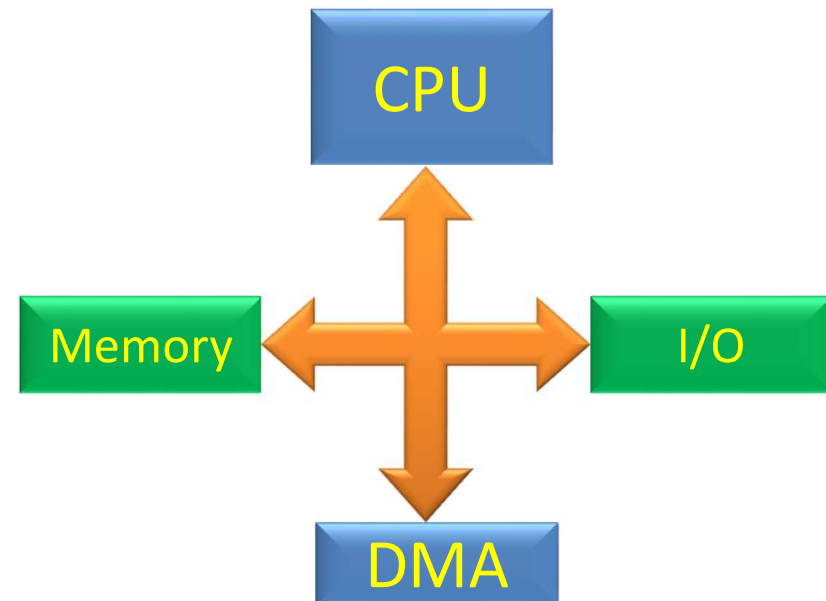
TODAY TOPIC IS

ADC & DAC

กรรมวิธีการติดต่อกับอุปกรณ์รับส่งข้อมูลเข้าออก

🌱 การพัฒนาโปรแกรมเพื่อติดต่อกับอุปกรณ์รับส่งข้อมูลเข้าออกทำได้ 3 วิธีหลักๆ ดังนี้

- 🔵 Programmed I/O การเขียนโปรแกรมติดต่อกับ I/O โดยตรง
- 🔵 Interrupt-driven I/O การเขียนโปรแกรมติดต่อกับ I/O โดยอาศัยกลไกการขัดจังหวะจาก I/O
- 🔵 Direct Memory Access (DMA) การสั่งการให้ DMA controller ทำหน้าที่ส่งถ่ายข้อมูลระหว่างหน่วยความจำหลักกับ I/O แทน CPU




Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS


ADC & DAC


Programmed I/O


Programmed I/O


 เมื่อโปรแกรมต้องการข้อมูลจาก I/O จะใช้คำสั่งของซีพียูเพื่อเข้าถึงพอร์ตของ I/O โดยตรง

 Port ของ I/O เปรียบได้กับ address ของหน่วยความจำ

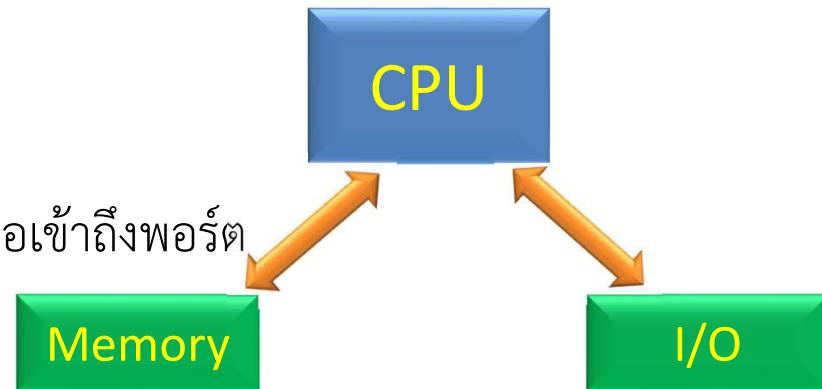
 หาก I/O เร็วพอ เราอาจต้องวงจรให้ CPU มองเห็น I/O รวากับเป็นหน่วยความจำ โดยการใช้สัญญาณ memory select ต่อกับ I/O แทน I/O select (ปกติซีพียูจะใช้ขาสัญญาณ 1 ขาเพื่อเลือกว่าจะติดต่อกับ memory หรือ I/O)

 การทำลักษณะนี้เรียกว่า Memory-mapped I/O

 ทำนองเดียวกันในกรณีที่ต้องการอ่านข้อมูลจาก I/O

 เนื่องจาก I/O ทำงานช้า และลำดับการทำงานของโปรแกรมต้องมีกลไกการตรวจสอบความพร้อมของ I/O การทำงานดังกล่าวจึงส่งผลให้โปรแกรมต้องหยุดรอ I/O (เรียกกลไกนี้ว่า Blocking I/O)

 หากจะเขียนโปรแกรมในลักษณะที่เป็น Non-blocking I/O อาจทำได้แต่ยุ่งยากกว่ามาก



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

Interrupt-driven I/O

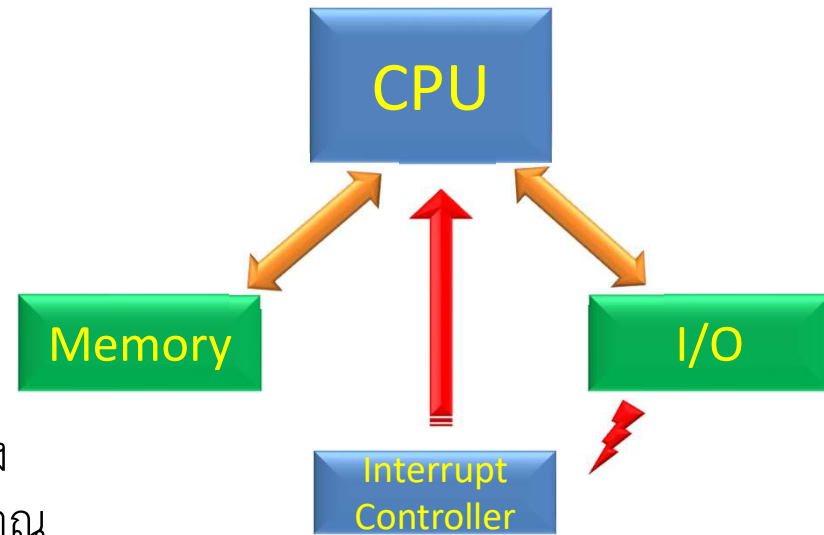
Interrupt-driven I/O

เมื่อโปรแกรมต้องการข้อมูลหรือเขียนข้อมูลกับ I/O จะส่งคำสั่งเขียน/อ่าน ไปยัง I/O แต่จะไม่รอคำตอบกลับ โดยจะทำงานต่อไปทันที

I/O ยังคงทำงานตามคำสั่งที่ได้รับ เมื่อทำงานเสร็จสิ้น จะส่งสัญญาณขัดจังหวะไปยัง Interrupt Controller ซึ่งส่งสัญญาณต่อไปยัง CPU

เมื่อ CPU ได้รับสัญญาณขัดจังหวะ จะหยุดการทำงานตามปกติ แล้วหันไปทำงานตามชุดคำสั่งพิเศษที่เตรียมไว้เพื่อรองรับ (Interrupt Service Routine - ISR)

ในระบบปฏิบัติการสมัยใหม่ จะจัดการส่วนดังกล่าวนี้เอง แต่จะมีกลไกให้ผู้ใช้ เขียนฟังก์ชันการทำงานพิเศษไว้เพื่อให้ระบบปฏิบัติการเรียกกลับเพื่อให้ทำงานเพิ่มเติมตามที่ต้องการไว้ จึงเรียกฟังก์ชันนี้ว่า ฟังก์ชันเรียกกลับ (callback function)





Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS



ADC & DAC

ประเด็นเกี่ยวกับการเขียนโปรแกรมทั้งสองแบบ

Programmed I/O

-  เขียนโปรแกรมง่ายที่สุด (ดังตัวอย่างที่เห็นตั้งแต่เนื้อหาครั้งที่ 1)
-  ปัญหาในกรณีที่ต้องการรับข้อมูลเข้า เนื่องจากต้องเขียนโปรแกรมคอยวนไปรับข้อมูล ทำให้เสียเวลาทำงานอื่น และอาจวนไปรับข้อมูลจาก I/O ไม่ทัน (เกิดข้อมูลตกหล่น)

Interrupt-driven I/O

-  ผู้เขียนโปรแกรมต้องเขียนฟังก์ชันตอบสนองต่อการขัดจังหวะไว้ล่วงหน้า
-  การวางแผนการเขียนโปรแกรมยุ่งยากกว่า เพราะต้องแยกส่วนการเตรียม/รับส่งข้อมูลกับ I/O ไว้ส่วนหนึ่ง และเตรียมฟังก์ชันเรียกกลับเพื่อใช้จัดการกับการขัดจังหวะในกรณีต่างๆ (เช่นเมื่อเขียนข้อมูลเสร็จแล้ว ให้ทำสิ่งใดต่อไป หรือเมื่อได้ข้อมูลมาแล้ว ให้ทำสิ่งใดต่อไป)

 ปัญหาหลักของทั้ง Programmed I/O และ Interrupt-driven I/O คือการที่ CPU ยังต้องเขียน/อ่าน I/O ด้วยตนเอง ซึ่งเสียเวลาเพราะ I/O มักทำงานช้ากว่า CPU มาก



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC

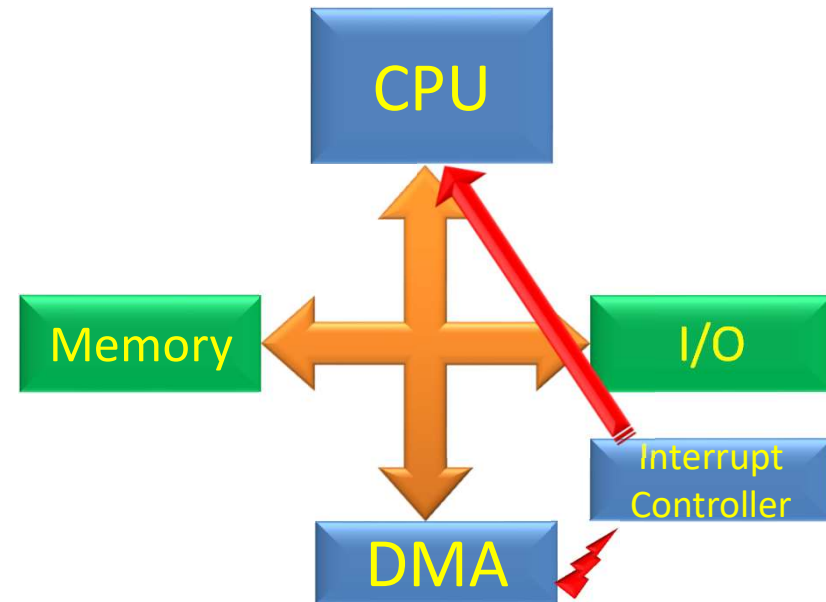
Direct Memory Access (DMA)

Direct Memory Access (DMA)

ใช้ DMA Controller ที่มีการเชื่อมต่อโดยตรงระหว่างอุปกรณ์ I/O และ หน่วยความจำหลัก

ในมุมมองของซอฟต์แวร์ จะมองเห็นเป็นช่องสัญญาณ (DMA channel)

DMA Controller รับคำสั่งจาก CPU เพื่อทำงานต่างๆ



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

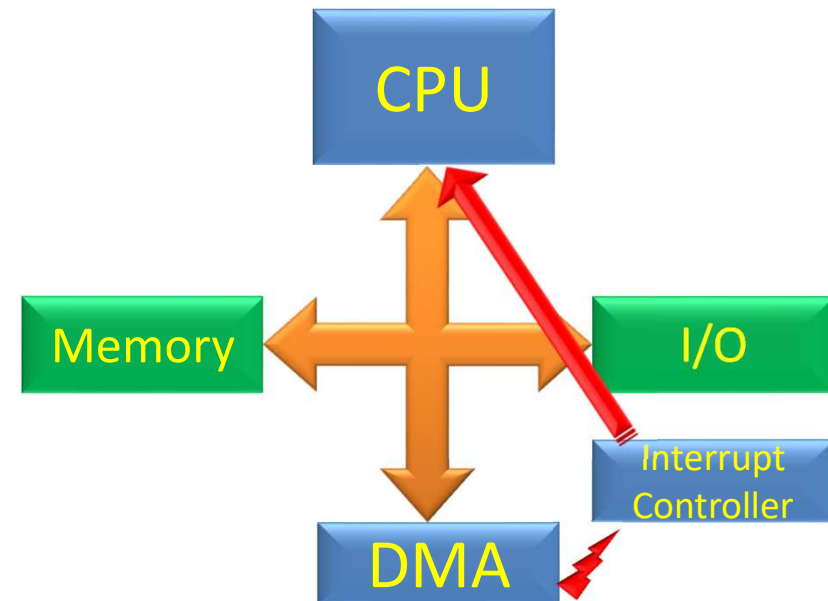
TODAY TOPIC IS

ADC & DAC

Direct Memory Access (DMA)


ขั้นตอนการทำงาน


- ผู้พัฒนาโปรแกรมเตรียมสิ่งต่างๆ ต่อไปนี้
 - พื้นที่หน่วยความจำหลักเป็นพื้นที่พักข้อมูล (buffer) เพื่อใช้เตรียมข้อมูลที่จะส่งให้กับ I/O หรือใช้รับข้อมูลจาก I/O
 - ช่องสัญญาณที่เชื่อมต่อกับ I/O เพื่อเขียนหรืออ่านข้อมูล
 - พารามิเตอร์ต่างๆ เช่นจำนวนหน่วยข้อมูล กลไกการจัดการกับ I/O และการ sync การเขียน/อ่านแต่ละข้อมูล
 - ฟังก์ชันเรียกกลับ สำหรับทำงานเมื่อ DMA ทำงานเสร็จ
- สั่ง DMA controller เริ่มต้นทำงาน
 - CPU จะปลดกันกับ DMA controller เพื่อเข้าถึงหน่วยความจำ





Direct Memory Access (DMA)

โหมดการเข้าถึงหน่วยความจำของ DMA


 Burst mode โหมดนี้ DMA controller เข้าถึงพื้นที่หน่วยความจำเพื่อเขียน/อ่าน รวดเดียวจนกระทั่งเสร็จสิ้น


 ในเวลาเดียวกันนี้ CPU ไม่สามารถเข้าถึงหน่วยความจำได้


 ใช้เวลารับส่งข้อมูลเร็วสุด


 Cycle-stealing mode เมื่อ DMA controller จะรับหรือส่งข้อมูลครั้งหนึ่ง จะรอให้ CPU ประมวลผลคำสั่งเสร็จสิ้นหนึ่งคำสั่งแล้วจึงขอเวลา CPU เพื่อเข้าถึงหน่วยความจำเพื่อจัดการกับข้อมูลหนึ่งหน่วย

 CPU จะทำงานช้าลงเล็กน้อยเนื่องจาก DMA เข้ามาขัดจังหวะบ้างเป็นครั้งคราว

 เหมาะกับการจัดการกับ I/O ที่ทำงานช้า เพราะ CPU ยังคงทำงานได้ตามปกติต่อไป

 Interleaving mode ในโหมดนี้ DMA controller จะเข้าถึงหน่วยความจำได้ก็ต่อเมื่อ CPU ไม่ได้เข้าถึงหน่วยความจำในเวลานั้นๆ

 DMA controller จะต้องรอให้ CPU ไม่เข้าถึงหน่วยความจำ ซึ่งอาจจะต้องรอนานเนื่องจาก CPU อาจเขียน/อ่านกับหน่วยความจำตลอดเวลา

 ใช้กับการรับส่งข้อมูลกับ I/O ที่ไม่มีปัญหาเรื่องการรอการรับส่งข้อมูลที่อาจใช้เวลานานผิดปกติ หรือไม่เป็นจังหวะเวลา





สรุปหัวข้อ

- 🌱 การใช้งานสัญญาณแอนะล็อก จำเป็นต้องระมัดระวังเรื่องระดับสัญญาณและสัญญาณรบกวน
- 🌱 การสุ่มสัญญาณแอนะล็อก ต้องกำหนดให้ความถี่การสุ่มสัญญาณมีค่าไม่น้อยกว่าสองเท่าของความถี่สัญญาณแอนะล็อกเอง
- 🌱 ความละเอียดของบิตข้อมูล (resolution) มีส่วนสำคัญต่อ quantization noise ว่ามากหรือน้อย
- 🌱 ข้อมูลในดิจิทัลโดเมนที่สุ่มได้ เป็นค่าเลขจำนวนเต็มแทนระดับสัญญาณแอนะล็อก ณ แต่ละจังหวะเวลาที่สุ่ม
- 🌱 การส่งข้อมูลจากดิจิทัลโดเมนกลับไปเป็นสัญญาณแอนะล็อก จำเป็นต้องคำนึงถึงความละเอียดของบิตข้อมูล และ คุณภาพของวงจรแปลงสัญญาณ



Asst.Prof. Thanwa SRIPRAMONG
PRESENTER

TODAY TOPIC IS

ADC & DAC