

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

รหัสวิชา 30127-2004 (2-3-3) ดิจิทัลและไมโครคอนโทรลเลอร์

Digital And Microcontroller

1

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

1. การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

1.1 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์ใน Keil uVision3

1.2 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์ใน XC8

1.3 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์ใน avr GCC

2. การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ Timer/Counter เพื่อสร้างฐานเวลาจริง

2.1 การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ AT89C51ED2 เพื่อสร้างฐานเวลาจริง

2.2 การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ PIC16F887 เพื่อสร้างฐานเวลาจริง

2.3 การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ ATMEGA32 เพื่อสร้างฐานเวลาจริง

Digital And Microcontroller

2

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4. การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.1 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์ใน Keil uVision3

ไมโครคอนโทรลเลอร์ AT89C51ED2 มีแหล่งกำเนิดสัญญาณอินเทอร์รับต์ภายในจำนวน 4 แหล่งได้แก่ Timer/Counter 0 , 1 , 2 และ UART ซึ่งมีรีจิสเตอร์ที่เกี่ยวข้องกับอินเทอร์รับต์จากแหล่งกำเนิดภายในดังนี้

4.1.1 การอินเทอร์รับต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้องคือ TCON , IE และ IP

TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
------	-----	-----	-----	-----	-----	-----	-----	-----

Digital And Microcontroller

3

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

IE: INTERRUPT ENABLE REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt is disabled. If the bit is 1, the corresponding interrupt is enabled.

EA	—	ET2	ES	ET1	EX1	ET0	EX0
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.					
—	IE.6	Not implemented, reserved for future use.*					
ET2	IE.5	Enable or disable the Timer 2 overflow or capture interrupt (8052 only).					
ES	IE.4	Enable or disable the serial port interrupt.					
ET1	IE.3	Enable or disable the Timer 1 overflow interrupt.					
EX1	IE.2	Enable or disable External Interrupt 1.					
ET0	IE.1	Enable or disable the Timer 0 overflow interrupt.					
EX0	IE.0	Enable or disable External Interrupt 0.					

*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

IP: INTERRUPT PRIORITY REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt has a lower priority and if the bit is 1 the corresponding interrupt has a higher priority.

—	—	PT2	PS	PT1	PX1	PT0	PX0
—	IP.7	Not implemented, reserved for future use.*					
—	IP.6	Not implemented, reserved for future use.*					
PT2	IP.5	Defines the Timer 2 interrupt priority level (8052 only).					
PS	IP.4	Defines the Serial Port interrupt priority level.					
PT1	IP.3	Defines the Timer 1 interrupt priority level.					
PX1	IP.2	Defines External Interrupt 1 priority level.					
PT0	IP.1	Defines the Timer 0 interrupt priority level.					
PX0	IP.0	Defines the External Interrupt 0 priority level.					

*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

Digital And Microcontroller

4

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.1.2 การอินเทอร์รับต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้อง คือ TCON , IE และ IP เช่นเดียวกับการใช้งานอินเทอร์รับต์จาก Timer/Counter 0

4.1.3 การอินเทอร์รับต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องคือ TCON2 , IE และ IP

T2CON: TIMER/COUNTER 2 CONTROL REGISTER. BIT ADDRESSABLE

8052 Only

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
-----	------	------	------	-------	-----	------	--------

TF2	T2CON. 7	Timer 2 overflow flag set by hardware and cleared by software. TF2 cannot be set when either RCLK = 1 or CLK = 1.					
EXF2	T2CON. 6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX, and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software.					
RCLK	T2CON. 5	Receive clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its receive clock in modes 1 & 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.					
TCLK	T2CON. 4	Transmit clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its transmit clock in modes 1 & 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.					
EXEN2	T2CON. 3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of negative transition on T2EX if Timer 2 is not being used to clock the Serial Port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.					
TR2	T2CON. 2	Software START/STOP control for Timer 2. A logic 1 starts the Timer.					
C/T2	T2CON. 1	Timer or Counter select.					

CP/RL2 T2CON. 0 Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, Auto-Reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the Timer is forced to Auto-Reload on Timer 2 overflow.

Digital And Microcontroller

5

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.1.4 การอินเทอร์รับต์จาก UART มีรีจิสเตอร์ที่เกี่ยวข้องคือ SCON , TCON2 , IE และ IP

SCON: SERIAL PORT CONTROL REGISTER. BIT ADDRESSABLE.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

SM0	SCON. 7	Serial Port mode specifier. (NOTE 1).					
SM1	SCON. 6	Serial Port mode specifier. (NOTE 1).					
SM2	SCON. 5	Enables the multiprocessor communication feature in modes 2 & 3. In mode 2 or 3, if SM2 is set to 1 then RI will not be activated if the received 9th data bit (RB8) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9).					
REN	SCON. 4	Set/Cleared by software to Enable/Disable reception.					
TB8	SCON. 3	The 9th bit that will be transmitted in modes 2 & 3. Set/Cleared by software.					
RB8	SCON. 2	In modes 2 & 3, is the 9th data bit that was received. In mode 1, if SM2 = 0, RB8 is the stop bit that was received. In mode 0, RB8 is not used.					
TI	SCON. 1	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software.					
RI	SCON. 0	Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software.					

Digital And Microcontroller

6

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในด้วยไมโครคอนโทรลเลอร์ AT89C51ED2 โดยใช้โปรแกรม Keil uVision3

- การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 0
void function_name () interrupt 1{
 statement instruction;
}
- การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 1
void function_name () interrupt 3{
 statement instruction;
}

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

- การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก UART
void function_name () interrupt 4{
 statement instruction;
}
- การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 2
void function_name () interrupt 5{
 statement instruction;
}

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.2 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์ใน XC8
ไมโครคอนโทรลเลอร์ PIC16F887 มีแหล่งกำเนิดสัญญาณการอินเทอร์รัปต์ภายในจำนวน 9 แหล่งได้แก่ Timer/Counter 0 , 1 , 2 , Comparator , ADC , EEPROM , CCP , EUSART และ MSSP โดยมีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์จากแหล่งกำเนิดภายในดังกล่าวดังนี้

4.2.1 การอินเทอร์รัปต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้อง คือ INTCON

REGISTER 2-3: INTCON: INTERRUPT CONTROL REGISTER									
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 0	bit 0
INTCON	PIR1	PIR2	PIR3	PIR4	PIR5	PIR6	PIR7	PIR8	PIR9
Legend:									
R = Readable bit									
W = Writable bit									
h = Value at POR									
1 = Bit is set									
0 = Bit is cleared									
x = Bit is unknown									
bit 7	GIE: Global Interrupt Enable bit								
bit 6	PEIE: Peripheral Interrupt Enable bit								
bit 5	T0IE: Timer0 Overflow Interrupt Enable bit								
bit 4	INTF: INT External Interrupt Flag bit								
bit 3	RBIF: PORTB Change Interrupt Flag bit								
bit 2	TMR2IF: Timer2 Overflow Interrupt Flag bit								
bit 1	INTF: INT External Interrupt Flag bit								
bit 0	RBIF: PORTB Change Interrupt Flag bit								

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.2.2 การอินเทอร์รัปต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1

REGISTER 2-4: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1									
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 0	bit 0
U-0	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	bit 0	bit 0
Legend:									
R = Readable bit									
W = Writable bit									
h = Value at POR									
1 = Bit is set									
0 = Bit is cleared									
x = Bit is unknown									
bit 7	Unimplemented: Read as '0'								
bit 6	ADIE: AD Converter (ADC) Interrupt Enable bit								
bit 5	RCIE: EUSART Receive Interrupt Enable bit								
bit 4	TXIE: EUSART Transmit Interrupt Enable bit								
bit 3	SSPIE: Master Synchronous Serial Port (MSSP) Interrupt Enable bit								
bit 2	CCP1IE: CCP1 Interrupt Enable bit								
bit 1	TMR2IE: Timer2 to PR2 Match Interrupt Enable bit								
bit 0	TMR1IE: Timer1 Overflow Interrupt Enable bit								

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

REGISTER 2-4: PIR1: PERIPHERAL INTERRUPT REQUEST REGISTER 1

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	bit 0
Legend:							
R = Readable bit							
W = Writable bit							
h = Value at POR							
1 = Bit is set							
0 = Bit is cleared							
x = Bit is unknown							
bit 7	Unimplemented: Read as '0'						
bit 6	ADIF: AD Converter Interrupt Flag bit						
bit 5	RCIF: EUSART Receive Interrupt Flag bit						
bit 4	TXIF: EUSART Transmit Interrupt Flag bit						
bit 3	SSPIF: Master Synchronous Serial Port (MSSP) Interrupt Flag bit						
bit 2	CCP1IF: CCP1 Interrupt Flag bit						
bit 1	TMR2IF: Timer2 to PR2 Match Interrupt Flag bit						
bit 0	TMR1IF: Timer1 Overflow Interrupt Flag bit						

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

- การอินเทอร์รัปต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1
- การอินเทอร์รัปต์จาก ADC มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1
- การอินเทอร์รัปต์จาก UART มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1
- การอินเทอร์รัปต์จาก MSSP มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1
- การอินเทอร์รัปต์จาก CCP1 มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE1 และ PIR1
- การอินเทอร์รัปต์จาก CCP2 มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE2 และ PIR2
- การอินเทอร์รัปต์จาก Comparator มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE2 และ PIR2
- การอินเทอร์รัปต์จาก Internal EEPROM มีรีจิสเตอร์ที่เกี่ยวข้องคือ INTCON , PIE2 และ PIR2

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

REGISTER 2-5: PIE2: PERIPHERAL INTERRUPT ENABLE REGISTER 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIE	C2IE	C1IE	EEIE	BCUIE	ULPWUIE	—	CCP2IE
bit 7							bit 0

Legend:

R = Readable bit
n = Value at POR

W = Writable bit
'1' = Bit is set

U = Unimplemented bit, read as '0'
'0' = Bit is cleared

x = Bit is unknown

- bit 7 **OSFIE**: Oscillator Fail Interrupt Enable bit
1 = Enables oscillator fail interrupt
0 = Disables oscillator fail interrupt
- bit 6 **C2IE**: Comparator C2 Interrupt Enable bit
1 = Enables Comparator C2 interrupt
0 = Disables Comparator C2 interrupt
- bit 5 **C1IE**: Comparator C1 Interrupt Enable bit
1 = Enables Comparator C1 interrupt
0 = Disables Comparator C1 interrupt
- bit 4 **EEIE**: EEPROM Write Operation Interrupt Enable bit
1 = Enables EEPROM write operation interrupt
0 = Disables EEPROM write operation interrupt
- bit 3 **BCUIE**: Bus Collision Interrupt Enable bit
1 = Enables Bus Collision interrupt
0 = Disables Bus Collision interrupt
- bit 2 **ULPWUIE**: Ultra Low-Power Wake-up Interrupt Enable bit
1 = Enables Ultra Low-Power Wake-up interrupt
0 = Disables Ultra Low-Power Wake-up interrupt
- bit 1 **Unimplemented**: Read as '0'
- bit 0 **CCP2IE**: CCP2 Interrupt Enable bit
1 = Enables CCP2 interrupt
0 = Disables CCP2 interrupt

Digital And Microcontroller

13

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

REGISTER 2-7: PIR2: PERIPHERAL INTERRUPT REQUEST REGISTER 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIF	C2IF	C1IF	EEIF	BCUIF	ULPWUIF	—	CCP2IF
bit 7							bit 0

Legend:

R = Readable bit
n = Value at POR

W = Writable bit
'1' = Bit is set

U = Unimplemented bit, read as '0'
'0' = Bit is cleared

x = Bit is unknown

- bit 7 **OSFIF**: Oscillator Fail Interrupt Flag bit
1 = System oscillator failed, clock input has changed to INTOSC (must be cleared in software)
0 = System clock operating
- bit 6 **C2IF**: Comparator C2 Interrupt Flag bit
1 = Comparator output (C2OUT bit) has changed (must be cleared in software)
0 = Comparator output (C2OUT bit) has not changed
- bit 5 **C1IF**: Comparator C1 Interrupt Flag bit
1 = Comparator output (C1OUT bit) has changed (must be cleared in software)
0 = Comparator output (C1OUT bit) has not changed
- bit 4 **EEIF**: EE Write Operation Interrupt Flag bit
1 = Write operation completed (must be cleared in software)
0 = Write operation has not completed or has not started
- bit 3 **BCUIF**: Bus Collision Interrupt Flag bit
1 = A bus collision has occurred in the MSSP when configured for I²C Master mode
0 = No bus collision has occurred
- bit 2 **ULPWUIF**: Ultra Low-Power Wake-up Interrupt Flag bit
1 = Wake-up condition has occurred (must be cleared in software)
0 = No Wake-up condition has occurred
- bit 1 **Unimplemented**: Read as '0'
- bit 0 **CCP2IF**: CCP2 Interrupt Flag bit
Capture mode:
1 = A TMR1 register capture occurred (must be cleared in software)
0 = No TMR1 register capture occurred
Compare mode:
1 = A TMR1 register compare match occurred (must be cleared in software)
0 = No TMR1 register compare match occurred
PWM mode:
Unset in this mode

Digital And Microcontroller

14

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในไมโครคอนโทรลเลอร์ PIC16F887 โดยใช้โปรแกรม MPLAB X และคอมไพเลอร์ XC8 สามารถทำได้ดังนี้

```
void __interrupt() function_name() {
    statement instruction;
    return;
}
```

Digital And Microcontroller

15

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์ใน avr GCC ไมโครคอนโทรลเลอร์ ATMEGA32 มีแหล่งกำเนิดสัญญาณการอินเทอร์รัปต์ภายในจำนวน 8 แหล่งได้แก่ Timer/Counter 0, 1, 2, SPI, USART, I²C, Analog Comparator และ ADC โดยมีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์จากแหล่งกำเนิดภายในดังนี้

4.3.1 การอินเทอร์รัปต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้องคือ TIMSK และ TIFR

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	OCIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 1 – OCIE0: Timer/Counter0 Output Compare Match Interrupt Enable**

When the OCIE0 bit is written to one, and the I-bit in the Status Register is set (one), the Timer/Counter0 Compare Match interrupt is enabled. The corresponding interrupt is executed if a compare match in Timer/Counter0 occurs, i.e., when the OCF0 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

• **Bit 0 – TOIE0: Timer/Counter0 Overflow Interrupt Enable**

When the TOIE0 bit is written to one, and the I-bit in the Status Register is set (one), the Timer/Counter0 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter0 occurs, i.e., when the TOV0 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

Digital And Microcontroller

16

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 1 – OCF0: Output Compare Flag 0**

The OCF0 bit is set (one) when a compare match occurs between the Timer/Counter0 and the data in OCR0 – Output Compare Register0. OCF0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF0 is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE0 (Timer/Counter0 Compare Match Interrupt Enable), and OCF0 are set (one), the Timer/Counter0 Compare Match Interrupt is executed.

• **Bit 0 – TOV0: Timer/Counter0 Overflow Flag**

The bit TOV0 is set (one) when an overflow occurs in Timer/Counter0. TOV0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV0 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE0 (Timer/Counter0 Overflow Interrupt Enable), and TOV0 are set (one), the Timer/Counter0 Overflow interrupt is executed. In phase correct PWM mode, this bit is set when Timer/Counter0 changes counting direction at \$00.

Digital And Microcontroller

17

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.2 การอินเทอร์รัปต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้องคือ TIMSK และ TIFR

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	ICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Note: 1. This register contains interrupt control bits for several Timer/Counter, but only Timer1 bits are described in this section. The remaining bits are described in their respective timer sections.

• **Bit 5 – TICIE1: Timer/Counter1, Input Capture Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Input Capture Interrupt is enabled. The corresponding Interrupt Vector (See "Interrupts" on page 44.) is executed when the ICF1 Flag, located in TIFR, is set.

• **Bit 4 – OCIE1A: Timer/Counter1, Output Compare A Match Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Output Compare A match interrupt is enabled. The corresponding Interrupt Vector (See "Interrupts" on page 44.) is executed when the OCF1A Flag, located in TIFR, is set.

• **Bit 3 – OCIE1B: Timer/Counter1, Output Compare B Match Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Output Compare B match interrupt is enabled. The corresponding Interrupt Vector (See "Interrupts" on page 44.) is executed when the OCF1B Flag, located in TIFR, is set.

• **Bit 2 – TOIE1: Timer/Counter1, Overflow Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Overflow Interrupt is enabled. The corresponding Interrupt Vector (See "Interrupts" on page 44.) is executed when the TOV1 Flag, located in TIFR, is set.

Digital And Microcontroller

18

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	TIFR
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	
Initial Value	0	0	0	0	0	0	0	0	

Note: This register contains flag bits for several Timer/Counters, but only Timer1 bits are described in this section. The remaining bits are described in their respective timer sections.

• Bit 5 – ICF1: Timer/Counter1, Input Capture Flag

This flag is set when a capture event occurs on the ICP1 pin. When the Input Capture Register (ICR1) is set by the WGM13:0 to be used as the TOP value, the ICF1 flag is set when the counter reaches the TOP value.

ICF1 is automatically cleared when the Input Capture Interrupt Vector is executed. Alternatively, ICF1 can be cleared by writing a logic one to its bit location.

• Bit 4 – OCF1A: Timer/Counter1, Output Compare A Match Flag

This flag is set in the timer clock cycle after the counter (TCNT1) value matches the Output Compare Register A (OCR1A).

Note that a Forced Output Compare (FOC1A) strobe will not set the OCF1A flag. OCF1A is automatically cleared when the Output Compare Match A Interrupt Vector is executed. Alternatively, OCF1A can be cleared by writing a logic one to its bit location.

• Bit 3 – OCF1B: Timer/Counter1, Output Compare B Match Flag

This flag is set in the timer clock cycle after the counter (TCNT1) value matches the Output Compare Register B (OCR1B).

Note that a forced output compare (FOC1B) strobe will not set the OCF1B flag. OCF1B is automatically cleared when the Output Compare Match B Interrupt Vector is executed. Alternatively, OCF1B can be cleared by writing a logic one to its bit location.

• Bit 2 – TOV1: Timer/Counter1, Overflow Flag

The setting of this flag is dependent of the WGM13:0 bits setting. In normal and CTC modes, the TOV1 flag is set when the timer overflows. Refer to Table 47 on page 109 for the TOV1 flag behavior when using another WGM13:0 bit setting.

TOV1 is automatically cleared when the Timer/Counter1 Overflow interrupt vector is executed. Alternatively, TOV1 can be cleared by writing a logic one to its bit location.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.3 การอินเทอร์รัปต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องคือ TIMSK และ TIFR

Bit	7	6	5	4	3	2	1	0	TIFR
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – OCIE2: Timer/Counter2 Output Compare Match Interrupt Enable

When the OCIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Compare Match interrupt is enabled. The corresponding interrupt is executed if a compare match in Timer/Counter2 occurs, i.e., when the OCF2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

• Bit 6 – TOIE2: Timer/Counter2 Overflow Interrupt Enable

When the TOIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter2 occurs, i.e., when the TOV2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

• Bit 7 – OCF2: Output Compare Flag 2

The OCF2 bit is set (one) when a compare match occurs between the Timer/Counter2 and the data in OCR2 – Output Compare Register2. OCF2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF2 is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE2 (Timer/Counter2 Compare Match Interrupt Enable), and OCF2 are set (one), the Timer/Counter2 Compare match interrupt is executed.

• Bit 6 – TOV2: Timer/Counter2 Overflow Flag

The TOV2 bit is set (one) when an overflow occurs in Timer/Counter2. TOV2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV2 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE2

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.4 การอินเทอร์รัปต์จาก SPI มีรีจิสเตอร์ที่เกี่ยวข้องคือ SPCR และ SPSSR

Bit	7	6	5	4	3	2	1	0	SPCR
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – SPIE: SPI Interrupt Enable

This bit causes the SPI interrupt to be executed if SPIF bit in the SPSSR Register is set and the if the global interrupt enable bit in SREG is set.

Bit	7	6	5	4	3	2	1	0	SPSSR
Read/Write	R	R	R	R	R	R	R	RW	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – SPIF: SPI Interrupt Flag

When a serial transfer is complete, the SPIF flag is set. An interrupt is generated if SPIE in SPCR is set and global interrupts are enabled. If SS is an input and is driven low when the SPI is in Master mode, this will also set the SPIF flag. SPIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, the SPIF bit is cleared by first reading the SPI Status Register with SPIF set, then accessing the SPI Data Register (SPDR).

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.5 การอินเทอร์รัปต์จาก USART มีรีจิสเตอร์ที่เกี่ยวข้องคือ UCSRB และ UCSRA

Bit	7	6	5	4	3	2	1	0	UCSRB
Read/Write	RW	RW	RW	RW	RW	RW	R	RW	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – RXCIE: RX Complete Interrupt Enable

Writing this bit to one enables interrupt on the RXC flag. A USART Receive Complete Interrupt will be generated only if the RXCIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the RXC bit in UCSRA is set.

• Bit 6 – TXCIE: TX Complete Interrupt Enable

Writing this bit to one enables interrupt on the TXC flag. A USART Transmit Complete Interrupt will be generated only if the TXCIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the TXC bit in UCSRA is set.

• Bit 5 – UDRIE: USART Data Register Empty Interrupt Enable

Writing this bit to one enables interrupt on the UDRE flag. A Data Register Empty Interrupt will be generated only if the UDRIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the UDRE bit in UCSRA is set.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	UCSRA
Read/Write	R	RW	R	R	R	R	RW	RW	
Initial Value	0	0	1	0	0	0	0	0	

• Bit 7 – RXC: USART Receive Complete

This flag bit is set when there are unread data in the receive buffer and cleared when the receive buffer is empty (i.e., does not contain any unread data). If the receiver is disabled, the receive buffer will be flushed and consequently the RXC bit will become zero. The RXC flag can be used to generate a Receive Complete interrupt (see description of the RXCIE bit).

• Bit 6 – TXC: USART Transmit Complete

This flag bit is set when the entire frame in the transmit Shift Register has been shifted out and there are no new data currently present in the transmit buffer (UDR). The TXC flag bit is automatically cleared when a transmit-complete interrupt is executed, or it can be cleared by writing a one to its bit location. The TXC flag can generate a Transmit Complete interrupt (see description of the TXCIE bit).

• Bit 5 – UDRE: USART Data Register Empty

The UDRE flag indicates if the transmit buffer (UDR) is ready to receive new data. If UDRE is one, the buffer is empty, and therefore ready to be written. The UDRE flag can generate a Data Register empty interrupt (see description of the UDRIE bit).

UDRE is set after a reset to indicate that the transmitter is ready.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.6 การอินเทอร์รัปต์จาก I2C มีรีจิสเตอร์ที่เกี่ยวข้องคือ TWCR

Bit	7	6	5	4	3	2	1	0	TWCR
Read/Write	RW	RW	RW	RW	R	RW	R	RW	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – TWINT: TWI Interrupt Flag

This bit is set by hardware when the TWI has finished its current job and expects application software response. If the I-bit in SREG and TWIE in TWCR are set, the MCU will jump to the TWI Interrupt Vector. While the TWINT flag is set, the SCL low period is stretched.

The TWINT flag must be cleared by software by writing a logic one to it. Note that this flag is not automatically cleared by hardware when executing the interrupt routine. Also note that clearing this flag starts the operation of the TWI, so all accesses to the TWI Address Register (TWAR), TWI Status Register (TWSR), and TWI Data Register (TWD0) must be complete before clearing this flag.

• Bit 0 – TWIE: TWI Interrupt Enable

When this bit is written to one, and the I-bit in SREG is set, the TWI interrupt request will be activated for as long as the TWINT flag is high.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.7 การอินเทอร์รัปต์จาก Analog Comparator มีรีจิสเตอร์ที่เกี่ยวข้องคือ ACSR

Bit	7	6	5	4	3	2	1	0	
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	N/A	0	0	0	0	0	

• Bit 4 – ACI: Analog Comparator Interrupt Flag

This bit is set by hardware when a comparator output event triggers the interrupt mode defined by ACIS1 and ACIS0. The Analog Comparator Interrupt routine is executed if the ACIE bit is set and the I-bit in SREG is set. ACI is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ACI is cleared by writing a logic one to the flag.

• Bit 3 – ACIE: Analog Comparator Interrupt Enable

When the ACIE bit is written logic one and the I-bit in the Status Register is set, the Analog Comparator Interrupt is activated. When written logic zero, the interrupt is disabled.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.8 การอินเทอร์รัปต์จาก ADC มีรีจิสเตอร์ที่เกี่ยวข้องคือ ADCSRA

Bit	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 4 – ADIF: ADC Interrupt Flag

This bit is set when an ADC conversion completes and the Data Registers are updated. The ADC Conversion Complete Interrupt is executed if the ADIE bit and the I-bit in SREG are set. ADIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ADIF is cleared by writing a logical one to the flag. Beware that if doing a Read-Modify-Write on ADCSRA, a pending interrupt can be disabled. This also applies if the SBI and CBI instructions are used.

• Bit 3 – ADIE: ADC Interrupt Enable

When this bit is written to one and the I-bit in SREG is set, the ADC Conversion Complete Interrupt is activated.

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในด้วยไมโครคอนโทรลเลอร์ ATMEGA32 โดยใช้โปรแกรม AVR Studio 6.2 สามารถทำได้ดังนี้

1. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 0

1.1 อินเทอร์รัปต์จาก Compare Match

```
ISR(TIMERO_COMP_vect){
    statement instruction;
}
```

1.2 อินเทอร์รัปต์จาก Overflow

```
ISR(TIMERO_OVF_vect){
    statement instruction;
}
```

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

2. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 1

2.1 อินเทอร์รัปต์จาก Input Capture

```
ISR(TIMER1_CAPT_vect){
    statement instruction;
}
```

2.2 อินเทอร์รัปต์จาก Output Compare A Match

```
ISR(TIMER1_COMPA_vect){
    statement instruction;
}
```

2.3 อินเทอร์รัปต์จาก Output Compare B Match

```
ISR(TIMER1_COMPB_vect){
    statement instruction;
}
```

2.4 อินเทอร์รัปต์จาก Overflow

```
ISR(TIMER1_OVF_vect){
    statement instruction;
}
```

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

3. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 2

3.1 อินเทอร์รัปต์จาก Compare Match

```
ISR(TIMER2_COMP_vect){
    statement instruction;
}
```

3.2 อินเทอร์รัปต์จาก Overflow

```
ISR(TIMER2_OVF_vect){
    statement instruction;
}
```

4. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก SPI

```
ISR(SPI_STC_vect){
    statement instruction;
}
```

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

5. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก USART

5.1 อินเทอร์รัปต์จาก Rx Complete

```
ISR(USART_RXC_vect){
    statement instruction;
}
```

5.2 อินเทอร์รัปต์จาก Tx Complete

```
ISR(USART_TXC_vect){
    statement instruction;
}
```

5.3 อินเทอร์รัปต์จาก USART Data Register Empty

```
ISR(USART_UDRE_vect){
    statement instruction;
}
```

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

6. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก I2C

```
ISR(TWI_vect){
    statement instruction;
}
```

7. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Analog Comparator

```
ISR(ANA_COMP_vect){
    statement instruction;
}
```

8. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก ADC

```
ISR(ADC_vect){
    statement instruction;
}
```

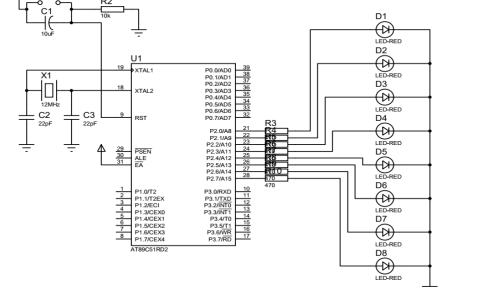
Digital And Microcontroller

31

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

2. การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ Timer/Counter เพื่อสร้างฐานเวลาจริง

2.1 การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ AT89C51ED2 เพื่อสร้างฐานเวลาจริง



การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

```

void init_timer1INT()
{
    TCCR1B |= (0<<CS12)|(1<<CS11)|(0<<CS10); // Xtal/8
    TIMSK |= (1<<TOIE1);
    TIFR |= (1<<TOV1);
    TCNT1 = 15536; //Timer1 Count = (65536 - 15536)*0.5uS = 25000uS
    sei();
}

ISR(TIMER1_OVF_vect) // interrupt @ 25mS
{
    msec--;
    if(msec == 0){
        msec = 40;
        sec++;
    }
    TCNT1 = 15536;
}

```