
	ใบเนื้อหา		หน้าที่ 1								
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7								
	ชื่อหน่วย การใช้งานอินเตอร์รัปต์										
ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน											
<div>หน่วยที่ 7 การใช้งานอินเตอร์รัปต์</div> <div>การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน</div> <div>4. การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน</div> <div>การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน นั้นจะต้องเริ่มด้วยการกำหนดรีจิสเตอร์ที่เกี่ยวข้องเพื่อเป็นการเปิดการทำงานของอินเทอร์รัปต์ และยอมรับให้เกิดการอินเทอร์รัปต์ได้ โดยไมโครคอนโทรลเลอร์แต่ละเบอร์และแต่ละตระกูลมีวิธีการดังนี้</div> <div>4.1 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์ใน Keil uVision3</div> <div>ไมโครคอนโทรลเลอร์ AT89C51ED2 มีแหล่งกำเนิดสัญญาณการอินเทอร์รัปต์ภายในจำนวน 4 แหล่ง ได้แก่ Timer/Counter 0 , 1 , 2 และ UART ซึ่งจะเกิดอินเทอร์รัปต์ได้ตามเงื่อนไขที่เรากำหนด โดยการกำหนดที่รีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของโมดูลพิเศษนั้น ๆ ซึ่งไมโครคอนโทรลเลอร์ AT89C51ED2 มีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์จากแหล่งกำเนิดภายในดังกล่าวดังนี้</div> <div>4.1.1 การอินเทอร์รัปต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้</div> <div>TCON คือรีจิสเตอร์ที่ควบคุมการทำงานของ Timer/Counter 0 , 1 และการอินเทอร์รัปต์จากสัญญาณอินเทอร์รัปต์ ซึ่งมีบิตที่เกี่ยวข้องกับการอินเทอร์รัปต์จาก Timer/Counter 0 คือบิต TF0 เป็นบิตที่แสดงสถานะลอจิก ‘1’ เมื่อมีการเหตุการณ์การนับเกินของโมดูล Timer/Counter 0 และเมื่อเปิดการยอมรับให้เกิดการอินเทอร์รัปต์จะทำให้ CPU ประมวลผลโปรแกรมที่รองรับการอินเทอร์รัปต์</div> <table><tr><td>TF1</td><td>TR1</td><td>TF0</td><td>TR0</td><td>IE1</td><td>IT1</td><td>IE0</td><td>IT0</td></tr></table> <div>รูปที่ 1.1 แสดงบิตข้อมูลภายในรีจิสเตอร์ TCON</div> <div>IE คือ รีจิสเตอร์ที่ทำหน้าที่ในการเปิดการทำงานของโมดูลอินเทอร์รัปต์ และให้มีการยอมรับการอินเทอร์รัปต์จากแหล่งที่กำหนด สำหรับ Timer/Counter 0 คือบิต ET0 โดยมีรายละเอียดการใช้งานดังรูปที่ 1.2</div> <div>IP คือ รีจิสเตอร์ที่ทำหน้าที่ในการเรียงความสำคัญของแหล่งกำเนิดสัญญาณอินเทอร์รัปต์ เมื่อมีการเปิดการยอมรับให้เกิดการอินเทอร์รัปต์ได้มากกว่า 1 แหล่ง ซึ่งจะเรียงความสำคัญของการอินเทอร์รัปต์จากบิต 0 ไปยังบิต 7 ของรีจิสเตอร์ IP สำหรับ Timer/Counter 0 คือบิต PTO ดังรายละเอียดการใช้งานในรูปที่ 1.3</div>				TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0				

	ใบเนื้อหา		หน้าที่ 2
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

IE: INTERRUPT ENABLE REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt is disabled. If the bit is 1, the corresponding interrupt is enabled.

EA	—	ET2	ES	ET1	EX1	ET0	EX0
----	---	-----	----	-----	-----	-----	-----

EA	IE.7	Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.					
—	IE.6	Not implemented, reserved for future use.*					
ET2	IE.5	Enable or disable the Timer 2 overflow or capture interrupt (8052 only).					
ES	IE.4	Enable or disable the serial port interrupt.					
ET1	IE.3	Enable or disable the Timer 1 overflow interrupt.					
EX1	IE.2	Enable or disable External Interrupt 1.					
ET0	IE.1	Enable or disable the Timer 0 overflow interrupt.					
EX0	IE.0	Enable or disable External Interrupt 0.					

*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

รูปที่ 1.2 แสดงรายละเอียดการใช้งานรีจิสเตอร์ IE

IP: INTERRUPT PRIORITY REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt has a lower priority and if the bit is 1 the corresponding interrupt has a higher priority.

—	—	PT2	PS	PT1	PX1	PT0	PX0
---	---	-----	----	-----	-----	-----	-----

—	IP. 7	Not implemented, reserved for future use.*					
—	IP. 6	Not implemented, reserved for future use.*					
PT2	IP. 5	Defines the Timer 2 interrupt priority level (8052 only).					
PS	IP. 4	Defines the Serial Port interrupt priority level.					
PT1	IP. 3	Defines the Timer 1 interrupt priority level.					
PX1	IP. 2	Defines External Interrupt 1 priority level.					
PT0	IP. 1	Defines the Timer 0 interrupt priority level.					
PX0	IP. 0	Defines the External Interrupt 0 priority level.					


*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

รูปที่ 1.3 แสดงรายละเอียดการใช้งานรีจิสเตอร์ IP

4.1.2 การอินเทอร์รัปต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

TCON คือรีจิสเตอร์ที่ควบคุมการทำงานของ Timer/Counter 0, 1 และการอินเทอร์รัปต์จาก ขาสัญญาณอินเทอร์รัปต์ ซึ่งมีบิตที่เกี่ยวข้องกับการอินเทอร์รัปต์จาก Timer/Counter 1 คือบิต TF1 เป็นบิตที่แสดงสถานะลอจิก '1' เมื่อมีการเหตุการณ์การนับเกินของโมดูล Timer/Counter 1 และเมื่อเปิดการยอมรับให้เกิดการอินเทอร์รัปต์จะทำให้ CPU ประมวลผลโปรแกรมที่รองรับการอินเทอร์รัปต์

รีจิสเตอร์ IE มีบิตที่เกี่ยวข้องคือ ET1 และรีจิสเตอร์ IP มีบิตที่เกี่ยวข้องคือ PT1 ดังรายละเอียดในหัวข้อ 4.1.1 และรูปที่ 1.2 และ 1.3

	<h2 style="margin: 0;">ใบเนื้อหา</h2>	หน้าที่ 3
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์	

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.1.3 การอินเทอร์รัปต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

T2CON คือรีจิสเตอร์ที่ควบคุมการทำงานของ Timer/Counter 2 ซึ่งมีบิตที่เกี่ยวข้องกับการอินเทอร์รัปต์จาก Timer/Counter 2 คือบิต TF2 และ EXF2 เป็นบิตที่แสดงสถานะลอจิก '1' เมื่อมีการเหตุการณ์การนับเกินของโมดูล Timer/Counter 2 (TF2) และเมื่อเปิดการยอมรับให้เกิดการอินเทอร์รัปต์จะทำให้ CPU ประมวลผลโปรแกรมที่รองรับการอินเทอร์รัปต์ โดยมีรายละเอียดการทำงานของบิตต่าง ๆ ในรีจิสเตอร์ T2CON ดังรูปที่ 1.4

T2CON: TIMER/COUNTER 2 CONTROL REGISTER. BIT ADDRESSABLE

8052 Only

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T $\overline{2}$	CP/RL2
-----	------	------	------	-------	-----	--------------------	--------

TF2

EXF2

RCLK

TCLK

EXEN2

TR2

C/T $\overline{2}$

CP/RL2

T2CON. 7 Timer 2 overflow flag set by hardware and cleared by software. TF2 cannot be set when either RCLK = 1 or CLK = 1

T2CON. 6 Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX, and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software.

T2CON. 5 Receive clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its receive clock in modes 1 & 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.

T2CON. 4 Transmit clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its transmit clock in modes 1 & 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.

T2CON. 3 Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of negative transition on T2EX if Timer 2 is not being used to clock the Serial Port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.

T2CON. 2 Software START/STOP control for Timer 2. A logic 1 starts the Timer.

T2CON. 1 Timer or Counter select.
0 = Internal Timer. 1 = External Event Counter (falling edge triggered).


T2CON. 0 Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, Auto-Reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the Timer is forced to Auto-Reload on Timer 2 overflow.

รูปที่ 1.4 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ T2CON

รีจิสเตอร์ IE มีบิตที่เกี่ยวข้องคือ ET2 และรีจิสเตอร์ IP มีบิตที่เกี่ยวข้องคือ PT2 ดังรายละเอียดในหัวข้อ 4.1.1 และรูปที่ 1.2 และ 1.3

4.1.4 การอินเทอร์รัปต์จาก UART มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

SCON คือรีจิสเตอร์ที่ทำหน้าที่ในการควบคุมการทำงานของโมดูล UART และแสดงผลการทำงานของ UART โดยบิตที่เกี่ยวข้องกับการอินเทอร์รัปต์ของโมดูล UART คือบิต TI และ RI โดยมีรายละเอียดการทำงานของบิตต่าง ๆ ในรีจิสเตอร์ SCON ดังรูปที่ 1.5

	ใบเนื้อหา		หน้าที่ 4
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

SCON: SERIAL PORT CONTROL REGISTER. BIT ADDRESSABLE.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

SM0	SCON. 7	Serial Port mode specifier. (NOTE 1).					
SM1	SCON. 6	Serial Port mode specifier. (NOTE 1).					
SM2	SCON. 5	Enables the multiprocessor communication feature in modes 2 & 3. In mode 2 or 3, if SM2 is set to 1 then RI will not be activated if the received 9th data bit (RB8) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9).					
REN	SCON. 4	Set/Cleared by software to Enable/Disable reception.					
TB8	SCON. 3	The 9th bit that will be transmitted in modes 2 & 3. Set/Cleared by software.					
RB8	SCON. 2	In modes 2 & 3, is the 9th data bit that was received. In mode 1, if SM2 = 0, RB8 is the stop bit that was received. In mode 0, RB8 is not used.					
TI	SCON. 1	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software.					
RI	SCON. 0	Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software.					

รูปที่ 1.5 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ SCON

รีจิสเตอร์ IE มีบิตที่เกี่ยวข้องคือ ES และรีจิสเตอร์ IP มีบิตที่เกี่ยวข้องคือ PS ดังรายละเอียดในหัวข้อ 4.1.1 และรูปที่ 1.2 และ 1.3

และการเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในด้วยไมโครคอนโทรลเลอร์ AT89C51ED2 โดยใช้โปรแกรม Keil uVision3 สามารถทำได้ดังนี้

1. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก Timer/Counter 0

```
void function_name () interrupt 1{
    statement instruction;
}
```

2. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก Timer/Counter 1


```
void function_name () interrupt 3{
    statement instruction;
}
```

3. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก UART

```
void function_name () interrupt 4{
    statement instruction;
}
```

4. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก Timer/Counter 2

```
void function_name () interrupt 5{
    statement instruction;
}
```

	ใบเนื้อหา	หน้าที่ 5
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์	

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.2 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์ใน XC8

ไมโครคอนโทรลเลอร์ PIC16F887 มีแหล่งกำเนิดสัญญาณการอินเทอร์รัปต์ภายในจำนวน 9 แหล่งได้แก่ Timer/Counter 0 , 1 , 2 , Comparator , ADC , EEPROM , CCP , EUSART และ MSSP ซึ่งจะเกิดอินเทอร์รัปต์ได้ตามเงื่อนไขที่เรากำหนด โดยการกำหนดที่รีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของโมดูลพิเศษนั้น ๆ ซึ่งไมโครคอนโทรลเลอร์ PIC16F887 มีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รัปต์จากแหล่งกำเนิดภายในดังกล่าวดังนี้

4.2.1 การอินเทอร์รัปต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รัปต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของ Timer/Counter 0 คือบิต TOIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รัปต์จากโมดูล Timer/Counter 0 และบิต TOIF คือบิตที่แสดงสถานะการนับเกินของโมดูล Timer/Counter 0 เมื่อบิตนี้มีค่าเป็นลอจิก '1' ก็จะทำให้ CPU เกิดการอินเทอร์รัปต์ไปยังตำแหน่งของการอินเทอร์รัปต์ ส่วนรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

REGISTER 2-3: INTCON: INTERRUPT CONTROL REGISTER


R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	RBIE ^(1,3)	TOIF ⁽²⁾	INTF	RBIF
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7	GIE: Global Interrupt Enable bit 1 = Enables all unmasked interrupts 0 = Disables all interrupts
bit 6	PEIE: Peripheral Interrupt Enable bit 1 = Enables all unmasked peripheral interrupts 0 = Disables all peripheral interrupts
bit 5	TOIE: Timer0 Overflow Interrupt Enable bit 1 = Enables the Timer0 interrupt 0 = Disables the Timer0 interrupt
bit 4	INTE: INT External Interrupt Enable bit 1 = Enables the INT external interrupt 0 = Disables the INT external interrupt
bit 3	RBIE: PORTB Change Interrupt Enable bit ^(1,3) 1 = Enables the PORTB change interrupt 0 = Disables the PORTB change interrupt
bit 2	TOIF: Timer0 Overflow Interrupt Flag bit ⁽²⁾ 1 = TMR0 register has overflowed (must be cleared in software) 0 = TMR0 register did not overflow
bit 1	INTF: INT External Interrupt Flag bit 1 = The INT external interrupt occurred (must be cleared in software) 0 = The INT external interrupt did not occur
bit 0	RBIF: PORTB Change Interrupt Flag bit 1 = When at least one of the PORTB general purpose I/O pins changed state (must be cleared in software) 0 = None of the PORTB general purpose I/O pins have changed state

รูปที่ 1.6 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ INTCON

	ใบเนื้อหา		หน้าที่ 6
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.2.2 การอินเทอร์รับต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 1 คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 1 คือบิต TMR1IE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Timer/Counter 1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 1 คือบิต TMR1IF ซึ่งเป็นบิตที่แสดงสถานะการนับเกินของโมดูล Timer/Counter 1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8

REGISTER 2-4: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1


U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

bit 7	Unimplemented: Read as '0'
bit 6	ADIE: A/D Converter (ADC) Interrupt Enable bit 1 = Enables the ADC interrupt 0 = Disables the ADC interrupt
bit 5	RCIE: EUSART Receive Interrupt Enable bit 1 = Enables the EUSART receive interrupt 0 = Disables the EUSART receive interrupt
bit 4	TXIE: EUSART Transmit Interrupt Enable bit 1 = Enables the EUSART transmit interrupt 0 = Disables the EUSART transmit interrupt
bit 3	SSPIE: Master Synchronous Serial Port (MSSP) Interrupt Enable bit 1 = Enables the MSSP interrupt 0 = Disables the MSSP interrupt
bit 2	CCP1IE: CCP1 Interrupt Enable bit 1 = Enables the CCP1 interrupt 0 = Disables the CCP1 interrupt
bit 1	TMR2IE: Timer2 to PR2 Match Interrupt Enable bit 1 = Enables the Timer2 to PR2 match interrupt 0 = Disables the Timer2 to PR2 match interrupt
bit 0	TMR1IE: Timer1 Overflow Interrupt Enable bit 1 = Enables the Timer1 overflow interrupt 0 = Disables the Timer1 overflow interrupt

รูปที่ 1.7 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ PIE1

	ใบเนื้อหา		หน้าที่ 7
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		
ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน			
REGISTER 2-6: PIR1: PERIPHERAL INTERRUPT REQUEST REGISTER 1			
U-0 — bit 7	R/W-0 ADIF	R-0 RCIF	R-0 TXIF SSPIF CCP1IF TMR2IF TMR1IF bit 0
Legend: R = Readable bit W = Writable bit U = Unimplemented bit, read as '0' -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown			
bit 7 Unimplemented: Read as '0' bit 6 ADIF: A/D Converter Interrupt Flag bit 1 = A/D conversion complete (must be cleared in software) 0 = A/D conversion has not completed or has not been started bit 5 RCIF: EUSART Receive Interrupt Flag bit 1 = The EUSART receive buffer is full (cleared by reading RCREG) 0 = The EUSART receive buffer is not full bit 4 TXIF: EUSART Transmit Interrupt Flag bit 1 = The EUSART transmit buffer is empty (cleared by writing to TXREG) 0 = The EUSART transmit buffer is full bit 3 SSPIF: Master Synchronous Serial Port (MSSP) Interrupt Flag bit 1 = The MSSP interrupt condition has occurred, and must be cleared in software before returning from the Interrupt Service Routine. The conditions that will set this bit are: <u>SPI</u> A transmission/reception has taken place <u>I²C Slave/Master</u> A transmission/reception has taken place <u>I²C Master</u> The initiated Start condition was completed by the MSSP module The initiated Stop condition was completed by the MSSP module The initiated restart condition was completed by the MSSP module The initiated Acknowledge condition was completed by the MSSP module A Start condition occurred while the MSSP module was idle (Multi-master system) A Stop condition occurred while the MSSP module was idle (Multi-master system) 0 = No MSSP interrupt condition has occurred bit 2 CCP1IF: CCP1 Interrupt Flag bit <u>Capture mode:</u> 1 = A TMR1 register capture occurred (must be cleared in software) 0 = No TMR1 register capture occurred <u>Compare mode:</u> 1 = A TMR1 register compare match occurred (must be cleared in software) 0 = No TMR1 register compare match occurred <u>PWM mode:</u> Unused in this mode bit 1 TMR2IF: Timer2 to PR2 Interrupt Flag bit 1 = A Timer2 to PR2 match occurred (must be cleared in software) 0 = No Timer2 to PR2 match occurred bit 0 TMR1IF: Timer1 Overflow Interrupt Flag bit 1 = The TMR1 register overflowed (must be cleared in software) 0 = The TMR1 register did not overflow			
รูปที่ 1.8 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ PIR1			

	ใบเนื้อหา		หน้าที่ 8
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.2.3 การอินเทอร์รับต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 2 คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 2 คือบิต TMR2IE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Timer/Counter 2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 2 คือบิต TMR2IF ซึ่งเป็นบิตที่แสดงสถานะการนับเกินของโมดูล Timer/Counter 2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8

4.2.4 การอินเทอร์รับต์จาก ADC มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้


INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ ADC คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ ADC คือบิต ADIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล ADC ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ ADC คือบิต ADIF ซึ่งเป็นบิตที่แสดงสถานะการแปลงข้อมูลสมบูรณ์เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8

4.2.5 การอินเทอร์รับต์จาก UART มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ UART คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

	ใบเนื้อหา	หน้าที่ 9
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ UART คือบิต RCIE และ TXIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล UART ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ UART คือบิต RCIF และ TXIF ซึ่งเป็นบิตที่แสดงสถานะการรับส่งข้อมูลที่ขาพอร์ต UART สมบูรณ์เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8

4.2.6 การอินเทอร์รับต์จาก MSSP มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ MSSP คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6


PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ MSSP คือบิต SPPIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล MSSP ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ MSSP คือบิต SSPIF ซึ่งเป็นบิตที่แสดงสถานะการรับส่งข้อมูลที่ขาพอร์ต I2C หรือ SPI สมบูรณ์เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8


4.2.7 การอินเทอร์รับต์จาก CCP1 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP1 คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

PIE1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP1 คือบิต CCP1IE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล CCP1 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE1 แสดงดังรูปที่ 1.7

	ใบเนื้อหา	หน้าที่ 10
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน
<p>PIR1 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR1 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP1 คือบิต CCP1IF ซึ่งเป็นบิตที่แสดงสถานะการทำงานของ Capture/Compare/PWM 1 เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR1 แสดงดังรูปที่ 1.8</p> <p>4.2.8 การอินเทอร์รับต์จาก CCP2 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้</p> <p>INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP1 คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6</p> <p>PIE2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP2 คือบิต CCP2IE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล CCP2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE2 แสดงดังรูปที่ 1.9</p> <p>PIR2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ CCP2 คือบิต CCP2IF ซึ่งเป็นบิตที่แสดงสถานะการทำงานของ Capture/Compare/PWM 2 เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR2 แสดงดังรูปที่ 1.10</p> <p>4.2.9 การอินเทอร์รับต์จาก Comparator มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้</p> <p>INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Comparator คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6</p> <p>PIE2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Comparator คือบิต C1IE หรือ C2IE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Comparator 1 หรือ 2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE2 แสดงดังรูปที่ 1.9</p> <p>PIR2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Comparator คือบิต C1IF หรือ C2IF ซึ่งเป็นบิตที่แสดงสถานะการทำงานของโมดูล Comparator 1 หรือ 2 ที่เรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR2 แสดงดังรูปที่ 1.10</p>

	ใบเนื้อหา		หน้าที่ 11
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

REGISTER 2-5: PIE2: PERIPHERAL INTERRUPT ENABLE REGISTER 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIE	C2IE	C1IE	EEIE	BCLIE	ULPWUIE	—	CCP2IE
bit 7							bit 0

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR


'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 7 **OSFIE:** Oscillator Fail Interrupt Enable bit
 1 = Enables oscillator fail interrupt
 0 = Disables oscillator fail interrupt
- bit 6 **C2IE:** Comparator C2 Interrupt Enable bit
 1 = Enables Comparator C2 interrupt
 0 = Disables Comparator C2 interrupt
- bit 5 **C1IE:** Comparator C1 Interrupt Enable bit
 1 = Enables Comparator C1 interrupt
 0 = Disables Comparator C1 interrupt
- bit 4 **EEIE:** EEPROM Write Operation Interrupt Enable bit
 1 = Enables EEPROM write operation interrupt
 0 = Disables EEPROM write operation interrupt
- bit 3 **BCLIE:** Bus Collision Interrupt Enable bit
 1 = Enables Bus Collision interrupt
 0 = Disables Bus Collision interrupt
- bit 2 **ULPWUIE:** Ultra Low-Power Wake-up Interrupt Enable bit
 1 = Enables Ultra Low-Power Wake-up interrupt
 0 = Disables Ultra Low-Power Wake-up interrupt
- bit 1 **Unimplemented:** Read as '0'
- bit 0 **CCP2IE:** CCP2 Interrupt Enable bit
 1 = Enables CCP2 interrupt
 0 = Disables CCP2 interrupt

รูปที่ 1.9 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ PIE2

	ใบเนื้อหา		หน้าที่ 12
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

REGISTER 2-7: PIR2: PERIPHERAL INTERRUPT REQUEST REGISTER 2


R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OSFIF	C2IF	C1IF	EEIF	BCLIF	ULPWUIF	—	CCP2IF
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

- bit 7 **OSFIF:** Oscillator Fail Interrupt Flag bit
 1 = System oscillator failed, clock input has changed to INTOSC (must be cleared in software)
 0 = System clock operating
- bit 6 **C2IF:** Comparator C2 Interrupt Flag bit
 1 = Comparator output (C2OUT bit) has changed (must be cleared in software)
 0 = Comparator output (C2OUT bit) has not changed
- bit 5 **C1IF:** Comparator C1 Interrupt Flag bit
 1 = Comparator output (C1OUT bit) has changed (must be cleared in software)
 0 = Comparator output (C1OUT bit) has not changed
- bit 4 **EEIF:** EE Write Operation Interrupt Flag bit
 1 = Write operation completed (must be cleared in software)
 0 = Write operation has not completed or has not started
- bit 3 **BCLIF:** Bus Collision Interrupt Flag bit
 1 = A bus collision has occurred in the MSSP when configured for I²C Master mode
 0 = No bus collision has occurred
- bit 2 **ULPWUIF:** Ultra Low-Power Wake-up Interrupt Flag bit
 1 = Wake-up condition has occurred (must be cleared in software)
 0 = No Wake-up condition has occurred
- bit 1 **Unimplemented:** Read as '0'
- bit 0 **CCP2IF:** CCP2 Interrupt Flag bit
Capture mode:
 1 = A TMR1 register capture occurred (must be cleared in software)
 0 = No TMR1 register capture occurred
Compare mode:
 1 = A TMR1 register compare match occurred (must be cleared in software)
 0 = No TMR1 register compare match occurred
PWM mode:
 Unused in this mode

รูปที่ 1.10 รายละเอียดการทำงานของบิตต่าง ๆ ของรีจิสเตอร์ PIR2

	ใบเนื้อหา	หน้าที่ 13
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.2.10 การอินเทอร์รับต์จาก Internal EEPROM มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

INTCON คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลพิเศษต่าง ๆ ในลักษณะของการกำหนดและแสดงสถานะการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ INTCON ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Internal EEPROM คือบิต PEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ ที่ถูกกำหนดโดยรีจิสเตอร์ PIE2 ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ INTCON แสดงดังรูปที่ 1.6

PIE2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการยอมรับให้เกิดการอินเทอร์รับต์จากโมดูลพิเศษต่าง ๆ โดยบิตของรีจิสเตอร์ PIE2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Internal EEPROM คือบิต EEIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Internal EEPROM ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIE2 แสดงดังรูปที่ 1.9

PIR2 คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูลพิเศษต่าง ๆ เพื่อให้เกิดการอินเทอร์รับต์ตามเงื่อนไข โดยบิตของรีจิสเตอร์ PIR2 ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Internal EEPROM คือบิต EEIF ซึ่งเป็นบิตที่แสดงสถานะการทำงานของโมดูล Internal EEPROM ที่ทำการอ่านหรือเขียนข้อมูลเรียบร้อยแล้ว ซึ่งรายละเอียดของการใช้งานบิตต่าง ๆ ของรีจิสเตอร์ PIR2 แสดงดังรูปที่ 1.10

และการเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในด้วยไมโครคอนโทรลเลอร์ PIC16F887 โดยใช้โปรแกรม MPLAB X และคอมไพเลอร์ XC8 สามารถทำได้ดังนี้


```
void __interrupt() function_name (){  
    statement instruction;  
    return;  
}
```

4.3 การเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รับต์ใน avr GCC

ไมโครคอนโทรลเลอร์ ATMEGA32 มีแหล่งกำเนิดสัญญาณการอินเทอร์รับต์ภายในจำนวน 8 แหล่งได้แก่ Timer/Counter 0 , 1 , 2 , SPI , USART , I2C , Analog Comparator และ ADC ซึ่งจะเกิดอินเทอร์รับต์ได้ตามเงื่อนไขที่เรากำหนด โดยการกำหนดที่รีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รับต์ของโมดูลพิเศษนั้น ๆ ซึ่งไมโครคอนโทรลเลอร์ ATMEGA32 มีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเทอร์รับต์จากแหล่งกำเนิดภายในดังกล่าวดังนี้

4.3.1 การอินเทอร์รับต์จาก Timer/Counter 0 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

TIMSK คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของอินเทอร์รับต์ที่โมดูล Timer/Counter 0 , 1 และ 2 โดยบิตของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 0 คือบิต OCIE0 และ TOIE0 ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Timer/Counter 0 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน และโมดูลเกิดการนับเกิน ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับการใช้งานของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 0 แสดงดังรูปที่ 1.11

	ใบเนื้อหา		หน้าที่ 14
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

TIFR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูล Timer/Counter 0 , 1 และ 2 เพื่อกระตุ้นให้เกิดการอินเทอร์รัปต์ โดยบิตของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของ Timer/Counter 0 คือบิต OCF0 และ TOV0 ซึ่งเป็นบิตที่แสดงสถานะของโมดูล Timer/Counter 0 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน และโมดูลเกิดการนับเกิน ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 0 แสดงดังรูปที่ 1.12

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 1 – OCIE0: Timer/Counter0 Output Compare Match Interrupt Enable**

When the OCIE0 bit is written to one, and the I-bit in the Status Register is set (one), the Timer/Counter0 Compare Match interrupt is enabled. The corresponding interrupt is executed if a compare match in Timer/Counter0 occurs, i.e., when the OCF0 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

- **Bit 0 – TOIE0: Timer/Counter0 Overflow Interrupt Enable**

When the TOIE0 bit is written to one, and the I-bit in the Status Register is set (one), the Timer/Counter0 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter0 occurs, i.e., when the TOV0 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

รูปที่ 1.11 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 0

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	


- **Bit 1 – OCF0: Output Compare Flag 0**

The OCF0 bit is set (one) when a compare match occurs between the Timer/Counter0 and the data in OCR0 – Output Compare Register0. OCF0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF0 is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE0 (Timer/Counter0 Compare Match Interrupt Enable), and OCF0 are set (one), the Timer/Counter0 Compare Match Interrupt is executed.

- **Bit 0 – TOV0: Timer/Counter0 Overflow Flag**

The bit TOV0 is set (one) when an overflow occurs in Timer/Counter0. TOV0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV0 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE0 (Timer/Counter0 Overflow Interrupt Enable), and TOV0 are set (one), the Timer/Counter0 Overflow interrupt is executed. In phase correct PWM mode, this bit is set when Timer/Counter0 changes counting direction at \$00.

รูปที่ 1.12 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 0

	ใบเนื้อหา		หน้าที่ 15
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.2 การอินเทอร์รับต์จาก Timer/Counter 1 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

TIMSK คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของอินเทอร์รับต์ที่โมดูล Timer/Counter 0 , 1 และ 2 โดยบิตของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 1 คือบิต OCIE1A , OCIE1B , TOIE1 และ TICIE1 ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Timer/Counter 1 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน , โมดูลเกิดการนับเกิน และการแค็ปเจอร์สัญญาณ ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 1 แสดงดังรูปที่ 1.13

TIFR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูล Timer/Counter 0 , 1 และ 2 เพื่อกระตุ้นให้เกิดการอินเทอร์รับต์ โดยบิตของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับการอินเทอร์รับต์ของ Timer/Counter 1 คือบิต OCF1A , OCF1B , TOV1 และ ICF1 ซึ่งเป็นบิตที่แสดงสถานะของโมดูล Timer/Counter 1 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน , โมดูลเกิดการนับเกิน และการแค็ปเจอร์สัญญาณ ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 1 แสดงดังรูปที่ 1.14

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Note: 1. This register contains interrupt control bits for several Timer/Counters, but only Timer1 bits are described in this section. The remaining bits are described in their respective timer sections.

- **Bit 5 – TICIE1: Timer/Counter1, Input Capture Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Input Capture Interrupt is enabled. The corresponding Interrupt Vector (See “Interrupts” on page 44.) is executed when the ICF1 Flag, located in TIFR, is set.

- **Bit 4 – OCIE1A: Timer/Counter1, Output Compare A Match Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Output Compare A match interrupt is enabled. The corresponding Interrupt Vector (See “Interrupts” on page 44.) is executed when the OCF1A Flag, located in TIFR, is set.

- **Bit 3 – OCIE1B: Timer/Counter1, Output Compare B Match Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Output Compare B match interrupt is enabled. The corresponding Interrupt Vector (See “Interrupts” on page 44.) is executed when the OCF1B Flag, located in TIFR, is set.

- **Bit 2 – TOIE1: Timer/Counter1, Overflow Interrupt Enable**

When this bit is written to one, and the I-flag in the Status Register is set (interrupts globally enabled), the Timer/Counter1 Overflow Interrupt is enabled. The corresponding Interrupt Vector (See “Interrupts” on page 44.) is executed when the TOV1 Flag, located in TIFR, is set.

รูปที่ 1.13 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 1

ใบเนื้อหา

หน้าที่ 16

ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004

หน่วยที่ 7

ชื่อหน่วย การใช้งานอินเทอร์รัปต์

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Note: This register contains flag bits for several Timer/Counters, but only Timer1 bits are described in this section. The remaining bits are described in their respective timer sections.

• **Bit 5 – ICF1: Timer/Counter1, Input Capture Flag**

This flag is set when a capture event occurs on the ICP1 pin. When the Input Capture Register (ICR1) is set by the WGM13:0 to be used as the TOP value, the ICF1 Flag is set when the counter reaches the TOP value.

ICF1 is automatically cleared when the Input Capture Interrupt Vector is executed. Alternatively, ICF1 can be cleared by writing a logic one to its bit location.

• **Bit 4 – OCF1A: Timer/Counter1, Output Compare A Match Flag**

This flag is set in the timer clock cycle after the counter (TCNT1) value matches the Output Compare Register A (OCR1A).

Note that a Forced Output Compare (FOC1A) strobe will not set the OCF1A Flag.

OCF1A is automatically cleared when the Output Compare Match A Interrupt Vector is executed. Alternatively, OCF1A can be cleared by writing a logic one to its bit location.

• **Bit 3 – OCF1B: Timer/Counter1, Output Compare B Match Flag**

This flag is set in the timer clock cycle after the counter (TCNT1) value matches the Output Compare Register B (OCR1B).

Note that a forced output compare (FOC1B) strobe will not set the OCF1B Flag.


OCF1B is automatically cleared when the Output Compare Match B Interrupt Vector is executed. Alternatively, OCF1B can be cleared by writing a logic one to its bit location.

• **Bit 2 – TOV1: Timer/Counter1, Overflow Flag**

The setting of this flag is dependent of the WGM13:0 bits setting. In normal and CTC modes, the TOV1 Flag is set when the timer overflows. Refer to Table 47 on page 109 for the TOV1 Flag behavior when using another WGM13:0 bit setting.

TOV1 is automatically cleared when the Timer/Counter1 Overflow interrupt vector is executed. Alternatively, TOV1 can be cleared by writing a logic one to its bit location.

รูปที่ 1.14 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 1

	ใบเนื้อหา		หน้าที่ 17
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.3 การอินเทอร์รัปต์จาก Timer/Counter 2 มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

TIMSK คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของอินเทอร์รัปต์ที่โมดูล Timer/Counter 0 , 1 และ 2 โดยบิตของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของ Timer/Counter 2 คือบิต OCIE2 และ TOIE2 ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รัปต์จากโมดูล Timer/Counter 2 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน และโมดูลเกิดการนับเกิน ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 2 แสดงดังรูปที่ 1.15

TIFR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูล Timer/Counter 0 , 1 และ 2 เพื่อกระตุ้นให้เกิดการอินเทอร์รัปต์ โดยบิตของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับการอินเทอร์รัปต์ของ Timer/Counter 2 คือบิต OCF2 และ TOV2 ซึ่งเป็นบิตที่แสดงสถานะของโมดูล Timer/Counter 2 ในลักษณะของการเปรียบเทียบข้อมูลตรงกัน และโมดูลเกิดการนับเกิน ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 2 แสดงดังรูปที่ 1.16

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – OCIE2: Timer/Counter2 Output Compare Match Interrupt Enable**

When the OCIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Compare Match interrupt is enabled. The corresponding interrupt is executed if a compare match in Timer/Counter2 occurs, i.e., when the OCF2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

- **Bit 6 – TOIE2: Timer/Counter2 Overflow Interrupt Enable**

When the TOIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter2 occurs, i.e., when the TOV2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

รูปที่ 1.15 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIMSK ที่เกี่ยวข้องกับ Timer/Counter 2

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	


- **Bit 7 – OCF2: Output Compare Flag 2**

The OCF2 bit is set (one) when a compare match occurs between the Timer/Counter2 and the data in OCR2 – Output Compare Register2. OCF2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF2 is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE2 (Timer/Counter2 Compare match Interrupt Enable), and OCF2 are set (one), the Timer/Counter2 Compare match Interrupt is executed.

- **Bit 6 – TOV2: Timer/Counter2 Overflow Flag**

The TOV2 bit is set (one) when an overflow occurs in Timer/Counter2. TOV2 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV2 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE2

รูปที่ 1.16 รายละเอียดการทำงานของบิตในรีจิสเตอร์ TIFR ที่เกี่ยวข้องกับ Timer/Counter 2

	ใบเนื้อหา		หน้าที่ 18
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.4 การอินเทอร์รับต์จาก SPI มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

SPCR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลการสื่อสารแบบ SPI โดยบิตของรีจิสเตอร์ SPCR ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต SPIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล SPI ในลักษณะของการรับส่งข้อมูลเสร็จสมบูรณ์ ส่วนรายละเอียดของการทำงานของรีจิสเตอร์ SPCR ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.17

SPSR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลการสื่อสารแบบ SPI โดยบิตของรีจิสเตอร์ SPSR ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต SPIF ซึ่งเป็นบิตที่ใช้สำหรับการกระตุ้นให้เกิดการอินเทอร์รับต์จากโมดูล SPI ในลักษณะของการรับส่งข้อมูลเสร็จสมบูรณ์ ส่วนรายละเอียดของการทำงานของรีจิสเตอร์ SPSR ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.18

Bit	7	6	5	4	3	2	1	0	
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – SPIE: SPI Interrupt Enable

This bit causes the SPI interrupt to be executed if SPIF bit in the SPSR Register is set and the if the global interrupt enable bit in SREG is set.

รูปที่ 1.17 รายละเอียดการทำงานของบิต SPIE ในรีจิสเตอร์ SPCR

Bit	7	6	5	4	3	2	1	0	
	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	


• Bit 7 – SPIF: SPI Interrupt Flag

When a serial transfer is complete, the SPIF Flag is set. An interrupt is generated if SPIE in SPCR is set and global interrupts are enabled. If \overline{SS} is an input and is driven low when the SPI is in Master mode, this will also set the SPIF Flag. SPIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, the SPIF bit is cleared by first reading the SPI Status Register with SPIF set, then accessing the SPI Data Register (SPDR).

รูปที่ 1.18 รายละเอียดการทำงานของบิต SPIF ในรีจิสเตอร์ SPSR

4.3.5 การอินเทอร์รับต์จาก USART มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

UCSRB คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลการสื่อสาร USART โดยบิตของรีจิสเตอร์ UCSRB ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต RXCIE , TXCIE และ UDRIE ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล USART ในลักษณะของการรับส่งข้อมูลเสร็จสมบูรณ์ และข้อมูลว่าง ส่วนรายละเอียดของการทำงานของรีจิสเตอร์ UCSRB ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.19

	ใบเนื้อหา	หน้าที่ 19
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

UCSRA คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลการสื่อสาร USART โดยบิตของรีจิสเตอร์ UCSRA ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต RXC , TXC และ UDRE ซึ่งเป็นบิตที่เกี่ยวข้องกับการแสดงสถานะการทำงานของโมดูล USART ในลักษณะของการรับส่งข้อมูลเสร็จสมบูรณ์ และข้อมูลว่าง ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ UCSRA ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.20

Bit	7	6	5	4	3	2	1	0	
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	UCSRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	


- **Bit 7 – RXCIE: RX Complete Interrupt Enable**
Writing this bit to one enables interrupt on the RXC Flag. A USART Receive Complete Interrupt will be generated only if the RXCIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the RXC bit in UCSRA is set.
- **Bit 6 – TXCIE: TX Complete Interrupt Enable**
Writing this bit to one enables interrupt on the TXC Flag. A USART Transmit Complete Interrupt will be generated only if the TXCIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the TXC bit in UCSRA is set.
- **Bit 5 – UDRIE: USART Data Register Empty Interrupt Enable**
Writing this bit to one enables interrupt on the UDRE Flag. A Data Register Empty Interrupt will be generated only if the UDRIE bit is written to one, the Global Interrupt Flag in SREG is written to one and the UDRE bit in UCSRA is set.

รูปที่ 1.19 รายละเอียดการทำงานของบิต RXCIE , TXCIE และ UDRIE ในรีจิสเตอร์ UCSRB

Bit	7	6	5	4	3	2	1	0	
	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	UCSRB
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

- **Bit 7 – RXC: USART Receive Complete**
This flag bit is set when there are unread data in the receive buffer and cleared when the receive buffer is empty (i.e., does not contain any unread data). If the receiver is disabled, the receive buffer will be flushed and consequently the RXC bit will become zero. The RXC Flag can be used to generate a Receive Complete interrupt (see description of the RXCIE bit).
- **Bit 6 – TXC: USART Transmit Complete**
This flag bit is set when the entire frame in the transmit Shift Register has been shifted out and there are no new data currently present in the transmit buffer (UDR). The TXC Flag bit is automatically cleared when a transmit complete interrupt is executed, or it can be cleared by writing a one to its bit location. The TXC Flag can generate a Transmit Complete interrupt (see description of the TXCIE bit).
- **Bit 5 – UDRE: USART Data Register Empty**
The UDRE Flag indicates if the transmit buffer (UDR) is ready to receive new data. If UDRE is one, the buffer is empty, and therefore ready to be written. The UDRE Flag can generate a Data Register empty Interrupt (see description of the UDRIE bit).
UDRE is set after a reset to indicate that the transmitter is ready.

รูปที่ 1.20 รายละเอียดการทำงานของบิต RXC , TXC และ UDRE ในรีจิสเตอร์ UCSRA

	ใบเนื้อหา		หน้าที่ 20
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

4.3.6 การอินเทอร์รับต์จาก I2C มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

TWCR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูลการสื่อสาร I2C โดยบิตของรีจิสเตอร์ TWCR ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต TWIE และ TWINT ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล I2C และแสดงสถานะการทำงานเพื่อกระตุ้นให้เกิดการอินเทอร์รับต์ ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ TWCR ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.21

Bit	7	6	5	4	3	2	1	0	
	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – TWINT: TWI Interrupt Flag**

This bit is set by hardware when the TWI has finished its current job and expects application software response. If the I-bit in SREG and TWIE in TWCR are set, the MCU will jump to the TWI Interrupt Vector. While the TWINT Flag is set, the SCL low period is stretched.

The TWINT Flag must be cleared by software by writing a logic one to it. Note that this flag is not automatically cleared by hardware when executing the interrupt routine. Also note that clearing this flag starts the operation of the TWI, so all accesses to the TWI Address Register (TWAR), TWI Status Register (TWSR), and TWI Data Register (TWDR) must be complete before clearing this flag.

- **Bit 0 – TWIE: TWI Interrupt Enable**

When this bit is written to one, and the I-bit in SREG is set, the TWI interrupt request will be activated for as long as the TWINT Flag is high.


รูปที่ 1.21 รายละเอียดการทำงานของบิต TWINT และ TWIE ในรีจิสเตอร์ TWCR

4.3.7 การอินเทอร์รับต์จาก Analog Comparator มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

ACSR คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูล Analog Comparator โดยบิตของรีจิสเตอร์ ACSR ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต ACIE และ ACI ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล Analog Comparator และแสดงสถานะการทำงานเพื่อกระตุ้นให้เกิดการอินเทอร์รับต์ ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ ACSR ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.22

4.3.8 การอินเทอร์รับต์จาก ADC มีรีจิสเตอร์ที่เกี่ยวข้องดังนี้

ADCSRA คือ รีจิสเตอร์ที่เกี่ยวข้องกับการควบคุมการทำงานของโมดูล ADC โดยบิตของรีจิสเตอร์ ADCSRA ที่เกี่ยวข้องกับการอินเทอร์รับต์คือบิต ADIE และ ADIF ซึ่งเป็นบิตที่กำหนดให้เกิดการยอมรับการอินเทอร์รับต์จากโมดูล ADC และแสดงสถานะการทำงานเพื่อกระตุ้นให้เกิดการอินเทอร์รับต์ ส่วนรายละเอียดของการใช้งานของรีจิสเตอร์ ADCSRA ที่เกี่ยวข้องกับการอินเทอร์รับต์แสดงดังรูปที่ 1.23

	ใบเนื้อหา	หน้าที่ 21
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์	

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	
	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	N/A	0	0	0	0	0	

- **Bit 7 – ACD: Analog Comparator Disable**

When this bit is written logic one, the power to the Analog Comparator is switched off. This bit can be set at any time to turn off the Analog Comparator. This will reduce power consumption in active and Idle mode. When changing the ACD bit, the Analog Comparator Interrupt must be disabled by clearing the ACIE bit in ACSR. Otherwise an interrupt can occur when the bit is changed.

- **Bit 6 – ACBG: Analog Comparator Bandgap Select**

When this bit is set, a fixed bandgap reference voltage replaces the positive input to the Analog Comparator. When this bit is cleared, AIN0 is applied to the positive input of the Analog Comparator. See "Internal Voltage Reference" on page 41.

- **Bit 5 – ACO: Analog Comparator Output**

The output of the Analog Comparator is synchronized and then directly connected to ACO. The synchronization introduces a delay of 1 - 2 clock cycles.

- **Bit 4 – ACI: Analog Comparator Interrupt Flag**

This bit is set by hardware when a comparator output event triggers the interrupt mode defined by ACIS1 and ACIS0. The Analog Comparator Interrupt routine is executed if the ACIE bit is set and the I-bit in SREG is set. ACI is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ACI is cleared by writing a logic one to the flag.

- **Bit 3 – ACIE: Analog Comparator Interrupt Enable**

When the ACIE bit is written logic one and the I-bit in the Status Register is set, the Analog Comparator Interrupt is activated. When written logic zero, the interrupt is disabled.

- **Bit 2 – ACIC: Analog Comparator Input Capture Enable**

When written logic one, this bit enables the Input Capture function in Timer/Counter1 to be triggered by the Analog Comparator. The comparator output is in this case directly connected to the Input Capture front-end logic, making the comparator utilize the noise canceler and edge select features of the Timer/Counter1 Input Capture interrupt. When written logic zero, no connection between the Analog Comparator and the Input Capture function exists. To make the comparator trigger the Timer/Counter1 Input Capture interrupt, the TICIE1 bit in the Timer Interrupt Mask Register (TIMSK) must be set.

- **Bits 1, 0 – ACIS1, ACIS0: Analog Comparator Interrupt Mode Select**


These bits determine which comparator events that trigger the Analog Comparator interrupt. The different settings are shown in Table 79.

Table 79. ACIS1/ACIS0 Settings

ACIS1	ACIS0	Interrupt Mode
0	0	Comparator Interrupt on Output Toggle
0	1	Reserved
1	0	Comparator Interrupt on Falling Output Edge
1	1	Comparator Interrupt on Rising Output Edge

When changing the ACIS1/ACIS0 bits, the Analog Comparator Interrupt must be disabled by clearing its Interrupt Enable bit in the ACSR Register. Otherwise an interrupt can occur when the bits are changed.

รูปที่ 1.22 รายละเอียดการทำงานของบิตในรีจิสเตอร์ ACSR ที่เกี่ยวข้องกับ Analog Comparator

	ใบเนื้อหา		หน้าที่ 22
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

Bit	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 4 – ADIF: ADC Interrupt Flag**
This bit is set when an ADC conversion completes and the Data Registers are updated. The ADC Conversion Complete Interrupt is executed if the ADIE bit and the I-bit in SREG are set. ADIF is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, ADIF is cleared by writing a logical one to the flag. Beware that if doing a Read-Modify-Write on ADCSRA, a pending interrupt can be disabled. This also applies if the SBI and CBI instructions are used.
- **Bit 3 – ADIE: ADC Interrupt Enable**
When this bit is written to one and the I-bit in SREG is set, the ADC Conversion Complete Interrupt is activated.

รูปที่ 1.23 รายละเอียดการทำงานของบิต ADIF และ ADIE ในรีจิสเตอร์ ADCSRA

และการเขียนฟังก์ชันภาษาซีเพื่อรองรับการทำงานของอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในด้วยไมโครคอนโทรลเลอร์ ATMEGA32 โดยใช้โปรแกรม AVR Studio 6.2 สามารถทำได้ดังนี้


1. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 0
 - 1.1 อินเทอร์รัปต์จาก Compare Match


```
ISR(TIMERO_COMP_vect){  
    statement instruction;  
}
```
 - 1.2 อินเทอร์รัปต์จาก Overflow

```
ISR(TIMERO_OVF_vect){  
    statement instruction;  
}
```
2. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รัปต์จาก Timer/Counter 1
 - 2.1 อินเทอร์รัปต์จาก Input Capture

```
ISR(TIMER1_CAPT_vect){  
    statement instruction;  
}
```
 - 2.2 อินเทอร์รัปต์จาก Output Compare A Match

```
ISR(TIMER1_COMPA_vect){  
    statement instruction;  
}
```

	ใบเนื้อหา		หน้าที่ 23
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์		
ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน			
<div>2.3 อินเทอร์รับต์จาก Output Compare B Match</div> <div>ISR(TIMER1_COMPB_vect){</div> <div>statement instruction;</div> <div>}</div> <div>2.4 อินเทอร์รับต์จาก Overflow</div> <div>ISR(TIMER1_OVF_vect){</div> <div>statement instruction;</div> <div>}</div> <div>3. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก Timer/Counter 2</div> <div>3.1 อินเทอร์รับต์จาก Compare Match</div> <div>ISR(TIMER2_COMP_vect){</div> <div>statement instruction;</div> <div>}</div> <div>3.2 อินเทอร์รับต์จาก Overflow</div> <div>ISR(TIMER2_OVF_vect){</div> <div>statement instruction;</div> <div>}</div> <div>4. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก SPI</div> <div>ISR(SPI_STC_vect){</div> <div>statement instruction;</div> <div>}</div> <div>5. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก USART</div> <div>5.1 อินเทอร์รับต์จาก Rx Complete</div> <div>ISR(USART_RXC_vect){</div> <div>statement instruction;</div> <div>}</div> <div>5.2 อินเทอร์รับต์จาก Tx Complete</div> <div>ISR(USART_TXC_vect){</div> <div>statement instruction;</div> <div>}</div>			

	ใบเนื้อหา	หน้าที่ 24
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

5.3 อินเทอร์รับต์จาก USART Data Register Empty

```
ISR(USART_UDRE_vect){  
    statement instruction;  
}
```

6. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก I2C

```
ISR(TWI_vect){  
    statement instruction;  
}
```

7. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก Analog Comparator

```
ISR(ANA_COMP_vect){  
    statement instruction;  
}
```

8. การเขียนฟังก์ชันภาษาซีเพื่อรองรับอินเทอร์รับต์จาก ADC

```
ISR(ADC_vect){  
    statement instruction;  
}
```

2. การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ Timer/Counter เพื่อสร้างฐานเวลาจริง

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในนั้นผู้ออกแบบและพัฒนาจะต้องเขียนฟังก์ชันสำหรับการอินเทอร์รับต์ และส่งงานรีจิสเตอร์ที่เกี่ยวข้องเพื่อเป็นการเปิดการทำงานของอินเทอร์รับต์ ส่วนการประมวลผลในฟังก์ชันอินเทอร์รับต์ ถ้าต้องการนำข้อมูลภายในฟังก์ชันการอินเทอร์รับต์ไปใช้งานในส่วนของฟังก์ชันอื่น ๆ ที่นอกเหนือจากฟังก์ชันอินเทอร์รับต์ จะต้องทำการประกาศตัวแปรแบบ volatile ดังที่ได้อธิบายในเนื้อหาเรื่องภาษาซีกับไมโครคอนโทรลเลอร์ ส่วนการใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของเนื้อหาในหน่วยนี้จะยกตัวอย่างเป็นการสร้างฐานเวลาจริงด้วยวิธีการอินเทอร์รับต์ของโมดูล Timer/Counter ในไมโครคอนโทรลเลอร์ตระกูล MCS-51 , PIC16F877 และ AVR ดังนี้

2.1 การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ AT89C51ED2 เพื่อสร้างฐานเวลาจริง

การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของ AT89C51ED2 เพื่อสร้างฐานเวลาจริง จะขอยกตัวอย่างเป็นโปรแกรมนับเวลา 0 – 59 วินาที แสดงผลด้วยอุปกรณ์ LED ในรูปแบบเลขรหัส BCD8421 โดยการใช้โมดูล Timer/Counter 1 เพื่อสร้างฐานเวลาจริงจากการอินเทอร์รับต์ดังรูปที่ 1.24



ใบเนื้อหา

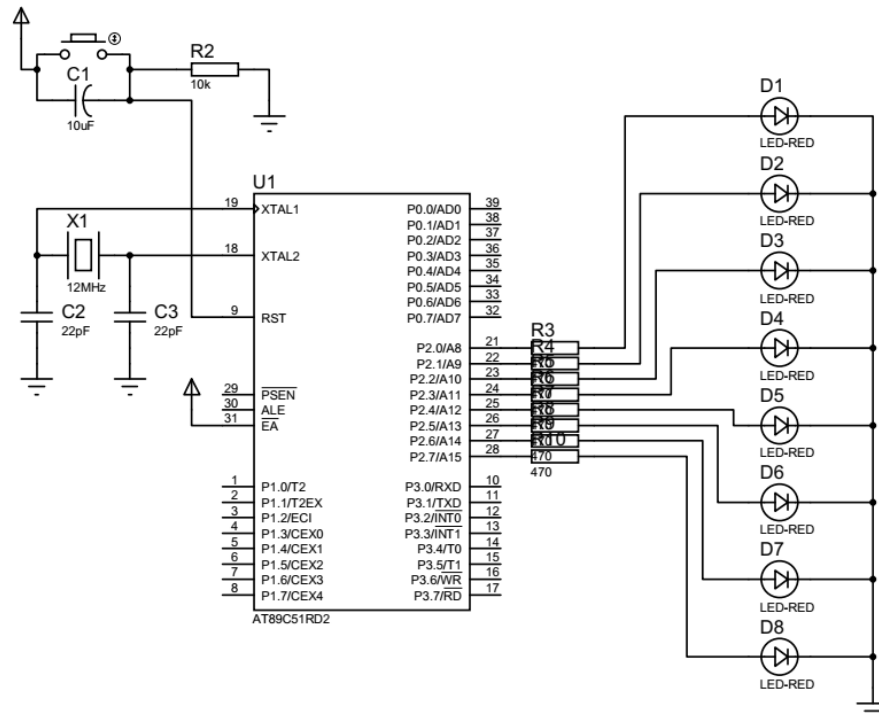
หน้าที่ 25

ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004

หน่วยที่ 7

ชื่อหน่วย การใช้งานอินเทอร์รัปต์


ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน




รูปที่ 1.24 แสดงวงจรทดสอบการอินเทอร์รัปต์จากแหล่งสัญญาณภายในของ AT89C51ED2

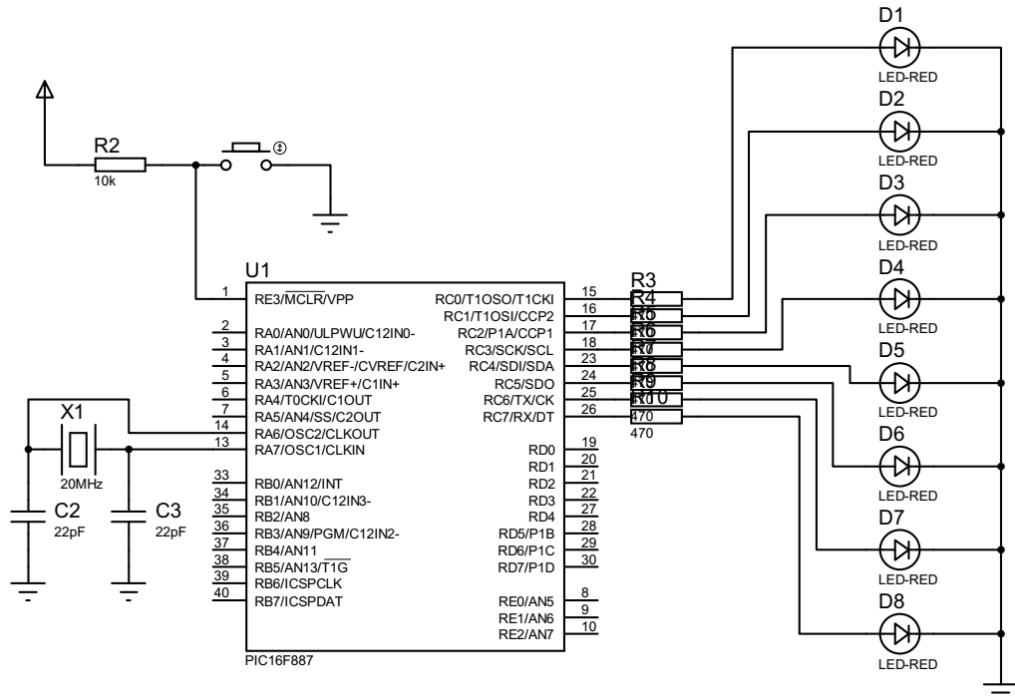
ตัวอย่างโปรแกรมของวงจรในรูปที่ 1.24

```
#include <at89c51xd2.h>
volatile unsigned char sec=0,msec=20;
void showTime(unsigned char s){
    P2 = ((s/10) << 4) + (s%10);
}
void init_intTimer1(){
    TMOD = (TMOD & 0x0f) | 0x10;
    TH1 = 0x3c; //Timer1 Count = 65536 - 15536 = 50000uS
    TL1 = 0xb0;
    TF1 = 0;
    TR1 = 1;
    ET1 = 1;
    EA = 1;
}
```

	ใบเนื้อหา		หน้าที่ 26
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		
ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน			
<pre>void int_Timer1Overflow() interrupt 3{ //interrupt @ 50mS msec--; if(msec == 0){ msec = 20; sec++; } TH1 = 0x3c; TL1 = 0xb0; TF1 = 0; } void main(){ unsigned char time=0; showTime(time); init_intTimer1(); while(1){ if(sec > 59) sec = 0; if(sec != time){ time = sec; showTime(time); } } }</pre>			
<p>2.2 การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ PIC16F887 เพื่อสร้างฐานเวลาจริง</p> <p>การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ PIC16F887 เพื่อสร้างฐานเวลาจริง จะขอ ยกตัวอย่างเป็นโปรแกรมนับเวลา 0 – 59 วินาที แสดงผลด้วยอุปกรณ์ LED ในรูปแบบเลขรหัส BCD8421 โดยการใช้ โมดูล Timer/Counter 1 เพื่อสร้างฐานเวลาจริงจากการอินเทอร์รัปต์ดังรูปที่ 1.25</p>			

	ใบเนื้อหา		หน้าที่ 27
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		


ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน



รูปที่ 1.25 แสดงวงจรทดสอบการอินเทอร์รัปต์จากแหล่งสัญญาณภายในของ PIC16F887

ตัวอย่างโปรแกรมของวงจรในรูปที่ 1.25

```
#define _XTAL_FREQ 20000000
#include <xc.h>
volatile unsigned char msec = 20, sec = 0;
void showTime(unsigned char s){
    PORTC = ((s/10) << 4) + (s%10);
}
void init_timer1INT(){
    T1CKPS1 = 1; //T1_INTERNAL & T1_DIV_BY_4;
    TMR1 = 3036; //Timer1 Count = (65536 - 3036) * 0.8uS = 50000uS
    TMR1IF = 0;
    TMR1IE = 1;
    TMR1ON = 1;
    PEIE = 1;
    GIE = 1;
}
```

	ใบเนื้อหา	หน้าที่ 28
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์	


ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน

```
void __interrupt() tc1Int(void) { // interrupt @ 50mS
    msec--;
    if(msec == 0){
        msec = 20;
        sec++;
    }
    TMR1IF = 0;
    TMR1 = 3036;
    return;
}

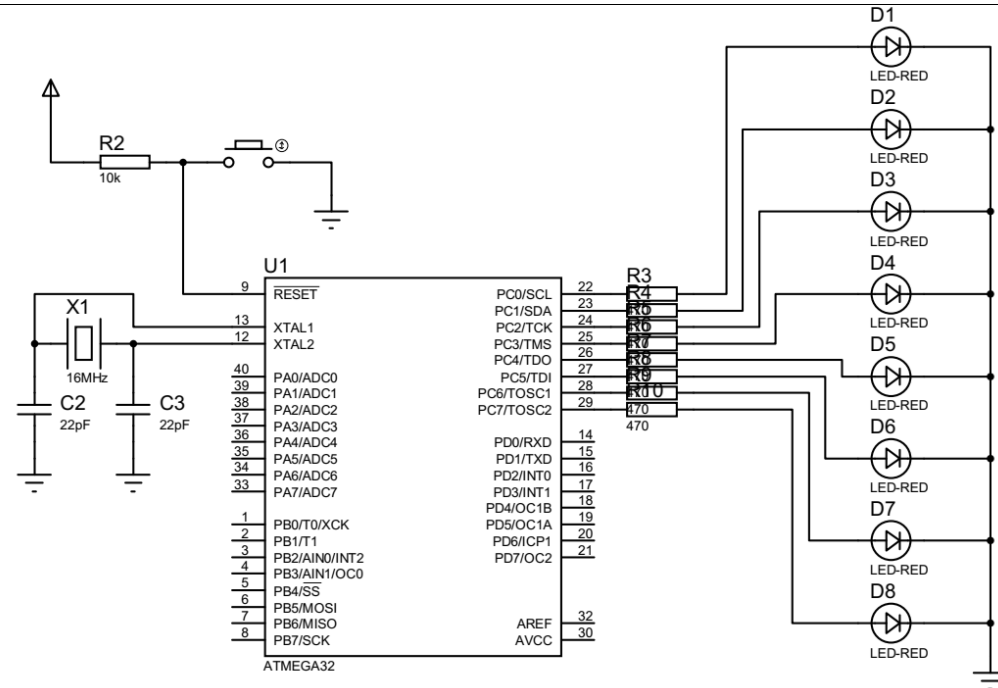
int main(){
    unsigned char time=0;
    TRISC = 0x00;
    showTime(time);
    init_timer1INT();
    while(1){
        if(sec > 59) sec = 0;
        if(sec != time){
            time = sec;
            showTime(time);
        }
    }
    return 0;
}
```

2.3 การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ ATMEGA32 เพื่อสร้างฐานเวลาจริง

การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายในของ ATMEGA32 เพื่อสร้างฐานเวลาจริง จะยกตัวอย่างเป็นโปรแกรมนับเวลา 0 – 59 วินาที แสดงผลด้วยอุปกรณ์ LED ในรูปแบบเลขรหัส BCD8421 โดยการใช้โมดูล Timer/Counter 1 เพื่อสร้างฐานเวลาจริงจากการอินเทอร์รัปต์ดังรูปที่ 1.26

	ใบเนื้อหา		หน้าที่ 29
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004		หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์		

ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน




รูปที่ 1.26 แสดงวงจรทดสอบการอินเทอร์รัปต์จากแหล่งสัญญาณภายในของ ATMEGA32
ตัวอย่างโปรแกรมของวงจรในรูปที่ 1.26

```
#include <avr/io.h>
#include <avr/interrupt.h>


volatile unsigned char msec = 40, sec = 0;

void showTime(unsigned char s){
    PORTC = ((s/10) << 4) + (s%10);
}

void init_timer1INT(){
    TCCR1B |= (0 << CS12) | (1 << CS11) | (0 << CS10); // Xtal/8
    TIMSK |= (1 << TOIE1);
    TIFR |= (1 << TOV1);
    TCNT1 = 15536; //Timer1 Count = (65536 - 15536)*0.5uS = 25000uS
    sei();
}
```

	ใบเนื้อหา	หน้าที่ 30
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รัปต์	


ชื่อเรื่อง การใช้งานอินเทอร์รัปต์จากแหล่งกำเนิดสัญญาณภายใน	
<pre>ISR(TIMER1_OVF_vect){ // interrupt @ 25mS msec--; if(msec == 0){ msec = 40; sec++; } TCNT1 = 15536; } int main(){ unsigned char time=0; DDRC = 0xff; showTime(time); init_timer1INT(); while(1){ if(sec > 59) sec = 0; if(sec != time){ time = sec; showTime(time); } } return 0; }</pre>	

	แบบฝึกหัด	หน้าที่ 1
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	

ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน

คำสั่ง จงตอบคำถามต่อไปนี้ให้ถูกต้อง

1. การอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของไมโครคอนโทรลเลอร์ AT89C51ED2 มีกี่แหล่งอะไรบ้าง
.....
.....
.....
2. การอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของไมโครคอนโทรลเลอร์ PIC16F887 มีกี่แหล่งอะไรบ้าง
.....
.....
.....
3. การอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายในของไมโครคอนโทรลเลอร์ ATMEGA32 มีกี่แหล่งอะไรบ้าง
.....
.....
.....
4. จงอธิบายขบวนการอินเทอร์รับต์จากโมดูล Timer1 ที่เกิดจากการนับเกินของไมโครคอนโทรลเลอร์ AT89C51ED2
.....
.....
.....
5. จงอธิบายขบวนการอินเทอร์รับต์จากโมดูล Timer1 ที่เกิดจากการนับเกินของไมโครคอนโทรลเลอร์ PIC16F887
.....
.....
.....
6. จงอธิบายขบวนการอินเทอร์รับต์จากโมดูล Timer1 ที่เกิดจากการนับเกินของไมโครคอนโทรลเลอร์ ATMEGA32
.....
.....
.....
7. จงอธิบายการควบคุมการเกิดอินเทอร์รับต์ของไมโครคอนโทรลเลอร์ AT89C51ED2
.....
.....
.....

	แบบฝึกหัด	หน้าที่ 2
	ชื่อวิชา ดิจิทัลและไมโครคอนโทรลเลอร์ รหัสวิชา 30127-2004	หน่วยที่ 7
	ชื่อหน่วย การใช้งานอินเทอร์รับต์	
ชื่อเรื่อง การใช้งานอินเทอร์รับต์จากแหล่งกำเนิดสัญญาณภายใน		
<p>8. จงอธิบายการควบคุมการเกิดอินเทอร์รับต์ของไมโครคอนโทรลเลอร์ PIC16F887</p> <p>.....</p> <p>.....</p> <p>.....</p> <p>9. จงอธิบายการควบคุมการเกิดอินเทอร์รับต์ของไมโครคอนโทรลเลอร์ ATMEGA32</p> <p>.....</p> <p>.....</p> <p>.....</p> <p>10. การอินเทอร์รับต์จากโมดูล Timer1 ของไมโครคอนโทรลเลอร์ ATMEGA32 มีกี่รูปแบบอะไรบ้าง</p> <p>.....</p> <p>.....</p> <p>.....</p>		