

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

รหัสวิชา 30127-2004 (2-3-3) ดิจิทัลและไมโครคอนโทรลเลอร์

Digital And Microcontroller

1

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

1. วงจรกำเนิดสัญญาณนาฬิกา
 - 1.1 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์
 - 1.2 วงจรไบสเทเบิลมัลติไวเบรเตอร์
 - 1.3 วงจรออสซิลเลเตอร์
2. วงจรฟลิปฟล็อป
 - 2.1 RS-Flipflop
 - 2.2 JK-Flipflop
 - 2.3 D-Flipflop
 - 2.4 T-Flipflop

Digital And Microcontroller

2

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

3. อุปกรณ์ 7-Segment
 - 3.1 7-Segment ชนิดคอมมอน Cathode
 - 3.2 7-Segment ชนิดคอมมอน Anode
4. การออกแบบวงจรนับ
 - 4.1 วงจรนับแบบบะซิงโครนัส
 - 4.2 วงจรนับแบบซิงโครนัส

Digital And Microcontroller

3

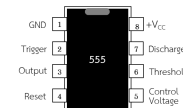
สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

1. วงจรกำเนิดสัญญาณนาฬิกา

วงจรกำเนิดสัญญาณนาฬิกา มีพื้นฐานมาจากวงจรมัลติไวเบรเตอร์ แบบบะซิงโครนัส โดยวงจรมัลติไวเบรเตอร์อาจจะสร้างมาจากอุปกรณ์ทรานซิสเตอร์ ไอซี 555 ไอซีดิจิทัล หรือไอซีดิจิทัลทำงานร่วมกับอุปกรณ์คริสตัล หรือไอซีออปแอมป์ ทำงานร่วมกับอุปกรณ์ RC เป็นต้น ซึ่งวงจรมัลติไวเบรเตอร์จะมี 3 ประเภทใหญ่ ๆ ดังนี้

1.1 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์

1.1.1 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์จากไอซี 555

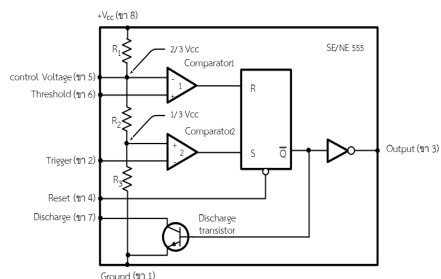


รูปที่ 1.1 แสดงตำแหน่งขาการต่อใช้งานของไอซี 555

Digital And Microcontroller

4

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

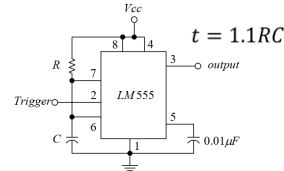


รูปที่ 1.2 รูปแสดงบล็อกไดอะแกรมโครงสร้างภายในของไอซี 555

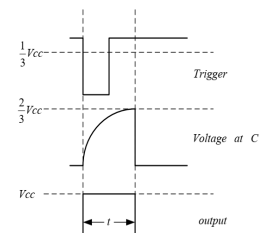
Digital And Microcontroller

5

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป



รูปที่ 1.3 แสดงตัวอย่างการต่อวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ด้วยไอซี 555



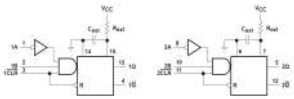
รูปที่ 1.4 แสดงรูปคลื่นสัญญาณการทำงานวงจรโมโนสเตเบิลมัลติไวเบรเตอร์

Digital And Microcontroller

6

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

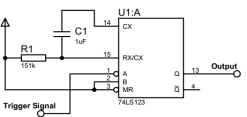
1.1.2 วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์จากไอซีดิจิทัล 74LS123



(ก) แสดงโครงสร้างภายในของไอซี 74LS123

$$t = 0.33RC$$

โดยให้กำหนดค่า R ให้อยู่ในช่วง 5kΩ ถึง 180kΩ



FUNCTION TABLE				
CLEAR	A INPUT	B INPUT	Q	\bar{Q}
L	X	X	L	H
X	H	X	L†	H†
X	X	L	L†	H†
H	L	↑	LHL‡	HLH‡
H	↓	H	LHL‡	HLH‡
↑	L	H	LHL‡	HLH‡

† These lines of the functional tables assume that the indicated steady-state conditions at the A and B inputs have been set up long enough to complete any pulse started before the setup.

‡ This is a low-to-high-to-low pulse.

§ This is a high-to-low-to-high pulse.

(ข) แสดงตารางการทำงานของไอซี 74LS123 ตามสัญญาณอินพุตที่กำหนด

รูปที่ 1.6 แสดงโครงสร้างและตารางการทำงานของไอซี 74LS123

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

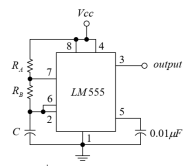
1.2 วงจรไบสเทเบิลมัลติไวเบเรเตอร์

วงจรไบสเทเบิลมัลติไวเบเรเตอร์ คือวงจรมัลติไวเบเรเตอร์ประเภทหนึ่ง ซึ่งมีสถานะการทำงานของเอาต์พุตที่แน่นอนได้สองลักษณะ ปกติวงจรพื้นฐานของวงจรไบสเทเบิลมัลติไวเบเรเตอร์จะประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ประเภทแอคทีฟ (active element) จำนวน 2 ตัว เช่น อุปกรณ์ทรานซิสเตอร์ หรือเจฟेट เป็นต้น โดยวงจรนี้ถูกนำไปใช้งานในลักษณะของวงจรฟลิปฟลอป (Flipflop circuit) เพื่อเก็บสถานะของสัญญาณ หรืออาจจะประยุกต์เป็นอุปกรณ์หน่วยความจำตามคุณสมบัติของฟลิปฟลอป

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

1.3 วงจรอะอสเตเบิลมัลติไวเบเรเตอร์

1.3.1 วงจรอะอสเตเบิลมัลติไวเบเรเตอร์ที่สร้างจากไอซี 555 มีค่า Duty Cycle หรือค่าความกว้างพัลส์ที่มีค่าไม่เท่ากับ 50%



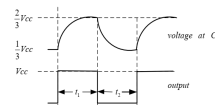
รูปที่ 1.6 รูปแสดงวงจรอะอสเตเบิลมัลติไวเบเรเตอร์ที่ไอซี 555

เมื่อ T คาบเวลาทั้งหมด

t_1 คือช่วงเวลาที่เกิดสัญญาณลอจิก '1'

t_2 คือช่วงเวลาที่เกิดสัญญาณลอจิก '0'

D คือ Duty Cycle



รูปที่ 1.7 รูปแสดงสัญญาณการทำงานของวงจรอะอสเตเบิลมัลติไวเบเรเตอร์ของไอซี 555

$$T = t_1 + t_2 = 0.693(R_A + 2R_B)C$$

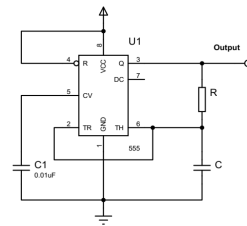
$$t_1 = 0.693(R_A + R_B)C$$

$$t_2 = 0.693R_B C$$

$$D = \frac{t_1}{T}$$

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

1.3.2 วงจรอะอสเตเบิลมัลติไวเบเรเตอร์ที่สร้างจากไอซี 555 มีค่า Duty Cycle หรือค่าความกว้างพัลส์ที่มีค่าเท่ากับ 50%



รูปที่ 1.9 รูปแสดงวงจรอะอสเตเบิลมัลติไวเบเรเตอร์ที่ไอซี 555 และ Duty Cycle มีค่าเท่ากับ 50%

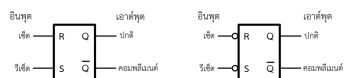
$$T = t_1 + t_2 = 2(0.693)RC$$

$$\text{เมื่อ } t_1 = t_2$$

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

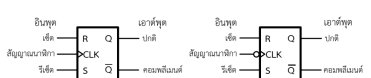
2. วงจรฟลิปฟลอป

2.1 RS-Flipflop



(ก) อินพุตมีการทำงานที่ลอจิก HIGH

รูปที่ 1.11 สัญลักษณ์ อาร์-เอส ฟลิปฟลอป ที่มีสัญญาณนาฬิกาควบคุม

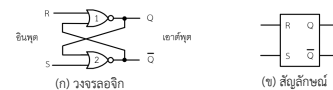


(ก) ทำงานที่ขอบขึ้นของสัญญาณนาฬิกา (ข) ทำงานที่ขอบลงของสัญญาณนาฬิกา

รูปที่ 1.12 สัญลักษณ์ อาร์-เอส ฟลิปฟลอป ที่มีสัญญาณนาฬิกาควบคุม

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

2.1.1 อาร์-เอส ฟลิปฟลอป แบบนอร์เกต (Cross-NOR R-S Flip-Flop)



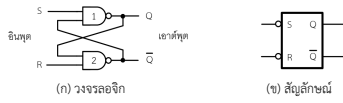
รูปที่ 1.13 วงจรลอจิกและสัญลักษณ์ อาร์-เอส ฟลิปฟลอปแบบนอร์เกต

โหมดการทำงาน	อินพุต		เอาต์พุต	
	R	S	(Q)	(\bar{Q})
Hold	0	0	(Q)	(\bar{Q})
Set	0	1	1	0
Reset	1	0	0	1
Prohibited	1	1	0	0

รูปที่ 1.14 แสดงรูปตารางความจริงของ อาร์-เอส ฟลิปฟลอป แบบนอร์เกต

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

2.1.2 อาร์-เอส ฟลิปฟลอป แบบแนนด์เกต (Cross NAND R-S Flip-Flop)

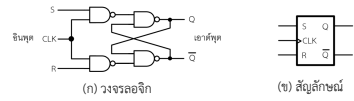


รูปที่ 1.15 วงจรลอจิกและสัญลักษณ์ อาร์-เอส ฟลิปฟลอป แบบแนนด์เกต

โหมดการทำงาน	อินพุต		เอาต์พุต	
	S	R	(Q)	(Q̄)
Prohibited	0	0	1	1
Set	0	1	1	0
Reset	1	0	0	1
Hold	1	1	(Q)	(Q̄)

รูปที่ 1.16 แสดงรูปตารางความจริงของ อาร์-เอส ฟลิปฟลอป แบบแนนด์เกต

สัญญาณนาฬิกา และวงจรฟลิปฟลอป



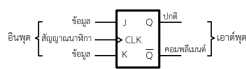
รูปที่ 1.17 วงจรลอจิกและสัญลักษณ์ อาร์-เอส ฟลิปฟลอป แบบใช้สัญญาณนาฬิกา

โหมดการทำงาน	อินพุต		เอาต์พุต	
	CLK	R	S	(Q)
Hold	1	0	0	(Q)
Set	1	0	1	1
Reset	1	1	0	0
Prohibited	1	1	1	1

รูปที่ 1.18 แสดงรูปตารางความจริงของ อาร์-เอส ฟลิปฟลอป แบบแนนด์เกตใช้สัญญาณนาฬิกาควบคุม

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

2.2 JK-Flipflop



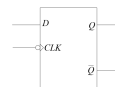
รูปที่ 1.19 สัญลักษณ์ของ เจ-เค ฟลิปฟลอป

โหมดการทำงาน	อินพุต		เอาต์พุต	
	CLK	J	K	(Q)
Hold	1	0	0	(Q)
Reset	1	0	1	0
Set	1	1	0	1
Toggle	1	1	1	(Q̄)

รูปที่ 1.20 แสดงรูปตารางความจริงของ เจ-เค ฟลิปฟลอป

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

2.3 D-Flipflop

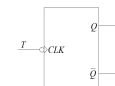


รูปที่ 1.21 แสดงสัญลักษณ์ของ ดี ฟลิปฟลอป ที่ถูกควบคุมด้วยสัญญาณนาฬิกาขอบขาขึ้น

อินพุต	เอาต์พุต	
	CLK	D
1	0	0
1	1	1
0	x	Q _n

รูปที่ 1.22 แสดงรูปตารางความจริงของ ดี ฟลิปฟลอป ที่ถูกควบคุมด้วยสัญญาณนาฬิกาขอบขาขึ้น

2.4 T-Flipflop



รูปที่ 1.23 แสดงสัญลักษณ์ของ ที ฟลิปฟลอป

CLK	Q _{n+1}
1 หรือ 0	Q _n

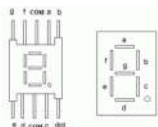
รูปที่ 1.24 แสดงรูปตารางความจริงของ ที ฟลิปฟลอป

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

3. อุปกรณ์ 7-Segment



รูปที่ 1.26 รูปร่างหน้าตาของอุปกรณ์ 7-Segment ขนาด 0.56 นิ้วจำนวน 1 หลัก

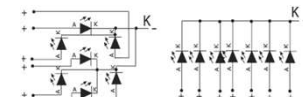


รูปที่ 1.27 รูปแสดงอุปกรณ์ 7-Segment ทำการแสดงผลออกมาเป็นตัวเลขต่าง ๆ ในระบบเลขฐาน 16

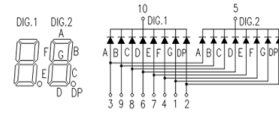
รูปที่ 1.28 รูปแสดงตำแหน่งขาของอุปกรณ์ 7-Segment และการจัดวางตำแหน่งของ LED บนจอแสดงผล

สัญญาณนาฬิกา และวงจรฟลิปฟลอป

3.1 7-Segment ชนิดคอมมอน Cathode



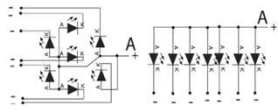
รูปที่ 1.29 แสดงโครงสร้างภายในของอุปกรณ์ 7-Segment ชนิดคอมมอน Cathode ขนาด 1 หลัก



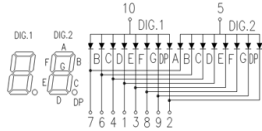
รูปที่ 1.30 แสดงโครงสร้างภายในของอุปกรณ์ 7-Segment ชนิดคอมมอน Cathode ขนาด 2 หลัก

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

3.2 7-Segment ชนิดคอมมอน Anode



รูปที่ 1.31 แสดงโครงสร้างภายในของอุปกรณ์ 7-Segment ชนิดคอมมอน Anode ขนาด 1 หลัก



รูปที่ 1.32 แสดงโครงสร้างภายในของอุปกรณ์ 7-Segment ชนิดคอมมอน Anode ขนาด 2 หลัก

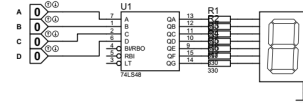
Digital And Microcontroller

19

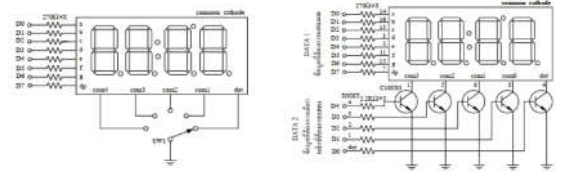
สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

การต่อใช้งานอุปกรณ์ 7-Segment จะด้วยกัน 2 ลักษณะ

1. การส่งค่าแบบแลตช์ (Latch Data)



2. การแสดงผลแบบมัลติเพล็กซ์ หรือ มัลติสแกน



Digital And Microcontroller

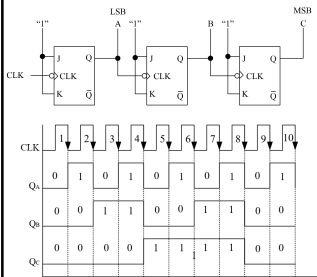
20




สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

4. การออกแบบวงจรนับ

4.1 วงจรนับแบบอะซิงโครนัส

4.1.1 วงจรนับชนิดเลขนฐานสอง (Binary Ripple Counter)



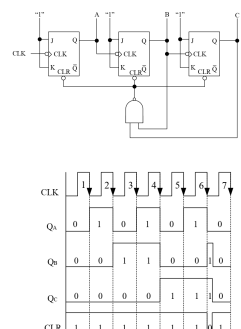
สัญญาณนาฬิกาอินพุต		Output			ลำดับการนับ
ลำดับที่	รูปสัญญาณ	Q _c	Q _b	Q _a	
0		0	0	0	0
1		0	0	1	1
2		0	1	0	2
3		0	1	1	3
4		1	0	0	4
5		1	0	1	5
6		1	1	0	6
7		1	1	1	7

Digital And Microcontroller

21

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

4.1.2 วงจรนับแบบมอดูลัส (Modulus Counter)



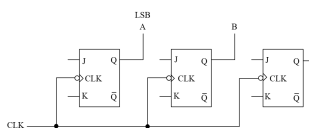
สัญญาณนาฬิกาอินพุต		Output			ลำดับการนับ
ลำดับที่	รูปสัญญาณ	Q _C	Q _B	Q _A	
0		0	0	0	0
1		0	0	1	1
2		0	1	0	2
3		0	1	1	3
4		1	0	0	4
5		1	0	1	5
6		1	1	0	6(Reset)

Digital And Microcontroller

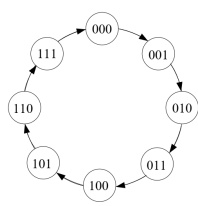
22

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

4.2 วงจรนับแบบซิงโครนัส



รูปที่ 1.40 วงจรนับแบบอะซิงโครนัสที่ใช้ JK-FF จำนวน 3 ตัว



รูปที่ 1.41 State Transition Diagram ของการนับ 000₂ ถึง 111₂

Digital And Microcontroller

23

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

การเปลี่ยนแปลงที่เอาต์พุต	สถานะที่เริ่มต้น
Q _c Q _b Q _a	สถานะต่อไป (Q _c Q _b Q _a)
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 0 0
1 0 0	1 0 1
1 0 1	1 1 0
1 1 0	1 1 1
1 1 1	0 0 0

รูปที่ 1.42 แสดงรูปตารางการเปลี่ยนแปลงที่เอาต์พุตเนื่องจากสถานะอินพุต JK

การเปลี่ยนแปลงที่เอาต์พุต	สถานะที่เริ่มต้น
Q _c Q _b Q _a	สถานะต่อไป (Q _c Q _b Q _a)
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 0 0
1 0 0	1 0 1
1 0 1	1 1 0
1 1 0	1 1 1
1 1 1	0 0 0

รูปที่ 1.43 รูปตารางบันทึกผลการเปลี่ยนแปลงของเอาต์พุตที่สถานะอินพุตของ JK

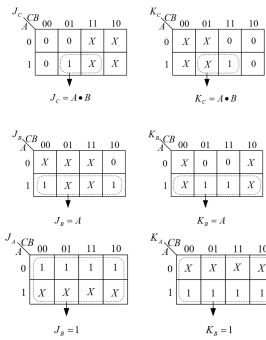
Digital And Microcontroller

24

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป

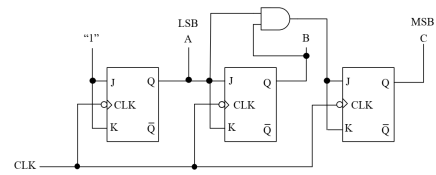
การเปลี่ยนแปลงสถานะถัดไป						สถานะปัจจุบัน					
Q_1	Q_0	Q_1	Q_0	Q_1	Q_0	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	0	0	0	X	1	X	1	X	1

รูปที่ 1.44 รูปแสดงการเปลี่ยนแปลงของเอาต์พุตที่สภาวะอินพุตของ JK ของวงจรนับแบบซิงโครนัส



รูปที่ 1.45 การหาค่าสมการลอจิกที่ซิงโครนัส J และ K ของฟลิปฟล็อป

สัญญาณนาฬิกา และวงจรฟลิปฟล็อป



รูปที่ 1.46 วงจรนับขึ้นแบบซิงโครนัสขนาด 3 บิต นับ $000_2 - 111_2$