

## Arquitetura FPGAs e CPLDs da ALTERA

André Felipe Weber<sup>1</sup>  
Helenluciany Cechinel<sup>1</sup>  
Maria Luiza Theisges<sup>1</sup>  
Marcos Moecke<sup>2</sup>

### RESUMO

A tecnologia envolvida nos circuitos digitais vem se desenvolvendo cada vez mais rápido nas últimas décadas. Devido a isso, o modo de projetar hardware vem se transformando aceleradamente. Com o advento da microeletrônica, componentes de circuitos digitais como transistores foram aperfeiçoados para circuitos integrados VLSI. A criação de chips de memória e microprocessadores contribuíram para consolidação de um novo mercado, o de dispositivos lógicos programáveis.

Um dos tipos de dispositivos lógicos programáveis com capacidade de implementar circuitos digitais é o FPGA. Ele é utilizado em vários setores industriais onde desempenho, paralelismo e tempo real são fundamentais. O FPGA se destaca em setores elétricos, para processamento digital de sinal, em setores de telecomunicações, para alto desempenho em roteadores e swithes, entre outros. Atualmente, segundo Prado (2014), as duas principais empresas fabricantes de FPGA são a Altera e a Xilinx.

Há também no mercado dispositivos lógicos programáveis menos complexos que os FPGAs, isso é, que contêm menos flip flops e portas lógicas. Como os CPLDs (*complex programmable logic device*), por exemplo, que são circuitos integrados compostos por portas AND e OR e um banco de macrocélulas. Apesar de terem desempenho mais baixo que FPGAs, os CPLDs oferecem vantagens como baixo consumo de energia e tempo de resposta rápido e previsível o que faz com que estes sejam comumente utilizados em telefones celulares.

PALAVRAS-CHAVE: FPGA, CPLD, ALTERA;

### 1. INTRODUÇÃO

Os PLDs (*programmable logic devices*) começaram a ser introduzidos na década de 1970, com o intuito de produzir circuitos de lógica combinacional que pudessem ser programados. O PLD é um *chip* no qual o hardware pode ser configurado para atender a diversas especificações [1]. Em geral, os PLDs são usados para implementar funções lógicas, permitindo ao usuário programar o chip via *software* [2].

Inicialmente, os primeiros PLDs foram chamados de PAL (*programmable array logic*) ou PLA (*programmable logic array*), esses apenas implementavam circuitos combinacionais. A estrutura posterior foi chamada de GAL (*generic array logic*), nela foram adicionadas circuitos lógicos na saída. Além do flip-flop, foram adicionadas portas lógicas e

multiplexadores. Todos esses chips passaram a ser chamados de SPLDs (simple PLDs), que utilizam tecnologia CMOS e disponibilizam elementos de memória do tipo EPROM, EEPROM e FLASH [1].

Em meados da década de 1980, surgiram os CPLDs (*complex PLD*) com o intuito de substituir os SPLDs. Nessa arquitetura foram utilizados esquemas de roteamento sofisticado, tecnologia de silício mais avançada, entre outras características. Originalmente, os CPLDs podiam ser obtidos com a construção e associação de inúmeros SPLDs no mesmo chip.

Ainda na década de 1980, lançadas pelas empresa Xilinx<sup>1</sup>, surgiram as FPGAs (*Field Programmable Gate Arrays*). As FPGAs diferem dos CPLDs em arquitetura, tecnologia, características embutidas, tamanho, desempenho e custo [1]. Elas são, de forma geral, uma matriz de blocos, ao invés de uma pilha como nos CPLDs, que possuem um número de blocos maior, com blocos menores porém mais sofisticados. Neste artigo serão abordadas arquiteturas dos CPLDs e FPGAs da fabricante Altera, detalhando a arquitetura interna de cada uma.

## 2. Dispositivos lógicos programáveis de Alta Complexidade - HCPLDs

### 2.1 CPLD

Algumas vezes utilizados em aplicações simples como *addres decoding* mas mais comumente utilizados em aplicações de controle de lógica de alta performance ou complexas máquinas de estado finito [9] os CPLDs foram, pioneiramente, desenvolvidos pela Altera que, à época, atendeu a crescente demanda por *devices* com maior capacidade de processamento que a dos SPLDs e contornou a dificuldade encontrada na arquitetura do SPLD onde os planos lógicos programáveis (*array de programmable read-only memory* (PROM)) crescem exponencialmente conforme o número de pinos aumenta e criou o primeiro CPLD.

### 2.2 Arquitetura CPLD

Frente a dificuldade de continuar a evolução da arquitetura SPLD a Altera integrou múltiplos SPLDs e criou o primeiro chip com arquitetura CPLD. Este método pode ser utilizado para criar CPLDs com capacidade equivalente de até 50 SPLDs [4]. A arquitetura dos CPLDs é portanto formada por um certo número de blocos lógicos ou blocos funcionais, onde cada bloco contém uma macrocélula e um arranjo de circuito do tipo PAL ou PLA[5]. Uma interconexão global programável, normalmente baseada em uma interconexão *array-based* ou *multiplexer-based*, interconecta os blocos lógicos e os blocos de saída (I/O).

#### 2.2.1 Dispositivos PAL (*Programmable Array Logic*)

Desenvolvidos pela Monolithic Memories Inc (MMI), os dispositivos PAL possuem dois planos lógicos, um plano com *array de gates AND* programáveis e o um segundo plano

---

<sup>1</sup> Xilinx é a empresa que mais fornece dispositivos lógicos programáveis no mundo. Ela foi a primeira inventora do FPGA, e também a primeira empresa de semicondutores que se especializou na fabricação de hardware [3].

com *array* de *gates OR* fixado pelo fabricante, ou seja, que não pode ser programado. O que resulta em uma maior simplicidade de produção, baixo preço e um melhor desempenho se comparado a tecnologia existente anteriormente, o *Programmable Logic Array* (PLA)[8] que apresenta dois planos (*AND* e *OR*) programáveis.

Os dispositivos PAL são a base da arquiteturas dos SPLDs, e portanto fazem parte da maioria dos CPLDs. Por possuírem uma estrutura interna formada por múltiplos blocos *PAL-like* ligados por fiação estes *complex* PLDs são incluídos em uma categoria de dispositivos com arquitetura chamada de *PAL-like architecture*.

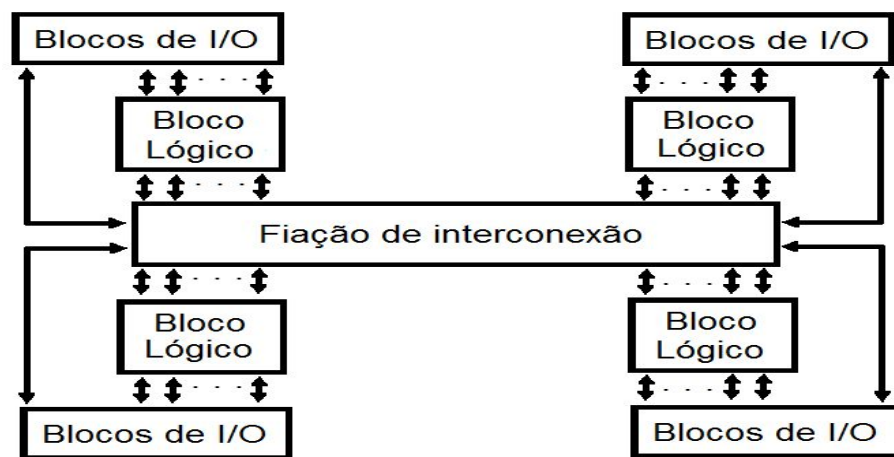


Figura 1 - Representação genérica da arquitetura CPLD

### 2.2.2 Macro células

As macro células presentes na arquitetura CPLD variam juntamente com o número de blocos lógicos (ou blocos funcionais) e são responsáveis pela lógica combinacional ou sequencial no *chip*. Cada um dos quatro blocos lógicos, representados na figura 1, contém um arranjo de circuito do tipo PAL ou PLA e uma macro célula. As macro células disponibilizam circuitos adicionais para acomodar sinais de saída juntamente com controle de polaridade de sinal [10], ou seja, através de uma saída, a macro célula adiciona a flexibilidade de um sinal *true* ou o complemento de um sinal *true*.

### 2.3 CPLD Altera

A Altera foi pioneira na produção de CPLDs e criou 3 famílias deste tipo de PLD: MAX5000, MAX7000 e MAX 9000. Sendo que o mais utilizado entre estes é o MAX7000. [4]. Por ser o mais comum e com mais informação este artigo se baseará na família MAX7000 da Altera neste artigo.

Como já descrito mais genericamente, o CPLD MAX7000 possui blocos lógicos, porém aqui chamados de *Logic Array Blocks* (LABs) e fiação de interconexão conhecida como *Programmable Interconnect Array* (PIA). Esta família da Altera disponibiliza tecnologia *electrically-erasable programmable read-only memory* (EEPROM) que permite reprogramação *in-circuit* e conta com suporte a *in-system programmability* (ISP).

A família MAX 7000 oferece uma densidade de macrocélulas entre 32 e 512 como delay pino-a-pino de 3,5 ns (Altera, 2016). O que assim como a maioria dos CPLDs permite uso em *designs* complexos controlador de gráficos, controles de LANs, UARTs entre outras utilidades.

## 2.4 FPGA

Devido o aprimoramento das metodologias utilizadas em projetos de *hardware*, novas oportunidades computacionais que auxiliam no desenvolvimento de circuitos lógicos surgiram, como os dispositivos FPGAs [11].

FPGA, é um dispositivo lógico programável que possui uma arquitetura baseada em blocos lógicos configuráveis chamados de CLB (Configuration Logical Blocks), constituídos por portas lógicas e flip-flops que visam implementar funções lógicas, também é estruturado por chamadas de blocos de entrada e saída ((IOB – In/Out Blocks).

### 2.4.1 Arquitetura FPGA

As *Field Programmable Gate Arrays* (FPGAs), possuem uma arquitetura reconfigurável que implementa a computação de uma forma distinta dos processadores usuais, pois não fazem processamento de funções com tarefas executadas de forma sequencial ao longo de um determinado período. Estes dispositivos executam processamento em paralelo, envolvendo diversas unidades funcionais, afim de diminuir o tempo de resposta, aumentar o desempenho de execução dos conjuntos de instruções, permitindo a customização da capacidade computacional da máquina de acordo com a aplicação.

A arquitetura reconfigurável nos dispositivos, permite que alguns FPGAs possam ser configurados e reconfigurados várias vezes. Essas reconfigurações podem ser parciais, de forma que algumas partes do dispositivo são reconfigurados e outras mantém a configuração. Também podem ser dinâmicos, pois apresentam a possibilidade de alteração total ou parcial de um sistema, viabilizando o processo de desenvolvimento de sistemas digitais através da programação de novos hardwares em um circuito integrado digital, ao mesmo tempo que outros circuitos do mesmo componente, funcionam sem grande alteração no desempenho. [15]

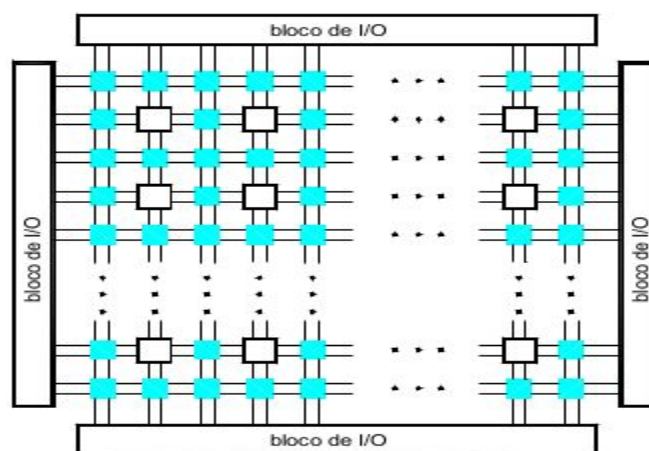


Figura 2 - Estrutura básica do FPGA (TEIXEIRA)[5]

A estrutura de um FPGA, conforme Figura 2, é composta por blocos lógicos, blocos de I/O e chaves de interconexão. Os blocos lógicos formam uma matriz de duas dimensões e as chaves funcionam como canais que roteiam horizontalmente e verticalmente as linhas e colunas dos blocos lógicos de acordo com a necessidade dos projetos efetuados. [14]

Segundo Teixeira, os blocos lógicos FPGA variam muito de tamanho e capacidade de implementação lógica. Eles são baseados em pares de transistores, portas básicas do tipo NAND /XOR de duas entradas, *look-up tables* e estruturas AND/OR de múltiplas entradas.

Dentro de cada bloco lógico, existem inúmeras formas de implementar expressões lógicas por meio de células de armazenamento. O bloco de memória mais utilizado pela empresa Altera é o LUT (*Look- Up Table*). Utilizam células capazes de armazenar valor lógico de 0 ou 1. As células dos LUTs são voláteis, sendo assim, as informações armazenadas podem ser perdidas. Necessitando que o FPGA seja programado novamente.

Os blocos lógicos podem ser classificados em função da quantidade e complexidade empregada em cada um deles. São categorizados granulosidade fina, os blocos simples e granulosidade grossa os mais complexos e maiores. De acordo com Oliveira, a granulosidade é definida pelo número total de transistores, número de portas NAND ou XOR, número de portas I/O e número de expressões booleanas no bloco.

Quanto as tecnologias de programação dos FPGAs, alguns fatores como tamanho e tecnologia empregada nos dispositivos reprogramáveis são analisados no momento da compra de um hardware. Dentre as tecnologias existentes, as mais utilizadas são as implementadas com células SRAM e a outra com Antifuse.

#### 2.4.3 Famílias FPGAs da Altera

A Altera produz diversas famílias de FPGA, como por exemplo, Stratix, Arria, Max 10 e Cyclone. Cyclone é a família mais utilizada, e a Max10 é a última família a ser lançada pela empresa Altera.

A Stratix permite a entrega de alto desempenho, com menor risco e maior produtividade. FPGAs da série Stratix possibilita integrar mais funções e maximizar a largura de banda do sistema.

A família Arria tem um vasto conjunto de recursos de memória, lógica e processamento de sinal digital, blocos combinados com a integridade de sinal e transceptores que lhe permitam integrar mais funções e maximizar a largura de banda do sistema. [17]

A série Max 10, fornece recursos avançados de processamento em um baixo custo. Podem ser otimizados para uma ampla gama de aplicações industriais, automotivas e de comunicações .

Cyclone FPGA atende à baixas potências, possui baixo custo para desenvolver em altas densidades. É baseada no armazenamento SRAM e fabricada com interconexões de cobre, aumentando a velocidade de propagação.

#### 2.4.4 Aplicações FPGA

Devido a característica de ser reconfigurável, o FPGA é utilizado em áreas bem abrangentes. Podendo ser empregados em circuitos simples ou mais elaborados.

**Tabela 1 - Possíveis aplicações em FPGAs [6]**

Área de Aplicação	Exemplos de Utilização
Telecomunicações	Interfaces ISDN, SONET, de fibras ópticas, Equipamentos PBX, Criptografia
Industrial	Controle remoto, Equipamentos médicos, Robótica.
Transporte	Semáforos, Sistema de estrada de ferro.
Periféricos	Impressoras, Modems, Controlador de disco e vídeo, Decodificador de áudio digital.

### 3 CONCLUSÃO

Os HCPLDs (Dispositivos Lógicos de Alta Complexidade ) são hardwares lógicos em que a sua complexidade se dá de acordo com o número de portas de um PLD. Esses são divididos em CPLD e FPGA. A diferença entre eles pode ser vista na estrutura interna de suas células lógicas e na forma como essas são interligadas. Os HCPLDs podem ser vistos, internamente, como dispositivos que possuem na sua estrutura centenas de macrocélulas programáveis, que ligadas por conexões também são programáveis [16].

Os CPLDs são não voláteis, já as FPGAs são voláteis. Os CPLDs utilizam EEPROM ou memória flash, para armazenarem as interconexões, as FPGAs utilizam memória SRAM. Com isso, as FPGAs tem a necessidade de uma memória de configuração que seja não volátil, onde a programação do hardware é lida pelo processador da FPGA, quando energizada. Os CPLDs possuem um tempo de resposta melhor do que as FPGAs, pelo fato de ser composto por poucos blocos lógicos grandes. Porém, devido a esse fator, os CPLDs perdem em flexibilidade. Porém as FPGAs possuem recursos de roteamento especiais, o que as tornam mais eficientes na implementação de funções aritméticas [18]

O uso de CPLDs e FPGAs podem solucionar diversos problemas, como por exemplo o de multiplexar interrupções e outros sinais de maneira mais fácil. É possível também, fazer o uso dessas arquiteturas para implementar protocolos de comunicação e para transmissão de dados.

### REFERÊNCIAS BIBLIOGRÁFICAS

- [1] PEDRONI, Volnei A **Eletrônica Digital Moderna e VHDL: Princípios Digitais, Eletrônica Digital, Projeto Digital, Microeletrônica e VHDL**; 1ª ed. Rio de Janeiro:Elsevier, 2010.619p.

[2] OLIVEIRA, Carlos Ronaldo Lucas de. **Desenvolvimento de Glue Logic Para a Plataforma de Telecomunicação**. 2007. 55 f. TCC (Graduação) - Curso de Engenharia de Teleinformática, Universidade Federal do Ceará, Fortaleza, 2007. Cap. 2. Disponível em: <[http://www.cgeti.ufc.br/monografias/CARLOS\\_RONALDO\\_LUCAS\\_DE\\_OLIVEIRA.pdf](http://www.cgeti.ufc.br/monografias/CARLOS_RONALDO_LUCAS_DE_OLIVEIRA.pdf)>. Acesso em: 4 maio 2016.

[3] WIKIPÉDIA. **Xilinx**. Disponível em: <<https://pt.wikipedia.org/wiki/Xilinx>>. Acesso em: 4 maio 2016.

[4] Barr, Michael. “Programmable Logic: What’s it to ya?”, Embedded Systems Programming, Junho, 1999, p. 75-84. Disponível em: <<http://people.cs.georgetown.edu/~squier/Teaching/HardwareFundamentals/LC3-trunk/docs/README-ProgrammableLogicOverview.pdf>> . Acesso em: 7 maio 2016.

[5] GROUT, Ian. Digital Systems Design with FPGAs and CPLDs. Oxford, Uk: Elsevier, 2008. 724 p.

[6] XILINX. CPLD. Disponível em: <<http://www.xilinx.com/cpld/>>. Acesso em: 2 maio 2016.

[7] ALTERA. MAX 7000 Family: High-Performance CPLDs. Disponível em: <<https://www.altera.com/products/general/devices/max7k/m7k-index.html>>. Acesso em: 7 maio 2016.

[8] SILVA, Gabriel P. Dispositivos lógicos programáveis. Rio de Janeiro, 2009. 58 slides, color. Disponível em: <<http://www.dcc.ufrj.br/~gabriel/circlog/DispLogPro.pdf>>. Acesso em: 7 maio 2016.

[9] Barr, Michael. “Programmable Logic: What’s it to ya?”, Embedded Systems Programming, Junho, 1999, p. 75-84. Disponível em: <<http://people.cs.georgetown.edu/~squier/Teaching/HardwareFundamentals/LC3-trunk/docs/README-ProgrammableLogicOverview.pdf>> . Acesso em: 7 maio 2016.

[10] MURTHY, Y. narasimha. CPLD & FPGA ARCHITECTURE & APPLICATIONS. 2013. 21 f. Tese (Doutorado) - Curso de Wwww, S S B N College, Anantapur,, 2013. Disponível em: <<http://www.slideshare.net/yayavaram/unit-i-programmable-logic>>. Acesso em: 7 maio 2016.

[11] TEIXEIRA, Marco Antônio. **Técnicas de reconfigurabilidade dos FPGAs da família APEX 20K - Altera**. 2002. 142 f. Dissertação (Mestrado) - Curso de Ciências de Computação e Matemática Computacional, USP, São Carlos, 2002. Disponível em: <<http://www.teses.usp.br/teses/disponiveis/55/55134/tde-11092002-164901/en.php>>. Acesso em: 8 maio 2016.

[12] DINIZ, Amanda Regina Mascarenhas. **Arquitetura de Hardware Reconfigurável Paralela Dedicada para a Implementação da SA-DCT**. 2008. 93 f. Dissertação (Mestrado) - Curso de Pós-graduação em Engenharia Elétrica, Pontifícia Universidade Católica de Minas Gerais, Belo Horizonte, 2008. Disponível em: <[http://www.biblioteca.pucminas.br/teses/EngEletrica\\_DinizAR\\_1.pdf](http://www.biblioteca.pucminas.br/teses/EngEletrica_DinizAR_1.pdf)>. Acesso em: 8 maio 2016.

[13] DEAECTO, Profa. Grace S.. **Circuitos Lógicos**. Campinas: São Paulo, 2013. 43 slides, color. Disponível em: <<http://www.fem.unicamp.br/~grace/DLP.pdf>>. Acesso em: 8 maio 2016.

[14] OLIVEIRA, Caio Augusto de; AGUIAR, Jéssica Azevedo de; FONTANINI, Mateus Galvão Said. **Dispositivos Lógicos Programáveis**. 2000. 43 f. Universidade Estadual Paulista, Guaratinguetá, . Disponível em: <<http://www2.feg.unesp.br/Home/PaginasPessoais/ProfMarceloWendling/logica-programavel.pdf>>. Acesso em: 8 maio 2016.

[15] GÓMEZ, Luz Marina Gómez. **Regressão não linear paramétrica com processos estacionários  $\alpha$ -mixing via ondaletas**. 2012. 115 f. Tese (Doutorado) - Curso de Estatística, Instituto de Matemática e Estatística da Universidade de São Paulo, São Paulo, 2012. Disponível em: <<http://www.teses.usp.br/teses/disponiveis/45/45133/tde-19062013-153433/pt-br.php>>. Acesso em: 8 maio 2016.

[16] NORONHA, Diego Barbosa; ONTOURA, Kleber Lopes F; VIEIRA JÚNIOR, João Batista. **UMA VISÃO GERAL SOBRE DISPOSITIVOS LÓGICOS RECONFIGURÁVEIS (FPGA) E SUAS APLICAÇÕES**. Uberlândia.. Disponível em: <[http://www.ceel.eletrica.ufu.br/artigos2005/ceel2005\\_059.pdf](http://www.ceel.eletrica.ufu.br/artigos2005/ceel2005_059.pdf)>. Acesso em: 8 maio 2016.

[17] ALTERA. **Altera FPGAs**. Disponível em: <<https://www.altera.com/products/fpga/overview.html>>. Acesso em: 8 maio 2016.

[18] CODÁ, Profa. Luiza Maria Romeiro. **DISPOSITIVOS LÓGICOS PROGRAMÁVEIS**. Disponível em: <[http://disciplinas.stoa.usp.br/pluginfile.php/185840/mod\\_resource/content/1/DISPOSITIVOS\\_LÓGICOS\\_PROGRAMÁVEIS\\_2014.pdf](http://disciplinas.stoa.usp.br/pluginfile.php/185840/mod_resource/content/1/DISPOSITIVOS_LÓGICOS_PROGRAMÁVEIS_2014.pdf)>. Acesso em: 8 maio 2016.