

DISPOSITIVOS DE CONMUTACIÓN PARA POTENCIA ELÉCTRICA

Nombres:

Daniel Santiago Acebes Moreno

Julián Augusto Cortés Gómez

Códigos:

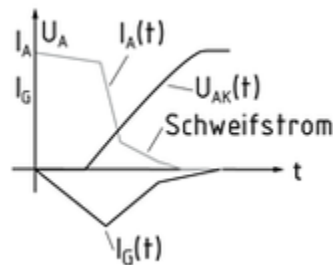
1803124

1803147

1. Funcionamiento y construcción de tiristores de desactivación por compuerta GTO.

Los tiristores GTO (compuerta apagada) son componentes importantes en la electrónica de potencia y la tecnología de accionamiento cuando se deben lograr altas capacidades de conmutación a frecuencias de hasta 1 kHz.

La característica especial de los tiristores GTO es que pueden apagarse con una corriente negativa lo suficientemente alta gracias a la estructura de superficie compleja del chip semiconductor. Para hacer esto, el producto de la amplificación de apagado y la corriente de compuerta I_G debe ser igual a la corriente de ánodo que está fluyendo I_A . Como la amplificación de apagado es de 2 a 2.5, el circuito debe ser diseñado para una corriente de compuerta negativa muy alta. Esto resulta en un cableado relativamente complejo.



La corriente de cola es una característica principal de los procesos de apagado con tiristores GTO. Cuando este proceso comienza, el voltaje UAC se incrementa. Al final del proceso, la corriente de cola tiende a ser de cero. Esto básicamente genera pérdidas de conmutación.

Fast Symmetrical Gate Turn-Off Thyristor Type H0500KC25#

Absolute Maximum Ratings

	VOLTAGE RATINGS	MAXIMUM LIMITS	UNITS
V_{DRM}	Repetitive peak off-state voltage, (note 1)	2500	V
V_{RSM}	Non-repetitive peak off-state voltage, (note 1)	2600	V
V_{RRM}	Repetitive peak reverse voltage	100-2000	V
V_{RSM}	Non-repetitive peak reverse voltage	100-2000	V

	RATINGS	MAXIMUM LIMITS	UNITS
I_{TGQM}	Maximum peak turn-off current, (note 2)	500	A
L_s	Snubber loop inductance, $I_{TM}=I_{TGQM}$, (note 2)	0.3	μH
$I_{T(AV)M}$	Mean on-state current, $T_{sink}=55^{\circ}C$ (note 3)	540	A
$I_{T(RMS)}$	Nominal RMS on-state current, $25^{\circ}C$ (note 3)	280	A
I_{TSM}	Peak non-repetitive surge current $t_p=10ms$	3.0	kA
I_{TSM2}	Peak non-repetitive surge current, (Note 4)	5.4	kA
I^2t	I^2t capacity for fusing $t_p=10ms$	45	kA^2s
di/dt_{cr}	Critical rate of rise of on-state current, (note 5)	1000	A/ μs
P_{FGM}	Peak forward gate power	160	W
P_{RGM}	Peak reverse gate power	5	kW
I_{FGM}	Peak forward gate current	100	A
V_{RGM}	Peak reverse gate voltage (note 6)	18	V
t_{off}	Minimum permissible off-time, $I_{TM}=I_{TGQM}$, (note 2)	60	μs
t_{on}	Minimum permissible on-time	10	μs
T_{jop}	Operating temperature range	-40 to +125	$^{\circ}C$
T_{stg}	Storage temperature range	-40 to +150	$^{\circ}C$

Notes:-

- 1) $V_{GK}=-2Volts$.
- 2) $T_j=125^{\circ}C$, $V_D=80\%V_{DM}$, $V_{DM}<V_{DRM}$, $di_{GQ}/dt=20A/\mu s$, $C_S=3\mu F$.
- 3) Double-side cooled, single phase; 50Hz, 180° half-sinewave.
- 4) Half-sinewave, $t_p=2ms$
- 5) For $di/dt>1000A/\mu s$, consult factory.
- 6) May exceed this value during turn-off avalanche period.

Characteristics

	Parameter	MIN	TYP	MAX	TEST CONDITIONS	UNITS
V_{TM}	Maximum peak on-state voltage	-	2.8	3.2	$I_G=2A$, $I_T=500A$	V
I_L	Latching current	-	5	-	$T_J=25^\circ C$	A
I_H	Holding current	-	5	-	$T_J=25^\circ C$	A
dv/dt_{cr}	Critical rate of rise of off-state voltage	800	-	-	$V_D=80\%V_{DRM}$, $V_{GR}=-2V$	V/ μs
I_{DM}	Peak off state current	-	-	30	Rated V_{DRM} , $V_{GR}=-2V$	mA
I_{RM}	Peak reverse current	-	-	60	Rated V_{RRM}	mA
I_{GKM}	Peak negative gate leakage current	-	-	200	$V_{GR}=-16V$	mA
V_{GT}	Gate trigger voltage	-	0.9	-	$T_J=-40^\circ C$	V
		-	0.8	-	$T_J=25^\circ C$ $V_D=25V$, $R_L=25m\Omega$	V
		-	0.7	-	$T_J=125^\circ C$	V
I_{GT}	Gate trigger current	-	1.7	6.0	$T_J=-40^\circ C$	A
		-	0.6	2	$T_J=25^\circ C$ $V_D=25V$, $R_L=25m\Omega$	A
		-	0.1	0.5	$T_J=125^\circ C$	A
t_d	Delay time	-	0.5	-	$V_D=50\%V_{DRM}$, $I_{TGO}=500A$, $I_{GM}=30A$, $di/dt=15A/\mu s$ $T_J=25^\circ C$, $di/dt=300A/\mu s$, (10% I_{GM} to 90% V_D)	μs
t_{gt}	Turn-on time	-	2.0	3.0	Conditions as for t_d , (10% I_{GM} to 10% V_D)	μs
t_f	Fall time	-	0.5	-	$V_D=80\%V_{DRM}$, $I_{TGO}=500A$, $C_S=1\mu F$, $di_{GQ}/dt=40A/\mu s$, $V_{GR}=-16V$, (90% I_{TGO} to 10% I_{VD})	μs
t_{gq}	Turn-off time	-	5.0	6.0	Conditions as for t_f , (10% I_{GQ} to 10% I_{TGO})	μs
I_{gq}	Turn-off gate current	-	180	-	Conditions as for t_f	A
Q_{gq}	Turn-off gate charge	-	500	600	Conditions as for t_f	μC
t_{tail}	Tail time	-	35	50	Conditions as for t_f , (10% I_{TGO} to $I_{TGO}<1A$)	μs
t_{gw}	Gate off-time (see note 3)	80	-	-	Conditions as for t_f	μs
R_{thJK}	Thermal resistance junction to sink	-	-	0.065	Double side cooled	K/W
		-	-	0.24	Cathode side cooled	K/W
		-	-	0.09	Anode side cooled	K/W
F	Mounting force	4.5	-	9.0	(see note 2)	kN
W_t	Weight	-	120	-		g

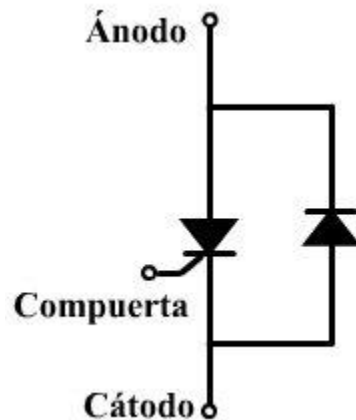
Notes:-

- 1) Unless otherwise indicated $T_J=125^\circ C$.
- 2) For other clamping forces, consult factory.
- 3) The gate off-time is the period during which the gate circuit is required to remain low impedance to allow for the passage of tail current.

2. Funcionamiento y construcción de tiristores de conducción inversa RCT.

El tiristor de conducción inversa (RCT) también se denomina tiristor de apreciación inversa. La característica es que un diodo está conectado en paralelo inverso entre el ánodo y el cátodo del tiristor, de modo que la unión de transmisión del ánodo y el cátodo se cortocircuita. De esta estructura de circuito especial, tiene resistencia a alto voltaje, resistencia a alta temperatura, tiempo de apagado corto, voltaje de

conmutación bajo y otro buen rendimiento. Por ejemplo, el tiempo de apagado del tiristor inverso es de solo unos pocos microsegundos, y la frecuencia de trabajo es de docenas de KHZ, que es mejor que el tiristor rápido (FSCR). Este dispositivo es adecuado para cambiar la fuente de alimentación y la fuente de alimentación ininterrumpida de UPS. Un RCT puede reemplazar un tiristor y un diodo de corriente continua respectivamente.



Un RCT es un intercambio entre características del dispositivo y requisitos del circuito; puede considerarse como un tiristor con un diodo antiparalelo incorporado, tal y como se muestra en la figura siguiente. Un RCT se conoce también como tiristor asimétrico (ASCR). El voltaje de bloqueo directo varía de 400 a 2000v y la especificación de corriente llega hasta 500 A. El voltaje de bloqueo inverso es típicamente 30 a 40v. Dado que para un dispositivo determinado está preestablecida la relación entre la corriente directa a través de un tiristor y la corriente inversa del diodo, sus aplicaciones se limitarán a diseños de circuitos específicos.

Silicon Controlled Rectifiers

Reverse Blocking Triode Thyristors

... Annular PNP devices designed for high volume consumer applications such as relay and lamp drivers, small motor controls, gate drivers for larger thyristors, and sensing and detection circuits. Supplied in an inexpensive plastic TO-226AA (TO-92) package which is readily adaptable for use in automatic insertion equipment.

- Sensitive Gate Trigger Current — 200 μ A Maximum
- Low Reverse and Forward Blocking Current — 50 μ A Maximum, $T_C = 125^\circ\text{C}$
- Low Holding Current — 5 mA Maximum
- Passivated Surface for Reliability and Uniformity

2N5060
2N5061
2N5062 *
2N5064 *

*Motorola preferred devices

SCRs
0.8 AMPERES RMS
30 thru 200 VOLTS



MAXIMUM RATINGS ($T_J = 25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
*Peak Repetitive Forward and Reverse Blocking Voltage ⁽¹⁾ ($T_J = 25$ to 125°C) ($R_{GK} = 1000$ ohms)	V_{DRM} or V_{RRM}	30 60 100 200	Volts
On-State Current RMS (All Conduction Angles)	$I_T(\text{RMS})$	0.8	Amp
*Average On-State Current ($T_C = 67^\circ\text{C}$) ($T_C = 102^\circ\text{C}$)	$I_T(\text{AV})$	0.51 0.255	Amp
*Peak Non-repetitive Surge Current, $T_A = 25^\circ\text{C}$ (1/2 cycle, Sine Wave, 60 Hz)	I_{TSM}	10	Amps
Circuit Fusing Considerations ($t = 8.3$ ms)	I^2t	0.4	A^2s
*Peak Gate Power, $T_A = 25^\circ\text{C}$	P_{GM}	0.1	Watt
*Average Gate Power, $T_A = 25^\circ\text{C}$	$P_{G(\text{AV})}$	0.01	Watt
*Peak Forward Gate Current, $T_A = 25^\circ\text{C}$ (300 μs , 120 PPS)	I_{FGM}	1	Amp
*Peak Reverse Gate Voltage	V_{RGM}	5	Volts

*Indicates JEDEC Registered Data.

(cont.)

1. V_{DRM} and V_{RRM} for all types can be applied on a continuous basis. Ratings apply for zero or negative gate voltage; however, positive gate voltage shall not be applied concurrent with negative potential on the anode. Blocking voltages shall not be tested with a constant current source such that the voltage ratings of the devices are exceeded.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 1

2N5060 2N5061 2N5062 2N5064**MAXIMUM RATINGS** — continued

Rating	Symbol	Value	Unit
*Operating Junction Temperature Range @ Rated V_{RRM} and V_{DRM}	T_J	-65 to +125	°C
*Storage Temperature Range	T_{stg}	-65 to +150	°C
Lead Solder Temperature (Lead Length $\geq 1/16"$ from case, 10 s Max)	—	+230	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
*Thermal Resistance, Junction to Case ⁽¹⁾	$R_{\theta JC}$	75	°C/W
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$, $R_{GK} = 1000\ \Omega$ unless otherwise noted.), ⁽²⁾

Characteristic	Symbol	Min	Typ	Max	Unit
*Peak Repetitive Forward or Reverse Blocking Current ($V_{AK} = \text{Rated } V_{DRM} \text{ or } V_{RRM}$) $T_C = 25^\circ\text{C}$ $T_C = 125^\circ\text{C}$	I_{DRM}, I_{RRM}	— —	— —	10 50	μA μA
*Forward "On" Voltage ⁽³⁾ ($I_{TM} = 1.2\ \text{A peak @ } T_A = 25^\circ\text{C}$)	V_{TM}	—	—	1.7	Volts
Gate Trigger Current (Continuous dc) ⁽⁴⁾ *(Anode Voltage = 7 Vdc, $R_L = 100\ \Omega$) $T_C = 25^\circ\text{C}$ $T_C = -65^\circ\text{C}$	I_{GT}	— —	— —	200 350	μA
Gate Trigger Voltage (Continuous dc) *(Anode Voltage = 7 Vdc, $R_L = 100\ \Omega$) (Anode Voltage = Rated V_{DRM} , $R_L = 100\ \Omega$) $T_C = 25^\circ\text{C}$ $T_C = -65^\circ\text{C}$ $T_C = 125^\circ\text{C}$	V_{GT} V_{GD}	— 0.1	— —	0.8 1.2 —	Volts
Holding Current *(Anode Voltage = 7 Vdc, initiating current = 20 mA) $T_C = 25^\circ\text{C}$ $T_C = -65^\circ\text{C}$	I_H	— —	— —	5 10	mA
Turn-On Time Delay Time Rise Time ($I_{GT} = 1\ \text{mA}$, $V_D = \text{Rated } V_{DRM}$, Forward Current = 1 A, $di/dt = 6\ \text{A}/\mu\text{s}$)	t_d t_r	— —	3 0.2	— —	μs
Turn-Off Time (Forward Current = 1 A pulse, Pulse Width = 50 μs , 0.1% Duty Cycle, $di/dt = 6\ \text{A}/\mu\text{s}$, $dv/dt = 20\ \text{V}/\mu\text{s}$, $I_{GT} = 1\ \text{mA}$) 2N5060, 2N5061 2N5062, 5063, 5064	t_q	— —	10 30	— —	μs
Forward Voltage Application Rate (Rated V_{DRM} , Exponential)	dv/dt	—	30	—	$\text{V}/\mu\text{s}$

*Indicates JEDEC Registered Data.

1. This measurement is made with the case mounted "flat side down" on a heat sink and held in position by means of a metal clamp over the curved surface.
2. For electrical characteristics for gate-to-cathode resistance other than 1000 ohms see Motorola Bulletin EB-30.
3. Forward current applied for 1 ms maximum duration, duty cycle $\leq 1\%$.
4. R_{GK} current is not included in measurement.

3. Funcionamiento y construcción de tiristores de inducción estática SITH.

Por lo general, un SITH es activado al aplicársele un voltaje positivo de compuerta, como los tiristores normales, y desactivado al aplicársele un voltaje negativo a su compuerta. Un SITH es un dispositivo de portadores minoritarios. Como consecuencia, el SITH tiene una baja resistencia en estado activo, así como una baja caída de potencial, y se puede fabricar con especificaciones de voltaje y corriente más altas.

Un SITH tiene velocidades de conmutación muy rápidas y capacidades altas de dv/dt y di/dt . El tiempo de conmutación es del orden de 1 a 6 ns. La especificación de voltaje puede alcanzar hasta 2500V y la de corriente está limitada a 500 A. Este dispositivo es extremadamente sensible a su proceso de fabricación, por lo que pequeñas variaciones en el proceso de manufactura pueden producir cambios de importancia en sus características.

Silicon Controlled Rectifiers Reverse Blocking Triode Thyristors

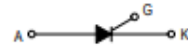
... designed primarily for half-wave ac control applications, such as motor controls, heating controls and power supplies.

- Glass Passivated Junctions with Center Gate Geometry for Greater Parameter Uniformity and Stability
- Small, Rugged, Thermowatt Construction for Low Thermal Resistance, High Heat Dissipation and Durability
- Blocking Voltage to 800 Volts

**2N6394
thru
2N6399**

Motorola preferred devices

**SCRs
12 AMPERES RMS
50 thru 800 VOLTS**



CASE 221A-07
(TO-220AB)
STYLE 3

***MAXIMUM RATINGS** ($T_J = 25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Peak Repetitive Forward and Reverse Blocking Voltage ⁽¹⁾ (Gate Open, $T_J = -40$ to 125°C)	V_{DRM}, V_{RRM}	50 100 400 600 800	Volts
RMS On-State Current ($T_C = 90^\circ\text{C}$) (All Conduction Angles)	$I_T(\text{RMS})$	12	Amps
Peak Non-Repetitive Surge Current (1/2 Cycle, Sine Wave, 60 Hz, $T_J = 125^\circ\text{C}$)	I_{TSM}	100	Amps
Circuit Fusing ($t = 8.3$ ms)	I^2t	40	A^2s
Forward Peak Power	P_{GM}	20	Watts
Forward Average Gate Power	$P_{G(AV)}$	0.5	Watt
Forward Peak Gate Current	I_{GM}	2	Amps
Operating Junction Temperature Range	T_J	-40 to $+125$	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-40 to $+150$	$^\circ\text{C}$

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	2	$^\circ\text{C/W}$

⁽¹⁾Indicates JEDEC Registered Data.

1. V_{DRM} and V_{RRM} for all types can be applied on a continuous basis. Ratings apply for zero or negative gate voltage; however, positive gate voltage shall not be applied concurrent with negative potential on the anode. Blocking voltages shall not be tested with a constant current source such that the voltage ratings of the devices are exceeded.

Preferred devices are Motorola recommended choices for future use and best overall value.

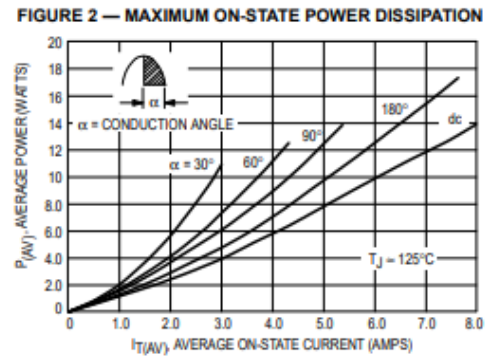
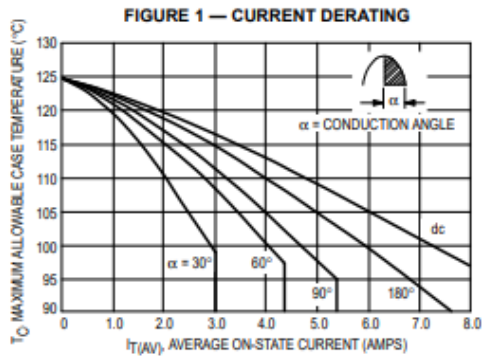
REV 1

2N6394 thru 2N6399

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
* Peak Repetitive Forward or Reverse Blocking Current ($V_{AK} = \text{Rated } V_{DRM} \text{ or } V_{RRM}$, Gate Open) $T_J = 25^\circ\text{C}$ $T_J = 125^\circ\text{C}$	I_{DRM}, I_{RRM}	— —	— —	10 2	μA mA
* Forward "On" Voltage ($I_{TM} = 24 \text{ A Peak}$)	V_{TM}	—	1.7	2.2	Volts
* Gate Trigger Current (Continuous dc) ($V_D = 12 \text{ Vdc}$, $R_L = 100 \text{ Ohms}$)	I_{GT}	—	5	30	mA
* Gate Trigger Voltage (Continuous dc) ($V_D = 12 \text{ Vdc}$, $R_L = 100 \text{ Ohms}$) ($V_D = \text{Rated } V_{DRM}$, $R_L = 100 \text{ Ohms}$, $T_J = 125^\circ\text{C}$)	V_{GT} V_{GD}	— 0.2	0.7 —	1.5 —	Volts
* Holding Current ($V_D = 12 \text{ Vdc}$, Gate Open)	I_H	—	6	40	mA
Turn-On Time ($I_{TM} = 12 \text{ A}$, $I_{GT} = 40 \text{ mAdc}$, $V_D = \text{Rated } V_{DRM}$)	t_{gt}	—	1	2	μs
Turn-Off Time ($V_D = \text{Rated } V_{DRM}$) ($I_{TM} = 12 \text{ A}$, $I_R = 12 \text{ A}$) ($I_{TM} = 12 \text{ A}$, $I_R = 12 \text{ A}$, $T_J = 125^\circ\text{C}$)	t_q	— —	15 35	— —	μs
Critical Rate-of-Rise of Off-State Voltage Exponential ($V_D = \text{Rated } V_{DRM}$, $T_J = 125^\circ\text{C}$)	dv/dt	—	50	—	$\text{V}/\mu\text{s}$

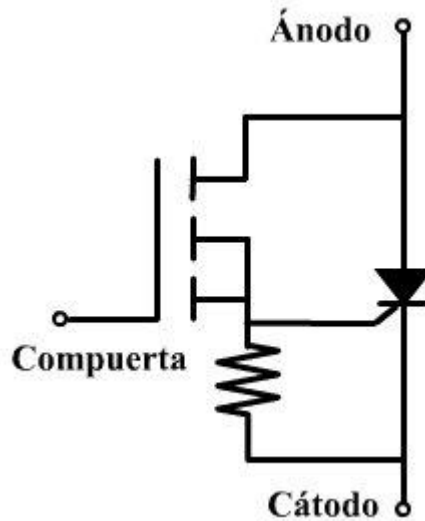
*Indicates JEDEC Registered Data.



4. Funcionamiento y construcción de tiristores controlados FET-CTH.

Un dispositivo FET-CTH combina un MOSFET y un tiristor en paralelo, tal y como se muestra en la figura siguiente. Si a la compuerta del MOSFET se le aplica un

voltaje suficiente, típicamente 3v, se genera internamente una corriente de disparo para el tiristor. Tiene una alta velocidad de conmutación, un di/dt alto y un dv/dt alto.



Este dispositivo se puede activar como los tiristores convencionales, pero no se puede desactivar mediante control de compuerta. Esto serviría en aplicaciones en las que un disparo óptico debe utilizarse con el fin de proporcionar un aislamiento eléctrico entre la señal de entrada o de control y el dispositivo de conmutación del convertidor de potencia.

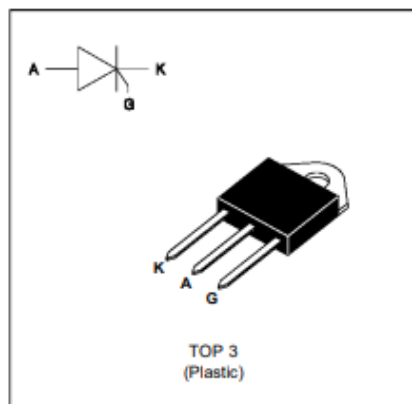
FEATURES

- HIGH SURGE CAPABILITY
- HIGH ON-STATE CURRENT
- HIGH STABILITY AND RELIABILITY
- BTW 69 Serie :
INSULATED VOLTAGE = 2500V_(RMS)
(UL RECOGNIZED : E81734)

DESCRIPTION

The BTW 69 (N) Family of Silicon Controlled Rectifiers uses a high performance glass passivated technology.

This general purpose Family of Silicon Controlled Rectifiers is designed for power supplies up to 400Hz on resistive or inductive load.



ABSOLUTE RATINGS (limiting values)

Symbol	Parameter			Value	Unit
$I_T(RMS)$	RMS on-state current (180° conduction angle)	BTW 69 BTW 69 N	$T_c=70^{\circ}C$ $T_c=75^{\circ}C$	50 55	A
$I_T(AV)$	Average on-state current (180° conduction angle, single phase circuit)	BTW 69 BTW 69 N	$T_c=70^{\circ}C$ $T_c=75^{\circ}C$	32 35	A
I_{TSM}	Non repetitive surge peak on-state current (T_j initial = 25°C)		$t_p=8.3$ ms	525	A
			$t_p=10$ ms	500	
I_{2t}	I_{2t} value		$t_p=10$ ms	1250	A2s
di/dt	Critical rate of rise of on-state current Gate supply : $I_G = 100$ mA $di_G/dt = 1$ A/μs			100	A/μs
T_{stg} T_j	Storage and operating junction temperature range			- 40 to + 150 - 40 to + 125	°C °C
T_l	Maximum lead temperature for soldering during 10 s at 4.5 mm from case			230	°C

Symbol	Parameter	BTW 69		BTW 69 / BTW 69 N				Unit
		200	400	600	800	1000	1200	
V_{DRM} V_{RRM}	Repetitive peak off-state voltage $T_j = 125^{\circ}C$	200	400	600	800	1000	1200	V

BTW 69 (N)**THERMAL RESISTANCES**

Symbol	Parameter		Value	Unit
Rth (j-a)	Junction to ambient		50	°C/W
Rth (j-c) DC	Junction to case for DC	BTW 69	0.9	°C/W
		BTW 69 N	0.8	

GATE CHARACTERISTICS (maximum values)

P_G (AV) = 1W P_{GM} = 40W (tp = 20 μ s) I_{FGM} = 8A (tp = 20 μ s) V_{RGM} = 5 V.

ELECTRICAL CHARACTERISTICS

Symbol	Test Conditions				Value		Unit
					BTW 69	BTW 69 N	
I_{GT}	$V_D=12V$ (DC) $R_L=33\Omega$	$T_J=25^\circ C$	MAX		80		mA
V_{GT}	$V_D=12V$ (DC) $R_L=33\Omega$	$T_J=25^\circ C$	MAX		1.5		V
V_{GD}	$V_D=V_{DRM}$ $R_L=3.3k\Omega$	$T_J=125^\circ C$	MIN		0.2		V
tgt	$V_D=V_{DRM}$ $I_G=200mA$ $dI_G/dt=1.5A/\mu s$	$T_J=25^\circ C$	TYP		2		μs
I_L	$I_G=1.2 I_{GT}$	$T_J=25^\circ C$	TYP		50		mA
I_H	$I_T=500mA$ gate open	$T_J=25^\circ C$	MAX		150		mA
VTM	BTW 69 $I_{TM}=100A$ BTW 69 N $I_{TM}=110A$ tp= 380 μs	$T_J=25^\circ C$	MAX		1.9	2.0	V
I_{DRM} I_{RRM}	V_{DRM} Rated V_{RRM} Rated	$T_J=25^\circ C$	MAX		0.02		mA
		$T_J=125^\circ C$			6		
dV/dt	Linear slope up to $V_D=67\%V_{DRM}$ gate open	$V_{DRM}\leq 800V$ $V_{DRM}\geq 1000V$	$T_J=125^\circ C$	MIN	500 250		V/ μs
tq	$V_D=67\%V_{DRM}$ $I_{TM}=110A$ $V_R=75V$ $dI_{TM}/dt=30 A/\mu s$ $dV_D/dt=20V/\mu s$	$T_J=125^\circ C$	TYP		100		μs

5. Funcionamiento y construcción de tiristores controlados tipo MOS MCT.

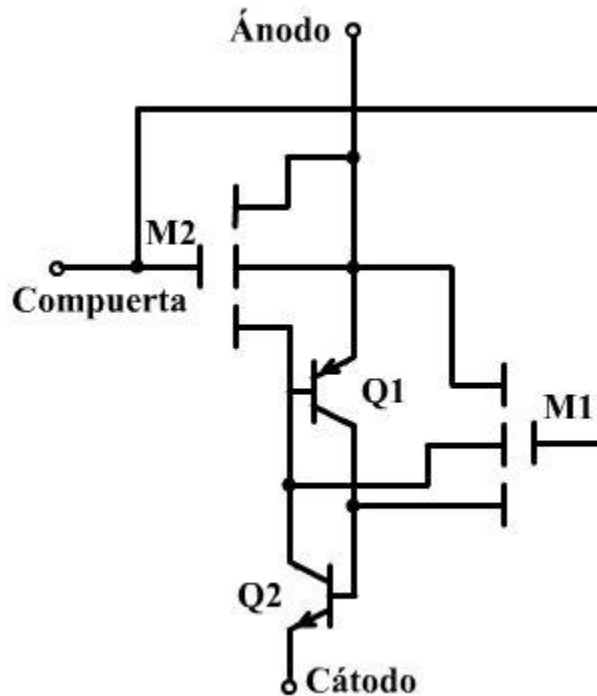
Un tiristor controlado por MOS (MCT) combina las características de un tiristor regenerativo de cuatro capas y una estructura de compuerta MOS. El circuito equivalente se muestra en la figura siguiente (b) y el símbolo correspondiente en la

(a). La estructura NPNP se puede representar por un transistor NPN Q1 y con un transistor Q2. La estructura de compuerta MOS se puede representar por un MOSFET de canal p M1 y un MOSFET de canal n M2.

Debido a que se trata de una estructura NPNP, en vez de la estructura PNP de un SCR normal, el ánodo sirve como la terminal de referencia con respecto a la cual se aplican todas las señales de compuerta. Supongamos que el MCT está en estado de bloqueo directo y se aplica un voltaje negativo VGA. Un canal, p (o una capa de inversión) se forma en el material dopado n, haciendo que los huecos fluyan lateralmente del emisor p E2 de Q2 (fuente S1 del MOSFET M1 del canal p) a través del canal p hacia la base p B1 de Q1 (que es drenaje D1 del MOSFET M1, del canal p). Este flujo de huecos forma la corriente de base correspondiente al transistor npn Q1. A continuación el emisor n+ E1 de Q1, inyecta electrones, que son recogidos en la base n B2 (y en el colector n C1) que hace que el emisor p E2 inyecte huecos en la base n B2, de tal forma que se active el transistor PNP Q2 y engancha al MCT. En breve, un VGA de compuerta negativa activa al MOSFET M1 canal p, proporcionando así la corriente de base del transistor Q2.

Supongamos que el MCT está en estado de conducción, y se aplica un voltaje positivo VGA. Se forma entonces un canal n en el material contaminado p, haciendo que fluyan lateralmente electrones de la base n B2 de Q2 (fuente S2 del MOSFET M2 del canal n) a través del canal n del emisor n+ fuertemente contaminado de Q1 (drenaje D2 del MOSFET M2 del canal n+). Este flujo de electrones desvía la corriente de base del transistor PNP Q2 de tal forma que su unión base-emisor se desactiva, y ya no habrá huecos disponibles para recolección por la base p B1 de Q1 (y el colector p C2 de Q2). La eliminación de esta corriente de huecos en la base p B1, hace que se desactive el transistor NPN Q1, y el MCT regresa a su estado de bloqueo. En breve, un pulso positivo de compuerta VGA, desvía la corriente que excita la base de Q1, desactivando por lo tanto el MCT.

El MCT se puede operar como dispositivo controlado por compuerta, si su corriente es menor que la corriente controlable pico. Intentar desactivar el MCT a corrientes mayores que su corriente controlable pico de especificación, puede provocar la destrucción del dispositivo. Para valores más altos de corriente, el MCT debe ser conmutado como un SCR estándar. Los anchos de pulso de la compuerta no son críticos para dispositivos de corrientes pequeñas. Para corrientes mayores, el ancho del pulso de desactivación debe ser mayor. Además, durante la desactivación, la compuerta utiliza una corriente pico. En muchas aplicaciones, incluyendo inversores y pulsadores, se requiere, de un pulso continuo de compuerta sobre la totalidad del período de encendido/apagado a fin de evitar ambigüedad en el estado.



Un MCT tiene:

- Una baja caída de voltaje directo durante la conducción.
- Un tiempo de activado rápido, típicamente 0.4m s, y un tiempo de desactivado rápido, típicamente 1.25m s, para un MCT de 300A, 500v.
- Bajas pérdidas de conmutación.
- Una baja capacidad de bloqueo voltaje inverso.
- Una alta impedancia de entrada de compuerta, lo que simplifica mucho los circuitos de excitación. Es posible ponerlo efectivamente en paralelo, para interrumpir corrientes altas, con sólo modestas reducciones en la especificación de corriente del dispositivo. No se puede excitar fácilmente a partir de un transformador de pulso, si se requiere de una polarización continua a fin de evitar ambigüedad de estado.

Cement Resistor With Thermal Cut-Off



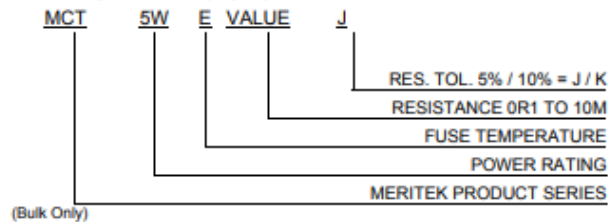
MCT Series

MERITEK

FEATURES

- Wire wound on ceramic body.
- Combines thermal fuse and pulse resistor functions.
- Multiple fusing temperatures available.
- Current Rating up to 10Amps.

PART NUMBERING SYSTEM



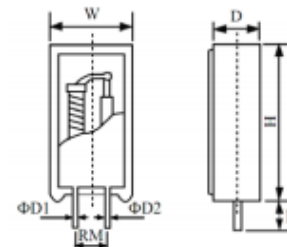
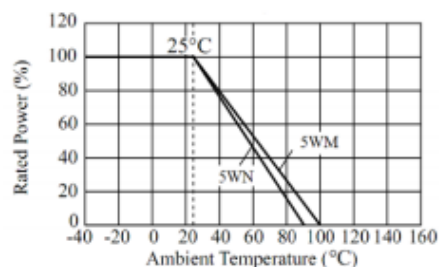
SPECIFICATIONS

MCT Series				Rated Power at 25°C (W)			Resistance (Ω)	Tolerance (%)
Marking	Fusing Temperature (°C)	Rated Current (A)	Rated Voltage (V)	5W	7W	10W		
A	109+1/-3	10	250	1.2	1.4	2.0	1~100	J(±5) K(±10)
B	129±4			1.6	2.0	2.5		
C	152±4			1.6	2.0	2.5		
D	188+3/-1			2.0	2.4	3.5		
E	226+1/-3			2.0	2.4	3.5		
F	95+3/-0	2		0.8	1.2			
G	110±4			1.2	1.4			
H	126±4			1.4	1.6			
N	130±4			1.6	2.0			
M	145±4			2.1	2.4			

DIMENSIONS

Type	Dimensions (mm)						
	W ± 1	D ± 1	H ± 1.5	RM ± 2/-1	h	D1 (R Terminal)	D2 (F Terminal)
MCT5W	13	9	25	5	4.5 ± 1	0.8 ± 0.1	10A: 1.0 ± 0.1 2A: 0.6 ± 0.1
MCT7W	13	9	38	5			
MCT10W	16	12	35	7.5			

POWER DERATING CURVE



Rev. 7

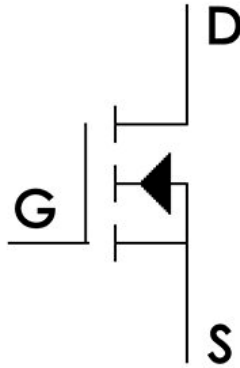
6. Funcionamiento y construcción de transistores por efecto de campo MOSFET.

Un MOSFET es un dispositivo semiconductor utilizado para la conmutación y amplificación de señales. El nombre completo, Transistor de Efecto de Campo

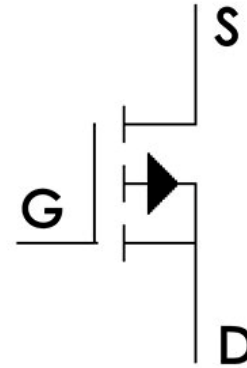
de Metal-Óxido-Semiconductor (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) se debe a la constitución del propio transistor.

Los MOSFET poseen 3 terminales: Gate, Drain y Source (compuerta, drenaje y fuente). A su vez, se subdividen en 2 tipos, los MOSFET canal N y los canales P.

MOSFET Canal N



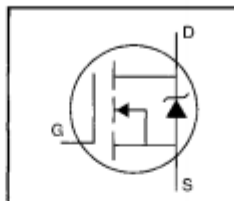
MOSFET Canal P



Existen diferentes tipos de MOSFET, dependiendo de la forma cómo están contruidos internamente. Así, tenemos MOSFET de enriquecimiento y MOSFET de empobrecimiento, cada uno con su símbolo característico. Sin embargo, para efectos de este artículo simplemente consideraremos que los MOSFET de los que vamos a hablar son de enriquecimiento, utilizando la simbología antes presentada.

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- Isolated Central Mounting Hole
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



$$V_{DSS} = 500V$$

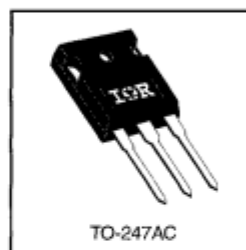
$$R_{DS(on)} = 0.40\Omega$$

$$I_D = 14A$$

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-247 package is preferred for commercial-industrial applications where higher power levels preclude the use of TO-220 devices. The TO-247 is similar but superior to the earlier TO-218 package because of its isolated mounting hole. It also provides greater creepage distance between pins to meet the requirements of most safety specifications.



TO-247AC

DATA
SHEETS


Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	14	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	8.7	
I_{DM}	Pulsed Drain Current ①	56	
$P_D @ T_C = 25^\circ C$	Power Dissipation	190	W
	Linear Derating Factor	1.5	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ②	760	mJ
I_{AR}	Avalanche Current ③	8.7	A
E_{AR}	Repetitive Avalanche Energy ①	19	mJ
dv/dt	Peak Diode Recovery dv/dt ③	3.5	V/ns
T_J	Operating Junction and	-55 to +150	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf·in (1.1 N·m)	


Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	0.65	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	40	

Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	500	—	—	V	$V_{GS}=0\text{V}$, $I_D=250\mu\text{A}$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.63	—	$^\circ\text{C}^{-1}$	Reference to 25°C , $I_D=1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.40	Ω	$V_{GS}=10\text{V}$, $I_D=8.4\text{A}$ ③
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS}=V_{GS}$, $I_D=250\mu\text{A}$
g_{fs}	Forward Transconductance	9.3	—	—	S	$V_{DS}=50\text{V}$, $I_D=8.4\text{A}$ ③
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS}=500\text{V}$, $V_{GS}=0\text{V}$
		—	—	250		$V_{DS}=400\text{V}$, $V_{GS}=0\text{V}$, $T_J=125^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS}=20\text{V}$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS}=-20\text{V}$
Q_g	Total Gate Charge	—	—	150	nC	$I_D=14\text{A}$
Q_{gs}	Gate-to-Source Charge	—	—	20		$V_{DS}=400\text{V}$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	80		$V_{GS}=10\text{V}$ See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	17	—	ns	$V_{DD}=250\text{V}$
t_r	Rise Time	—	47	—		$I_D=14\text{A}$
$t_{d(off)}$	Turn-Off Delay Time	—	92	—		$R_G=6.2\Omega$
t_f	Fall Time	—	44	—		$R_D=17\Omega$ See Figure 10 ④
L_D	Internal Drain Inductance	—	5.0	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact 
L_S	Internal Source Inductance	—	13	—		
C_{iss}	Input Capacitance	—	2600	—	pF	$V_{GS}=0\text{V}$
C_{oss}	Output Capacitance	—	720	—		$V_{DS}=25\text{V}$
C_{rss}	Reverse Transfer Capacitance	—	340	—		$f=1.0\text{MHz}$ See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	14	A	MOSFET symbol showing the integral reverse p-n junction diode. 
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	56		
V_{SD}	Diode Forward Voltage	—	—	1.4	V	$T_J=25^\circ\text{C}$, $I_S=14\text{A}$, $V_{GS}=0\text{V}$ ④
t_{rr}	Reverse Recovery Time	—	540	810	ns	$T_J=25^\circ\text{C}$, $I_F=14\text{A}$
Q_{rr}	Reverse Recovery Charge	—	4.8	7.2	μC	$di/dt=100\text{A}/\mu\text{s}$ ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

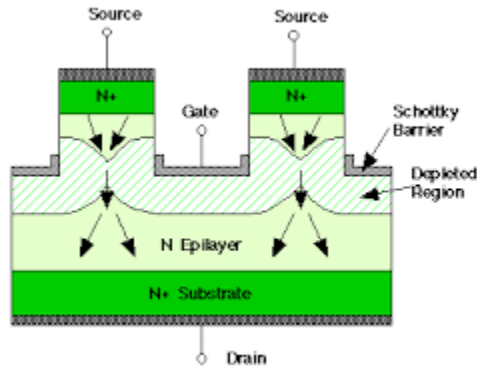
Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)
- ② $I_{SD} \leq 14\text{A}$, $di/dt \leq 130\text{A}/\mu\text{s}$, $V_{DD} \leq V_{(BR)DSS}$, $T_J \leq 150^\circ\text{C}$
- ③ $V_{DD}=50\text{V}$, starting $T_J=25^\circ\text{C}$, $L=7.0\text{mH}$, $R_G=25\Omega$, $I_{AS}=14\text{A}$ (See Figure 12)
- ④ Pulse width $\leq 300\mu\text{s}$; duty cycle $\leq 2\%$.

7. Funcionamiento y construcción de transistores de inducción estática SIT.

El SIT es un dispositivo portador mayoritario (unipolar) en el que el flujo de electrones de la fuente al drenaje es controlado por un potencial de barrera en el semiconductor de dos dimensiones con forma de silla de montar entre las compuertas metálicas. Si el dopado y las dimensiones laterales son escogidas adecuadamente, la altura del potencial de barrera será modulado por la compuerta y

el drenaje. Debido a que la corriente se incrementa exponencialmente conforme el potencial de barrera es disminuido, las características de la salida del SIT son usualmente no saturadas o de manera de triodo, pareciéndose a un triodo de tubo al vacío. Los electrones fluyen de la fuente al drenaje a través de un punto ensillado de potencial electrostático entre los electrodos de compuerta. El mismo cuenta con tres terminales la Puerta (G), Drenador (D) y Surtidor (S).



El SIT es un dispositivo portador mayoritario (unipolar) en el que el flujo de electrones de la fuente al drenaje es controlado por un potencial de barrera en el semiconductor de dos dimensiones con forma de silla de montar entre las compuertas metálicas. Si el dopado y las dimensiones laterales son escogidas adecuadamente, la altura del potencial de barrera será modulado por la compuerta y el drenaje. Debido a que la corriente se incrementa exponencialmente conforme el potencial de barrera es disminuido, las características de la salida del SIT son usualmente no saturadas o de manera de triodo, pareciéndose a un triodo de tubo al vacío. Los electrones fluyen de la fuente al drenaje a través de un punto ensillado de potencial electrostático entre los electrodos de compuerta. El mismo cuenta con tres terminales la Puerta (G), Drenador (D) y Surtidor (S).

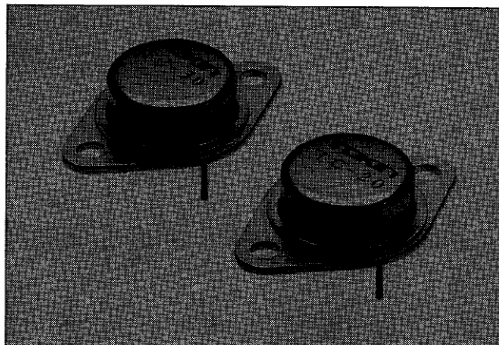
NEW
PRODUCTS
UPDATE

Small-sized Static Induction Transistor (SIT) with high withstand voltage

TOKIN

T-39-13

1ed.



Outline

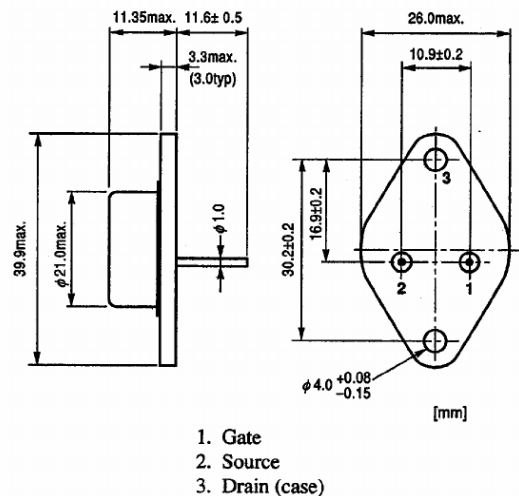
This device is a static induction transistor especially suited for applications which require high-speed switching and a high withstand voltage.

The size of the highly-reliable SIT was reduced and a new To-3 metallic case was developed.

Features

- High withstand voltage (withstand voltage : 1350~1500V)
- High-speed operation (switching speed : 200ns)
- Stable thermal characteristics

Shape and dimensions



Applications

- Power supplies for lasers
- Discharge power supplies
- Voltage power supplies

Specifications

Model	TC-20	TC-30
Case	To-3	To-3
P_T (W)	150	150
V_{DS} (V)	1350	1500
V_{GS} (V)	40	40
I_D (A)	20	16
r_{DS} (ohm)	1.3	1.6
μ	30	30

Specifications are subject to change without notice.

Tokin Corporation

Hakama Bldg., 5-6AA, Kita-Aoyama 2-chome, Minato-ku,
Tokyo 107, Japan

Phone: 03-3402-6196 Fax: 03-3497-9756

Korea Representative Office

#802, Champs-Elysees Bldg., 889-5, Daechi-Dong, Kangnam-gu,
Seoul, Korea

Phone: (2) 569-2682 ~ 5 Fax: (2) 544-7087

Tokin America Inc.

155 Nicholson Lane, San Jose, California 95134, U.S.A.
Phone: 408-432-9020 Fax: 408-0375

Chicago Branch

9535 Capital Drive, Wheeling, Illinois 60090, U.S.A.
Phone: 708-215-6802 Fax: 708-215-6804

Boston Branch

945 Concord Street, Framingham, Massachusetts 01701, U.S.A.
Phone: 508-875-0389 Fax: 508-875-1479

Tokin Electronics (HK) Ltd.

Room 806 Austin Tower, 22-35A Austin Avenue, Tsimshatsui,
Kowloon, Hong Kong
Phone: 367-9157 Fax: 738-5950

Taiwan Liaison Office

Phone: (02) 7728852 Fax: (02) 7114280

Singapore Branch

Phone: 2227076 Fax: 2236093, 2278772

Tokin Europe GmbH

Kronstr. 142, 8000 München 45, Germany
Phone: 089-311 10 66 Fax: 089-311 35 94

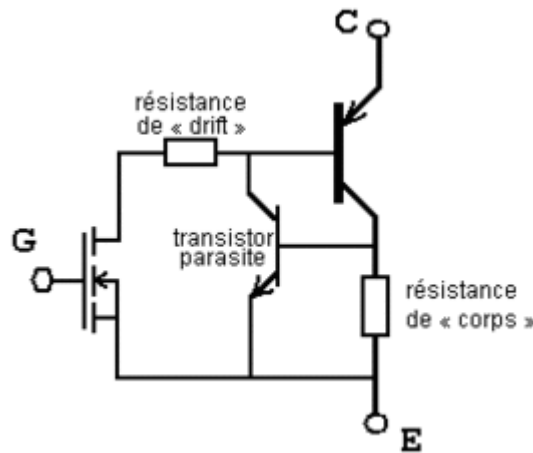
©1992 Tokin Corporation

Cat.No. UD-04E N920920P1

Printed in Japan
Tentative

8. Funcionamiento y construcción de transistores de compuerta aislada IGBT.

El transistor bipolar de puerta aislada (conocido por la sigla IGBT, del inglés Insulated Gate Bipolar Transistor) es un dispositivo semiconductor que se aplica como interruptor controlado en circuitos de electrónica de potencia. Este dispositivo posee las características de las señales de puerta de los transistores de efecto campo con la capacidad de alta corriente y bajo voltaje de saturación del transistor bipolar, combinando una puerta aislada FET para la entrada de control y un transistor bipolar como interruptor en un solo dispositivo.



Es un dispositivo versátil para trabajar en estas dos áreas de la electrónica por sus grandes manejos de corriente y el pequeñísimo voltaje de saturación que normalmente maneja un transistor bipolar y al igual que el transistor de efecto de campo FET, en la puerta o gate tiene las mismas características. La forma de conducción de corriente es similar a la de un transistor JFET.

De acuerdo con lo mencionado anteriormente, se puede decir que el transistor BJT y el JFET se fusionan y logran crear el IGBT, sin duda un poderoso componente electrónico. Con un IGBT se han podido lograr grandes cosas: desde diseñar y fabricar dispositivos de control y variación hasta sistemas de optimización y generación de energía. Dentro de los dispositivos de control podemos clasificar perfectamente a los variadores de velocidad y frecuencia, que sin duda en la industria son muy importantes y necesarios para controlar la velocidad en bombas de impulsión y motores industriales como elementos finales de control o plantas, y también tenemos a las UPS o bancos de baterías que lo que hacen es proporcionarnos voltajes con muy buenas capacidades de corriente en caso de cortes de suministro eléctrico y de esta manera nos permitan trabajar de forma ininterrumpida.

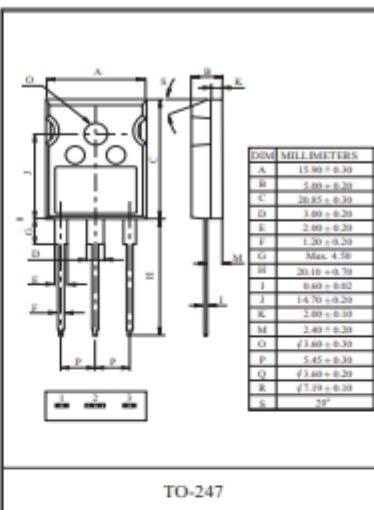
General Description

KEC NPT Trench IGBTs offer low switching losses, high energy efficiency and short circuit ruggedness.

It is designed for applications such as motor control, uninterrupted power supplies(UPS), general inverters.

FEATURES

- High speed switching
- High system efficiency
- Short Circuit Withstand Times 10us
- Extremely enhanced avalanche capability



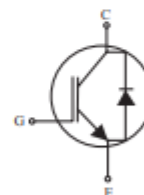
MAXIMUM RATING (Ta=25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Collector-Emitter Voltage	V_{CES}	600	V
Gate-Emitter Voltage	V_{GES}	± 20	V
Collector Current	I_C	100	A
		50	A
Pulsed Collector Current	I_{CM}^*	150	A
Diode Continuous Forward Current	I_F	50	A
Diode Maximum Forward Current	I_{FM}	100	A
Maximum Power Dissipation	P_D	345	W
		138	W
Maximum Junction Temperature	T_J	150	°C
Storage Temperature Range	T_{stg}	-55 to + 150	°C

*Repetitive rating : Pulse width limited by max. junction temperature

THERMAL CHARACTERISTIC

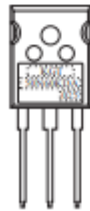
CHARACTERISTIC	SYMBOL	MAX.	UNIT
Thermal Resistance, Junction to Case (IGBT)	R_{thJC}	0.36	°C/W
Thermal Resistance, Junction to Case (DIODE)	R_{thJC}	1.0	°C/W
Thermal Resistance, Junction to Ambient	R_{thJA}	40	°C/W



ELECTRICAL CHARACTERISTICS (Ta=25°C)

CHARACTERISTIC	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Static						
Collector-Emitter Breakdown Voltage	BV_{CES}	$V_{GE}=0V, I_C=250\mu A$	600	-	-	V
Collector Cut-off Current	I_{CES}	$V_{GE}=0V, V_{CE}=600V$	-	-	250	μA
Gate Leakage Current	I_{GES}	$V_{CE}=0V, V_{GE}=\pm 20V$	-	-	± 100	nA
Gate Threshold Voltage	$V_{GE(th)}$	$V_{GE}=V_{CE}, I_C=5mA$	5.0	6.0	7.0	V
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$	$V_{GE}=15V, I_C=50A$	-	1.90	2.2	V
		$V_{GE}=15V, I_C=100A$	-	2.6	-	V
		$V_{GE}=15V, I_C=50A, T_C=125^{\circ}C$	-	2.20	-	V
Dynamic						
Total Gate Charge	Q_g	$V_{CC}=300V, V_{GE}=15V, I_C=50A$	-	200	-	nC
Gate-Emitter Charge	Q_{ge}		-	30	-	nC
Gate-Collector Charge	Q_{gc}		-	100	-	nC
Turn-On Delay Time	$t_{d(on)}$	$V_{CC}=300V, I_C=50A, V_{GE}=15V, R_G=10\Omega$ Inductive Load, $T_C=25^{\circ}C$ (Note 1)	-	95	-	ns
Rise Time	t_r		-	85	-	ns
Turn-Off Delay Time	$t_{d(off)}$		-	340	-	ns
Fall Time	t_f		-	40	-	ns
Turn-On Switching Loss	E_{on}		-	1.40	-	mJ
Turn-Off Switching Loss	E_{off}		-	0.80	-	mJ
Total Switching Loss	E_{ts}		-	2.2	-	mJ
Turn-On Delay Time	$t_{d(on)}$	$V_{CC}=300V, I_C=50A, V_{GE}=15V, R_G=10\Omega$ Inductive Load, $T_C=125^{\circ}C$ (Note 1)	-	95	-	ns
Rise Time	t_r		-	90	-	ns
Turn-Off Delay Time	$t_{d(off)}$		-	350	-	ns
Fall Time	t_f		-	50	-	ns
Turn-On Switching Loss	E_{on}		-	1.5	-	mJ
Turn-Off Switching Loss	E_{off}		-	1.2	-	mJ
Total Switching Loss	E_{ts}		-	2.7	-	mJ
Input Capacitance	C_{iss}	$V_{CE}=30V, V_{GE}=0V, f=1MHz$	-	4000	-	pF
Opout Capacitance	C_{oss}		-	250	-	pF
Reverse Transfer Capacitance	C_{res}		-	130	-	pF
Short Circuit Withstand Time	t_{sc}	$V_{CC}=300V, V_{GE}=15V, T_C=100^{\circ}C$	10	-	-	μs

Note 1 : Energy loss include tail current and diode reverse recovery.

Marking


- Device Mark 1
- Device Mark 2
- Lot No