

Logic Design Final Project 說明

2016 Fall

- 評分依照階段性完成給分，其中大致分為三階段：
 - 未完成 baseline (依三部分 submodule 完程度部分給分)
 - 完成 **baseline**: Trafficlight (80 分)
 - ◆ 會依照電路面積 (gate-count) ranking 給分。
 - ◆ 嚴禁抄襲行為，若有借出程式碼組別亦須接受懲處，無法拿到此部分分數 (變數命名更改亦視同抄襲，助教會使用程式檢查)。
 - ◆ 語法需為 verilog gate-level:
assign bit-wise operate &/~/允許，其他像是 if-else, ==, +%..., 等 RTL 語法皆不允許，若程式中含有視為沒有完成。
 - **Extension** (20 分)
 - ◆ 前提: 需先完成 baseline，否則此部分沒有分數。
 - ◆ 發揮創意將版子的功能使用淋漓盡致做出有趣的應用。(多元化)
 - ◆ 語法不限於 verilog gate-level。
- 評分機制
 - 老師與 9 位 TA (50%) + 組間互評 (50%)
 - 當天報告完由收回來評分表做 final 成績計算，**不需繳交紙本報告，但需要將報告投影片與 vivado project 資料夾放在命名 LD2016_teamID 資料夾中並壓縮上傳至 ftp。**
(如果有 Extension 亦同)。
 - ◆ Ex:LD2016_1.zip
 - ./LD2016_1.pptx
 - ./Final vivado
 - ./Extension
 - 同學需在報告投影片結束列出分工細節(詳細請見模板)，助教會依照分工細節調整組內分數。
- 報告細節
 - 報告前請先將投影片上傳至 Ceiba，助教會依組別排放好以節省時間。
 - 報告時間地點: 2017/01/13 15:30-17:30 @EE2 142
 - 一組 5 分鐘，包含 baseline 與 extension demo
 - ◆ 另外 1 分鐘 setup 時間
 - 報告投影片模板在 LD2016-[team num].pptx 之中。
 - 同學可用自己筆電進行 demo
 - 當天助教會準備螢幕於講台前，同學在報告的時候可以使用。