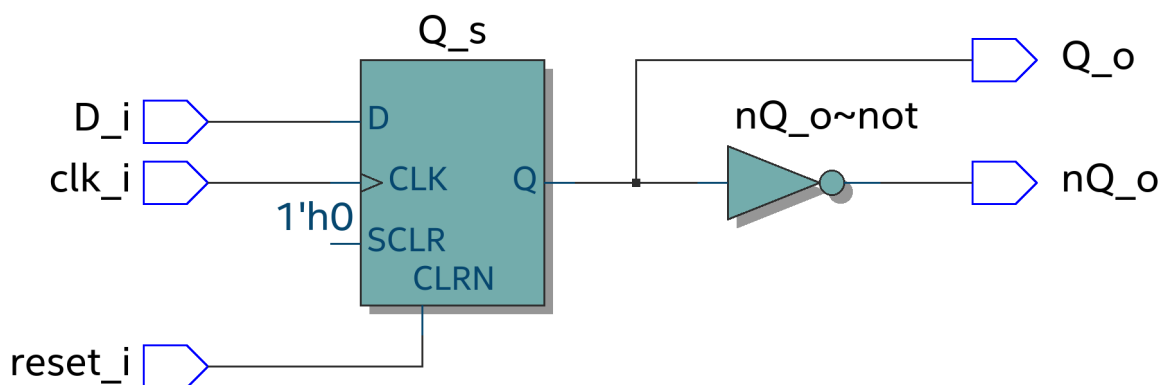


Laboratoire 5 : Description d'éléments mémoire en VHDL

Auteur : Pierrick Muller

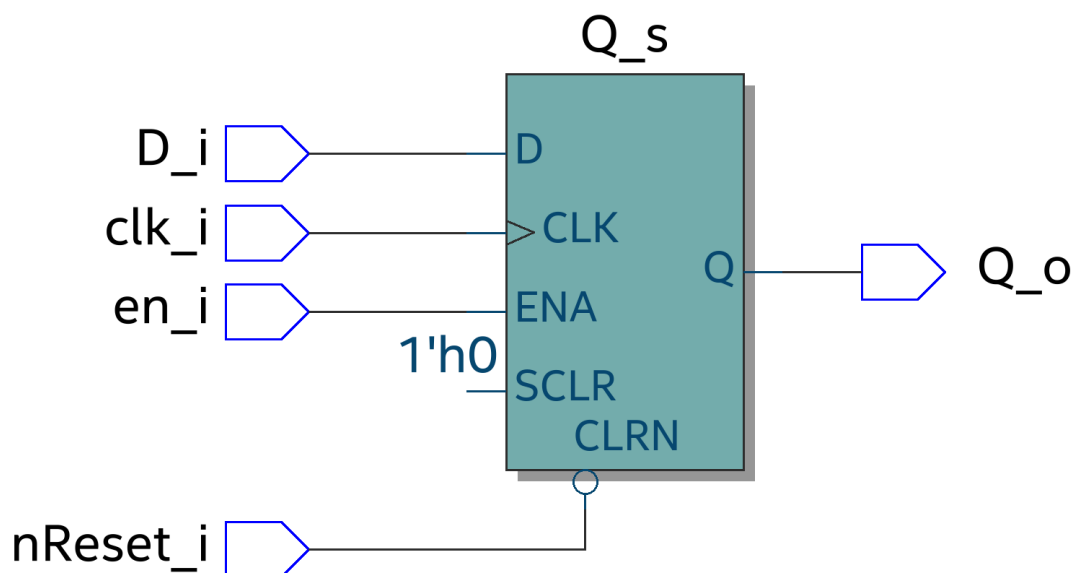
Vues RTL

Flip-Flop D avec not D



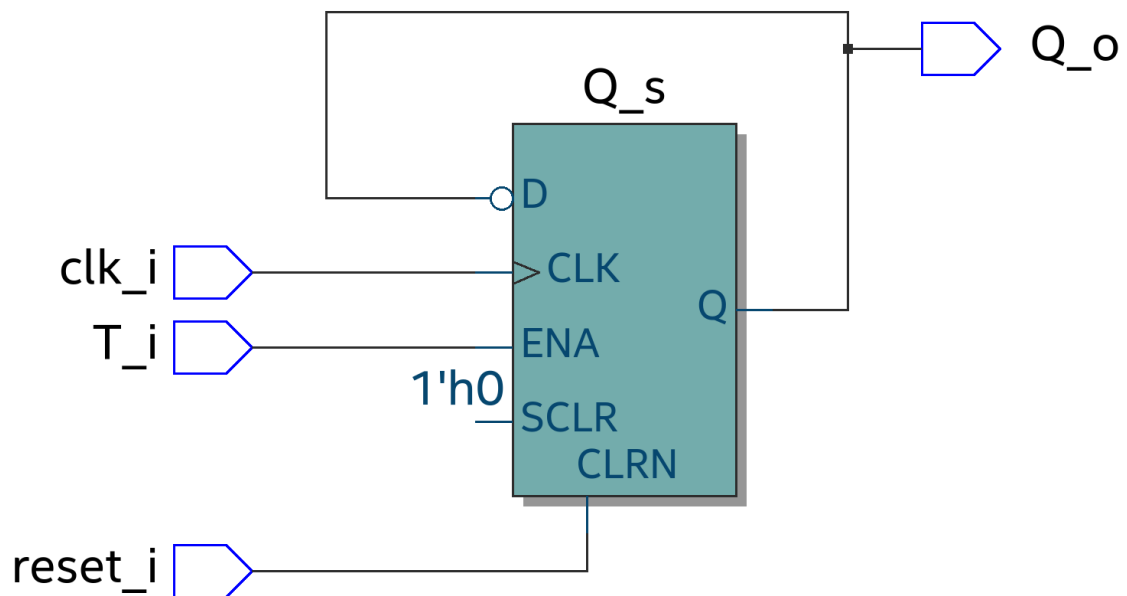
On peut voir que l'image ci-dessus correspond à la description VHDL que j'ai fournie. On voit bien le flip flop D avec le not en sortie permettant d'obtenir la sortie not D.

Flip-flop D avec Enable



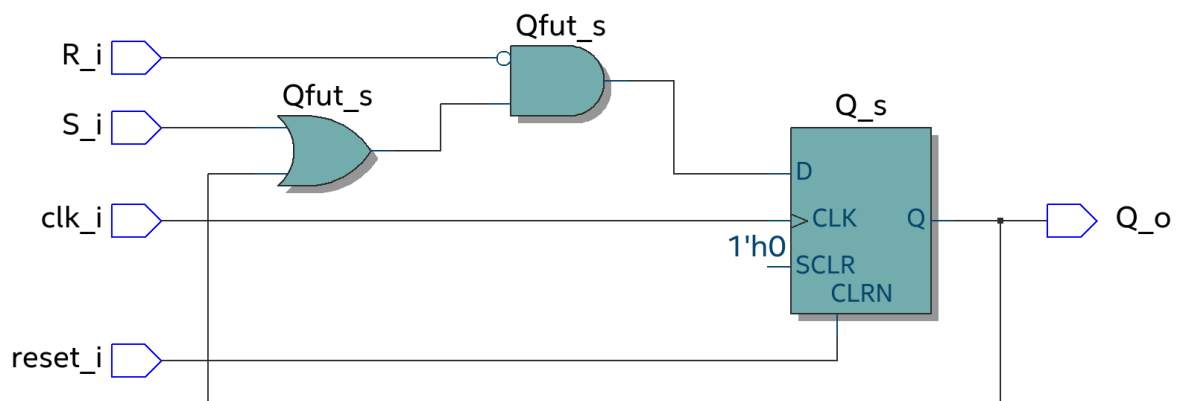
La vue RTL correspond à un flip flop D avec un enable.

Flip-flop T



On peut voir que le système ci-dessus correspond à un Flip-flop T car l'entrée T est liée sur le enable et que la sortie Q est liée sur l'entrée D avec un not. Cela nous assure que Q^+ est égal à Q si $T = 0$ et Q^+ est égal à not Q si $T = 1$, comme dit dans la table de vérité.

Flip-flop RS



Cette vue RTL correspond au schéma que j'avais établi après l'analyse de la table de vérité.

Résultats Simulations et Compilations

Flip-Flop D avec not D

```

# ** Warning: ../src_tb/dff_ar_tb.vhd(51): (vcom-1236) Shared variables must be of a protected type.
# End time: 16:56:52 on Nov 07,2019, Elapsed time: 0:00:00
# Errors: 0, Warnings: 1
# vsim -voptargs="+acc" work.dff_ar_tb
# Start time: 16:56:53 on Nov 07,2019
# ** Note: (vsim-3812) Design is being optimized...
# Loading std.standard
# Loading std.textio(body)
# Loading ieee.std_logic_1164(body)
# Loading work.dff_ar_tb(test_bench)#1
# Loading work.dff_ar(comport)#1
VSIM 7> run -all
# ** Note: >> Debut de la simulation
# Time: 0 ns Iteration: 0 Instance: /dff_ar_tb
# ** Note: >>Nombre d'erreur détectée = 0
# Time: 552 ns Iteration: 0 Instance: /dff_ar_tb
# ** Note: >>Fin de la simulation
# Time: 552 ns Iteration: 0 Instance: /dff_ar_tb

VSIM 8>

```

Compilation et simulation effectuée avec succès.

Flip-flop D avec Enable

```

# ** Warning: ../src_tb/dff_en_tb.vhd(57): (vcom-1236) Shared variables must be of a protected type.
# End time: 17:48:41 on Nov 07,2019, Elapsed time: 0:00:00
# Errors: 0, Warnings: 1
# End time: 17:48:41 on Nov 07,2019, Elapsed time: 0:05:41
# Errors: 5, Warnings: 1
# vsim -voptargs="+acc" work.dff_en_tb
# Start time: 17:48:41 on Nov 07,2019
# ** Note: (vsim-3813) Design is being optimized due to module recompilation...
# Loading std.standard
# Loading std.textio(body)
# Loading ieee.std_logic_1164(body)
# Loading work.dff_en_tb(test_bench)#1
# Loading work.dff_en(comport)#1
VSIM 25> run -all
# ** Note: >> Debut de la simulation
# Time: 0 ns Iteration: 0 Instance: /dff_en_tb
# ** Note: >>Nombre d'erreur détectée = 0
# Time: 652 ns Iteration: 0 Instance: /dff_en_tb
# ** Note: >>Fin de la simulation
# Time: 652 ns Iteration: 0 Instance: /dff_en_tb

VSIM 26> |

```

Compilation et simulation effectuée avec succès.

Flip-flop T

```

# vsim -voptargs="+acc" work.flipflop_t_tb
# Start time: 08:51:21 on Nov 13,2019
# ** Note: (vsim-3813) Design is being optimized due to module recompilation...
# Loading std.standard
# Loading std.textio(body)
# Loading ieee.std_logic_1164(body)
# Loading work.flipflop_t_tb(test_bench)#1
# Loading work.flipflop_t(comport)#1

VSIM 2> run -all
# ** Note: >> Debut de la simulation
# Time: 0 ns Iteration: 0 Instance: /flipflop_t_tb
# ** Note: >>Nombre d'erreur détectée = 0
# Time: 652 ns Iteration: 0 Instance: /flipflop_t_tb
# ** Note: >>Fin de la simulation
# Time: 652 ns Iteration: 0 Instance: /flipflop_t_tb

```

Compilation et simulation effectuée avec succès.

Date : 13.11.2019