



HAUTE ÉCOLE
D'INGÉNIERIE ET DE GESTION
DU CANTON DE VAUD

www.heig-vd.ch

Hes·so

Haute Ecole Spécialisée
de Suisse occidentale

Fachhochschule Westschweiz

University of Applied Sciences and Arts
Western Switzerland

Laboratoire 5 : IP AXI4-lite avec I/O de la FPGA

Département : Technologies de l'Information et de la Communication (TIC)
Unité d'enseignement : System on chip on FPGA (SOCF)

Auteurs : Pierrick Muller
Professeur : Alberto Dassati, Etienne Messerli
Assistant : Sébastien Masle, Sydney Hauke
Classe : SOCF-1-A
Date : 12 mai 2020

ReDS

Reconfigurable & Embedded
Digital Systems

Table des matières

1	Introduction	2
1.1	Objectifs	2
1.2	Spécifications sans les interruptions	2
2	Analyse	3
2.1	Partie 1	3
2.2	Partie 2	4
2.3	Adress Map finale	5
3	Réalisation et implémentation	5
3.1	Création de l'IP axi lite	5
3.2	Ajout de l'IP dans Qsys	6
3.3	Actions dans le projet Qsys	6
3.4	Implémentation dans le fichier top du projet	7
3.5	Code C	8
4	Simulation et tests	9
4.1	Contrôle des timings	9
4.2	Test du strobe	10
4.3	Problèmes rencontrés	10
4.4	Tests sur board	11
5	Conclusion	14
6	Signatures	14

1 Introduction

1.1 Objectifs

Ce laboratoire a pour but de réaliser une IP avec une interface AXI4-lite et connectée sur le bus Lightweight HPS-to-FPGA. Cette IP doit permettre d'accéder à des I/O câblées sur la partie FPGA via des registres. Vous devrez analyser le fonctionnement du bus AXI4-lite afin de concevoir une IP personnalisée pour les besoins du laboratoire.

1.2 Spécifications sans les interruptions

L'objectif est d'interfacer à l'aide d'une IPAXI4-lite tous les I/O disponibles sur la FPGA, sans utiliser des composants PIO, soit les boutons (KEYs), les switches (SW), les LEDs et les afficheurs 7 segments.

Votre IP AXI4-lite comprendra une constante 32 bits à l'offset 0x0 ainsi qu'un registre de test R/W à l'offset 0x4. Les offsets sont relatifs à l'adresse de base donnée à l'instance de l'IP dans Qsys.

Spécifications du programme :

Le but est d'allumer les LEDs selon l'état des boutons (KEYs) et interrupteurs (switch) disponibles. Les afficheurs 7 segments sont dépendants de la constante définie dans l'IP. La spécification du fonctionnement est la suivante :

- Appui sur KEY0 : l'états des switches est copiés sur les LEDs. Les afficheurs HEX5 à HEX0 affichent en hexadécimal les bits 23 à 0 de la constante définie dans l'IP.
- Appui sur KEY1 : l'états inverses des switches est copiés sur les LEDs. Les afficheurs HEX5 à HEX0 affichent en hexadécimal l'inverse des bits 23 à 0 de la constante définie dans l'IP
- Appui sur KEY2 : l'affichage des LEDs et des afficheurs 7 segments subit une rotation à droite. Rotation d'un bit pour les LEDs, rotation d'un afficheur complet pour les afficheurs 7 segments.
- Appui sur KEY3 : l'affichage des LEDs et des afficheurs 7 segments subit une rotation à gauche. Rotation d'un bit pour les LEDs, rotation d'un afficheur complet pour les afficheurs 7 segments.

Dans une seconde partie, l'appui sur les boutons KEY2 ou KEY3 devra être géré à l'aide d'interruption vers le HPS (2ème partie).

- Votre design doit permettre de générer une interruption lors de l'activation (détection de flanc) d'un des 4 boutons. Vous devez prévoir les accès et les flags nécessaires pour gérer l'interruption. Il doit être possible d'activer/masquer l'interruption pour chaque bouton.

2 Analyse

2.1 Partie 1

Cette partie nous demandait dans un premier temps d'établir un plan d'adressage en incluant certains registres spécifiques, soit un registre contenant une constante à l'adresse 0x000 et un registre de test pouvant être écrit et lu à l'adresse 0x004. La taille du bus d'adresse étant de 12 bits, nous avons un espace de 4 Ko à notre disposition pour l'adressage. Le plan d'adressage final est disponible à la fin de la partie analyse. Je précise ici que quand je note un champ de bits comme "reserved", cela indique que ces champs de bits sont réservés pour des utilisations futures, et que l'écriture sur ces bits précis n'aura pas d'impact, et ces bits seront toujours considérés comme ayant la valeur '0'.

Concernant la réflexion sur l'implémentation du bus axi lite, je me suis basé sur le document qui était fourni avec ce laboratoire, "Designing a AXI4-lite Slave Peripheral, Griffin, Xilinx". J'ai identifié deux points importants dès le début de

l'analyse :

- l'"Assert and wait" rule est un point important à respecter dans l'implémentation du bus, et doit être gardée à l'esprit lors de l'écriture des différents process de l'IP
- Les timings de chaque canal doivent être respectés, faute de quoi le bus ne fonctionnera pas. Je me suis rendu compte par la suite que si c'était particulièrement vrai pour les timings concernant les canaux de lecture, certains timings pouvaient être décalés sans poser de problèmes dans le cadre des canaux d'écriture (Je pense au canal de réponse de l'écriture, dans mon cas)

En gardant ces deux points à l'esprit, j'ai pu commencer le laboratoire. J'ai d'abord fonctionné en utilisant vsim et le test-bench fournit afin de pouvoir contrôler les timings et les résultats stockés ou lus du bus axi lite.

2.2 Partie 2

Nous devons ajouter une gestion des interruptions dans cette partie. J'ai commencé par regarder le laboratoire précédent pour voir quels registres devaient être implémentés en plus. Suite à cela, le plan d'adressage a reçu deux nouvelles entrées, concernant le registre keys_IM pour interruption mask et keys_EC pour edge capture. Ces deux registres servent le but suivant :

- Le registre d'interruption mask permet de définir quels keys génèrent une interruption lorsqu'on les pressent. les bits 3 à 0 correspondent aux keys 3 à 0 et la présence d'un bit actif dans l'une de ces positions signifie que le key correspondant génère une interruption lors de son appui.
- Le registre d'edge capture permet de savoir quel key a été appuyé lorsqu'une interruption a lieu. L'accès en écriture à ce registre remplit le registre de bit '0' et clean l'interruption qui a été générée.

Ces deux registres seront utilisés dans le code VHDL de l'IP axi lite afin de pouvoir lever une exception. Une chose intéressante à garder en tête c'est que ces registres ne sont pas juste des registres permettant de gérer des I/O ou des registres n'ayant comme fonction que d'être lus ou écrit. Le contenu du registre IM sera utilisé dans la logique VHDL pour déclencher une irq et le registre EC sera peuplé dans la logique VHDL en fonction des Keys appuyés.

2.3 Adress Map finale

Offset	Read D31...0	Write D31...0
0x000	[31...0] const (0xDEADBEEF)	not used
0x004	[31...0] reg_test_rw	[31...0] reg_test_rw
0x008	[31...10] '0...0' [9...0] Leds9...0	[31...10] reserved [9...0] Leds9...0
0x00C	[31] '0' [30...24] Hex3 [23] '0' [22...16] Hex2 [15] '0' [14...8] Hex1 [7] '0' [6...0] Hex0	[31] reserved [30...24] Hex3 [23] reserved [22...16] Hex2 [15] reserved [14...8] Hex1 [7] reserved [6...0] Hex0
0x010	[31...15] '0' [14...8] Hex5 [7] '0' [6...0] Hex4	[31...15] reserved [14...8] Hex5 [7] reserved [6...0] Hex4
0x014	[31...10] '0...0' [9...0] Switchs9...0	not used
0x018	[31...4] '0...0' [3...0] Keys3...0	not used
0x01C	[31...4] '0...0' [3...0] Keys_IM3...0	[31...4] reserved [3...0] Keys_IM3...0
0x020	[31...4] '0...0' [3...0] Keys_EC3...0	[31...4] reserved [3...0] Keys_EC3...0

J'ai essayé d'avoir un plan d'adressage le plus compact possible. Dans le plan de base, j'avais prévu de mettre le registre gérant les keys à la fin afin d'avoir une certaine logique dans l'adressage des registres permettant la gestion des interruptions par la suite. L'adresse de base à laquelle les offsets viennent s'ajouter est décidée dans QSys, et l'on peut raisonnablement prédire qu'elle sera la même que celle du laboratoire 2, soit l'adresse du bus h2f_lw, 0xFF200000.

3 Réalisation et implémentation

J'ai choisi de ne pas présenter l'implémentation faite partie par partie, mais de présenter l'implémentation finale car elle contient les éléments correspondant à chacune des parties.

3.1 Création de l'IP axi lite

Une base de code nous était fournie dans ce laboratoire. J'ai commenté le code afin d'expliquer son fonctionnement, j'ai mis en annexe le résultat obtenu. Dans la

partie simulation, nous parlerons des tests effectués avec vsim, mais ici je n'ai pas grand-chose à ajouter, le code ayant été commenté dans son entier.

3.2 Ajout de l'IP dans Qsys

Certaines informations nous étaient fournies dans cette partie. J'ai donc respecté les consignes données, tout en rajoutant certaines choses :

- Ajout du composant dans QSys
- Ajout du fichier vhdl correspondant à l'IP dans le nouveau composant
- Appui sur le bouton "Analyze Synthesis Files" afin de récupérer les signaux
- Ajout des interfaces (altera_axi4lite_slave, clock_sink, conduit_end, interrupt_sender, reset_sender)
- Assignment et configuration des signaux de l'IP aux interfaces

Le résultat final dans l'onglet "Signals & Interfaces" est le suivant :

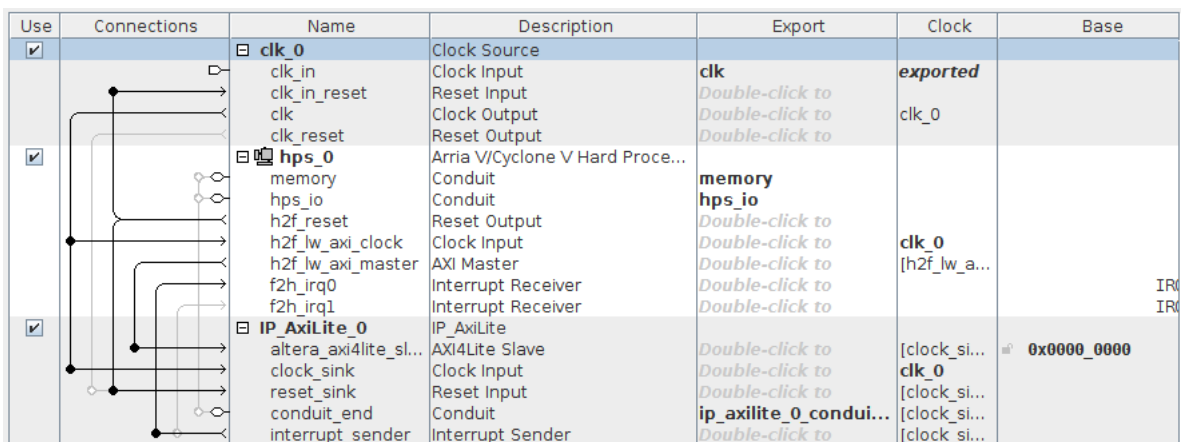
Name
▶ altera_axi4lite_slave AXI4Lite Slave
▶ axi_araddr_i [12] araddr
▶ axi_arprot_i [3] arprot
▶ axi_arready_o [1] arready
▶ axi_arvalid_i [1] arvalid
▶ axi_awaddr_i [12] awaddr
▶ axi_awprot_i [3] awprot
▶ axi_awready_o [1] awready
▶ axi_awvalid_i [1] awvalid
▶ axi_bready_i [1] bready
▶ axi_bresp_o [2] bresp
▶ axi_bvalid_o [1] bvalid
▶ axi_rdata_o [32] rdata
▶ axi_rready_i [1] rready
▶ axi_rresp_o [2] rresp
▶ axi_rvalid_o [1] rvalid
▶ axi_wdata_i [32] wdata
▶ axi_wready_o [1] wready
▶ axi_wstrb_i [4] wstrb
▶ axi_wvalid_i [1] wvalid
▶ clock_sink Clock Input
▶ axi_clk_i [1] clk
▶ conduit_end Conduit
▶ hex03_o [32] hex03_output
▶ hex54_o [32] hex54_output
▶ keys_i [32] keys_input
▶ leds_o [32] leds_output
▶ switch_i [32] switch_input
<<add signal>>
▶ interrupt_sender Interrupt Sender
▶ irq_o [1] irq
▶ reset_sink Reset Input
▶ axi_reset_i [1] reset
<<add signal>>
<<add interface>>

FIGURE 1 – Laboratoire 5 : Signals et Interfaces

3.3 Actions dans le projet Qsys

Comme dans le laboratoire 2, certaines actions devaient être effectuées dans Qsys afin de permettre le fonctionnement du programme :

- Il faut activer dans la configuration de hps_0 , sous "Fpga interface" -> "interrupts", l'option "Enable FPGA-to-HPS interrupts"
- L'IP qui doit bénéficier des interruptions doit être linké sur l'un des deux champs "f2h_irq0/1".
- Dans la colonne IRQ aussi, l'interruption de l'interrupt sender de l'IP doit être liée sur l'un des deux champs vu plus haut. Dans notre cas, l'interruption porte le numéro 0 et est liée sur "f2h_irq0", ce qui implique que le numéro de l'interruption sera le numéro 0 de la fpga(numéro d'interruption 72)
- Les autres interfaces de l'IP doivent être câblé sur les bons éléments dans le projet Qsys comme le présente l'image ci-dessous.



Use	Connections	Name	Description	Export	Clock	Base
<input checked="" type="checkbox"/>		clk_0	Clock Source			
		clk_in	Clock Input	clk	exported	
		clk_in_reset	Reset Input	Double-click to		
		clk	Clock Output	Double-click to	clk_0	
		clk_reset	Reset Output	Double-click to		
<input checked="" type="checkbox"/>		hps_0	Arria V/Cyclone V Hard Proce...			
		memory	Conduit	memory		
		hps_io	Conduit	hps_io		
		h2f_reset	Reset Output	Double-click to		
		h2f_lw_axi_clock	Clock Input	Double-click to	clk_0	
		h2f_lw_axi_master	AXI Master	Double-click to	[h2f_lw_a...	
		f2h_irq0	Interrupt Receiver	Double-click to		IRQ
		f2h_irq1	Interrupt Receiver	Double-click to		IRQ
<input checked="" type="checkbox"/>		IP_Axilite_0	IP_Axilite			
		altera_axi4lite_sl...	AXI4Lite Slave	Double-click to	[clock_si...	0x0000_0000
		clock_sink	Clock Input	Double-click to	clk_0	
		reset_sink	Reset Input	Double-click to	[clock_si...	
		conduit_end	Conduit	Double-click to	[clock_si...	
		interrupt_sender	Interrupt Sender	Double-click to	[clock_si...	

FIGURE 2 – Laboratoire 5 : Projet Qsys

Comme on peut le voir, l'interface Axilite est câblé sur le bus h2f_lw_axi_master avec comme base 0x00000000, ce qui veut dire que l'adresse de base à laquelle il faut ajouter les offsets du plan d'adressage sera l'adresse du début du bus h2f_lw, soit 0xFF200000.

3.4 Implémentation dans le fichier top du projet

Après avoir généré le code VHDL du projet Qsys, je devais ajouter le composant au fichier top du projet Quartus. J'ai copié le résultat obtenu avec Qsys pour l'attribution des sorties et entrées du composant créé, et j'ai dû ajouter des traitements supplémentaires, voici lesdites modifications :

```

1      ...
2
3      signal temp_hex03_s : std_logic_vector(31 downto 0);
4      signal temp_hex45_s : std_logic_vector(31 downto 0);
5      signal temp_leds_s : std_logic_vector(31 downto 0);
6      signal temp_key : std_logic_vector(31 downto 0);
7      signal temp_sw : std_logic_vector(31 downto 0);
8      signal temp_zero_key : std_logic_vector(31-4 downto 0);
9      signal temp_zero_sw : std_logic_vector(31-10 downto 0);
10

```

```

11 begin
12
13     -----
14     -- HPS mapping
15     -----
16     temp_zero_key <= (others => '0');
17     temp_zero_sw <= (others => '0');
18     temp_key <= temp_zero_key & KEY_i ;
19     temp_sw <= temp_zero_sw & SW_i;
20
21     System : component qsys_system
22     ...
23     -- User input-output
24     ip_axilite_0_conduit_end_hex03_output : out    ...
25         std_logic_vector(31 downto 0);           -- ...
26         hex03_output
27     ip_axilite_0_conduit_end_hex54_output : out    ...
28         std_logic_vector(31 downto 0);           -- ...
29         hex54_output
30     ip_axilite_0_conduit_end_keys_input  : in      ...
31         std_logic_vector(31 downto 0) := (others => 'X'); -- ...
32         keys_input
33     ip_axilite_0_conduit_end_leds_output  : out    ...
34         std_logic_vector(31 downto 0);           -- ...
35         leds_output
36     ip_axilite_0_conduit_end_switch_input : in      ...
37         std_logic_vector(31 downto 0) := (others => 'X'); -- ...
38         switch_input
39     ...
40 );
41
42     HEX0_o <= temp_hex03_s(6 downto 0);
43     HEX1_o <= temp_hex03_s(14 downto 8);
44     HEX2_o <= temp_hex03_s(22 downto 16);
45     HEX3_o <= temp_hex03_s(30 downto 24);
46     HEX4_o <= temp_hex45_s(6 downto 0);
47     HEX5_o <= temp_hex45_s(14 downto 8);
48     LEDR_o <= temp_leds_s(9 downto 0);
49 end top;

```

Le premier traitement, celui concernant les keys et les switches, permet de formater les inputs des keys et des switches reçus afin de nous assurer que le plan d'adressage soit respecté et que les bits devant être lu comme '0' le soit bien. Le traitement concernant les afficheurs 7 segments et les leds permet de réduire la taille des valeurs reçues depuis le composant afin de pouvoir les adapter à la taille des sorties.

3.5 Code C

Le code C ressemble beaucoup au code C du laboratoire précédent, le laboratoire 2. La seule différence résidant au final dans la gestion de deux afficheurs 7 segments en plus, mais la méthode utilisée reste la même. J'ai tout de même modifié légèrement le code afin de réduire le nombre de lectures effectuées, suite aux remarques concernant le laboratoire précédent. Le code C peut être trouvé dans le projet, je ne vais pas plus

en parler ici, la gestion des interruptions se fait de la même manière. Les adresses utilisées ont dû être légèrement modifiée afin de coller avec le plan d'adressage.

4 Simulation et tests

Cette partie contient les différents tests et simulations effectuées au cours du projet

4.1 Contrôle des timings

J'ai utilisé vsim afin de contrôler que mes timings étaient bons en me basant sur les timings montrés dans le document "Designing a AXI4-lite Slave Peripheral, Griffin, Xilinx", qui sont les suivants :

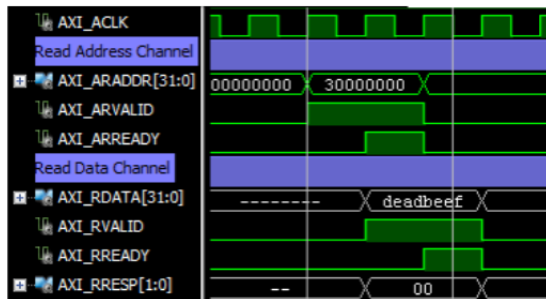


FIGURE 3 – Laboratoire 5 : Timing read

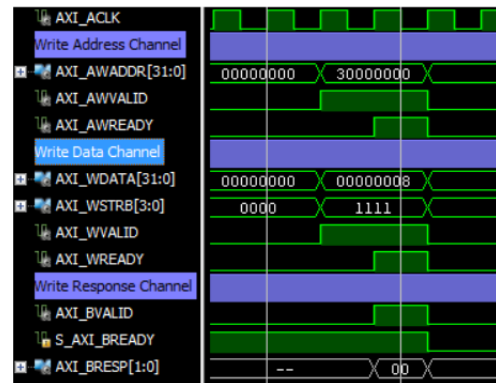


FIGURE 4 – Laboratoire 5 : Timing write

Et maintenant, voici les timings que j'ai obtenus lors de la simulation :

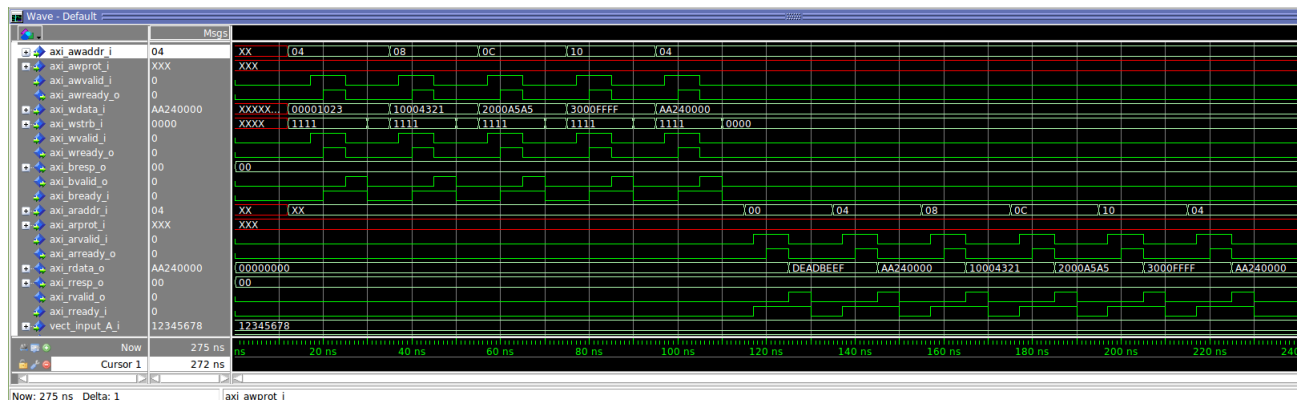


FIGURE 5 – Laboratoire 5 : Timing implémentation bus axi lite

On peut voir que le timing du read correspond au timing voulu à l'exception du fait que dans notre cas la durée d'activation d'axi_rvalid et de axi_bready est inversé. Cela n'impacte pas le fonctionnement du programme, les deux signaux se retrouvant désactivés au même moment. Par contre, le timing du canal de réponse du write est décalé d'un coup d'horloge. Cela n'a pas d'impact sur le fonctionnement du bus, étant donnée que dans le cadre l'écriture, nous pouvons nous permettre de prendre

un peu plus de temps, car on nous fournit une donnée que nous devons stocker, ce n'est pas nous qui devons fournir la donnée sur le bus de lecture.

L'écriture et la lecture fonctionnent correctement dans cette simulation, les registres et bus étant mis à jour et les timings respectés.

4.2 Test du strobe

En modifiant le testbench, il était possible de réaliser des tests sur le fonctionnement du strobe. Voici les résultats obtenus :

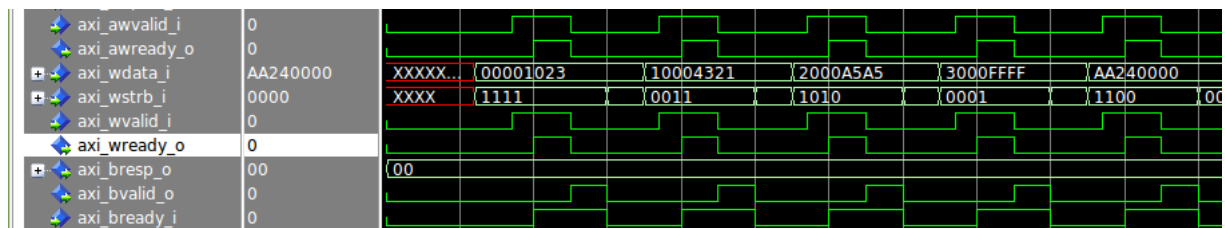


FIGURE 6 – Laboratoire 5 : Write avec différents strobes

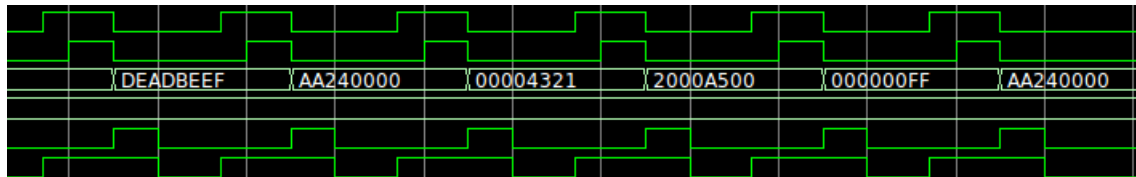


FIGURE 7 – Laboratoire 5 : Read après différents strobes

Je rends attentif ici au fait que le registre à l'offset 04 est écrit deux fois, une fois au tout début de la phase d'écriture et une fois à la fin de la phase d'écriture, ce qui explique la valeur 0xAA240000 lue, valeur qui respecte le strobe qui lui était attribué (1100). On peut voir que les valeurs respectent les strobes qui ont été utilisés lors de l'écriture quand on les lit.

4.3 Problèmes rencontrés

Durant ce laboratoire, j'ai rencontré un problème principal, qui était un problème de timing. Pour imaginer cela, je vais insérer ici une image présentant la phase de debug que j'ai dû effectuer pour m'en rendre compte. J'ai utilisé SignalTap 2 :

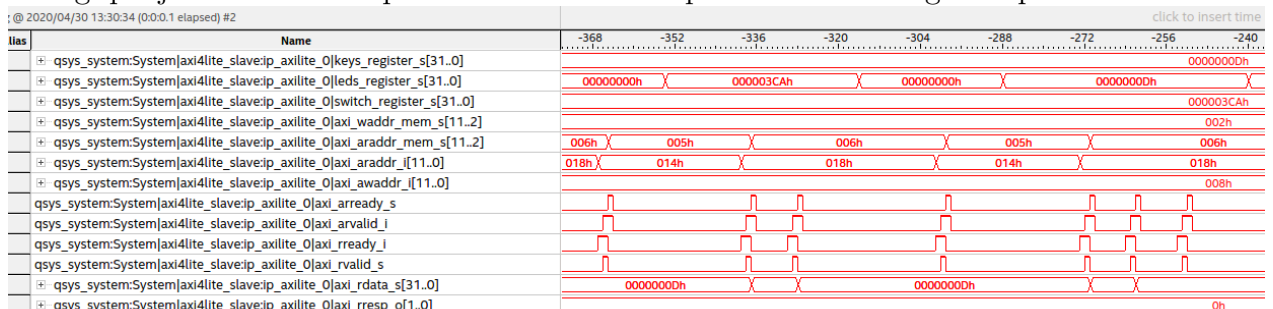


FIGURE 8 – Laboratoire 5 : Read Signal Tap 2

On peut voir que les signaux arready et arvalid sont activés après les signaux

ready et rvalid, ce qui au vu des timings étudiés plus tôt représente une erreur d'implémentation. J'ai pu régler ce problème dans le code VHDL par la suite, pour arriver à l'implémentation finale qui vous a été présentée.

4.4 Tests sur board

Voici les tests effectués sur la board :

Comme dans le dernier laboratoire, j'ai commencer par effectuer un appui sur key 0 et un appui sur key 1 en gardant les switches down :

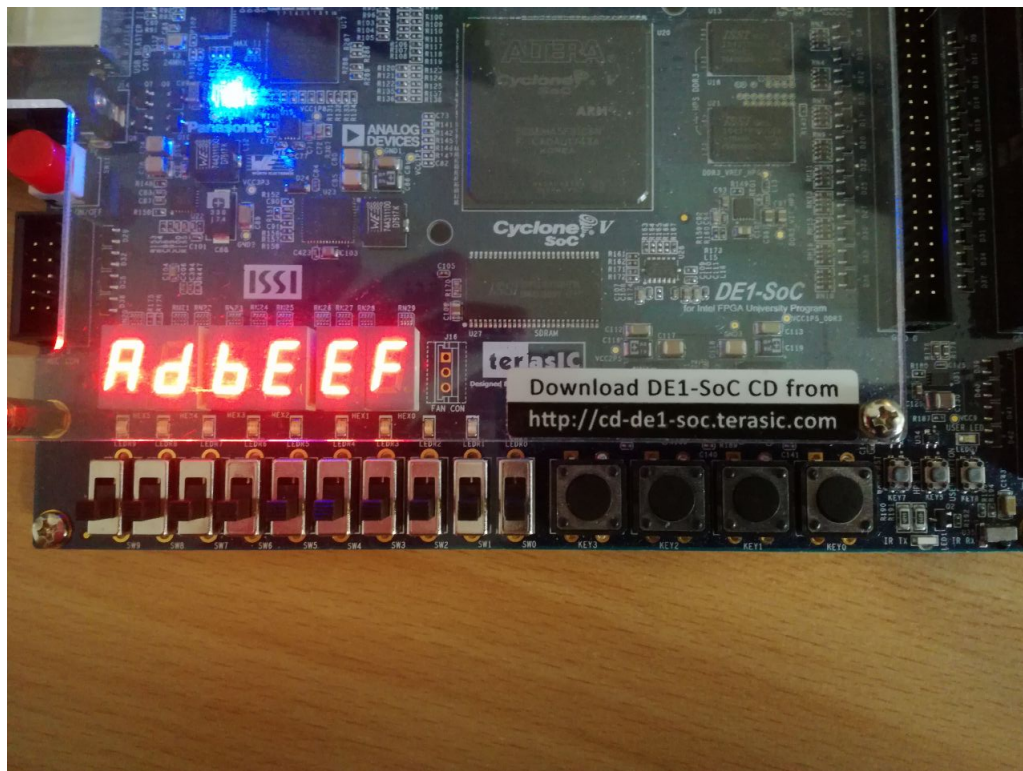


FIGURE 9 – Laboratoire 5 : Appuis sur key 0, switch down

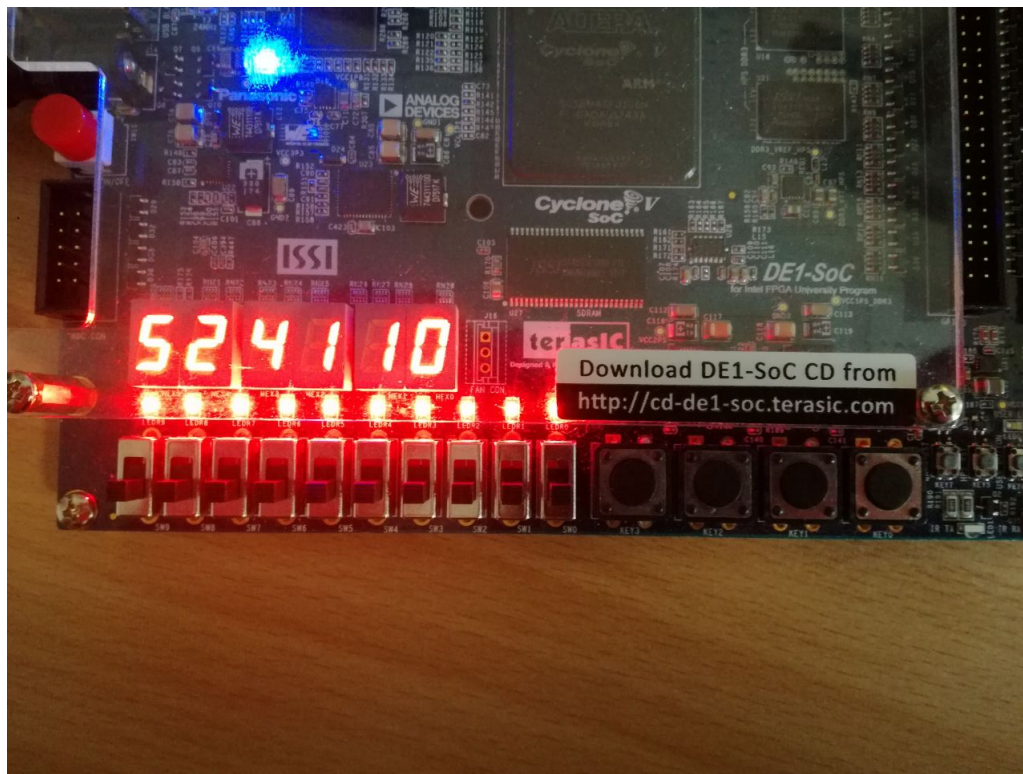


FIGURE 10 – Laboratoire 5 : Appuis sur key 1, switch down
La spécification des leds est respectée, ainsi que la spécification des afficheurs 7 segments. la constante étant (0xDEADBEEF), on voit apparaître l'état des bits 23 à 0 dans le cas d'un appui sur key 0 (ADBEEF), et l'état inverse dans le cas d'un appui sur key 1. J'ai par la suite alterné les switch en en laissant un up et un down, en commençant avec le switch 9 down, et j'ai répéter la même action qu'auparavant :

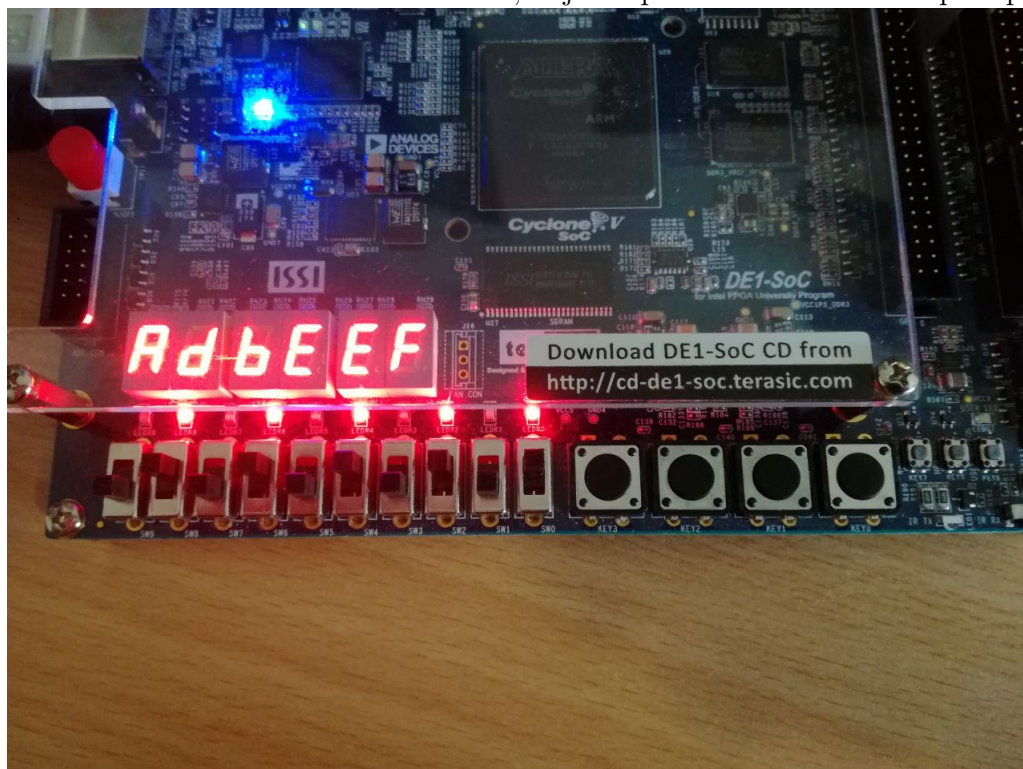


FIGURE 11 – Laboratoire 5 : Appuis sur key 0, switch alternés

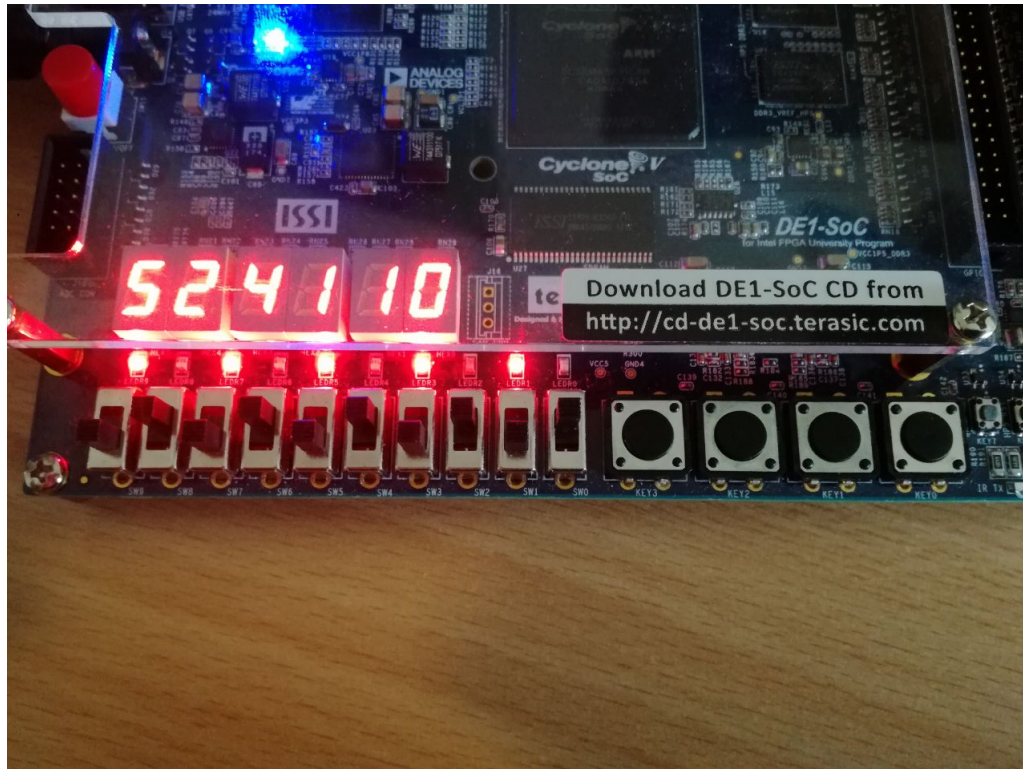


FIGURE 12 – Laboratoire 5 : Appuis sur key 1, switch alternés

On peut voir ici que le fonctionnement est correct. J'ai finalement testé les interruptions en appuyant 2 fois sur le bouton key 3 puis 1 fois sur le bouton key 2 :

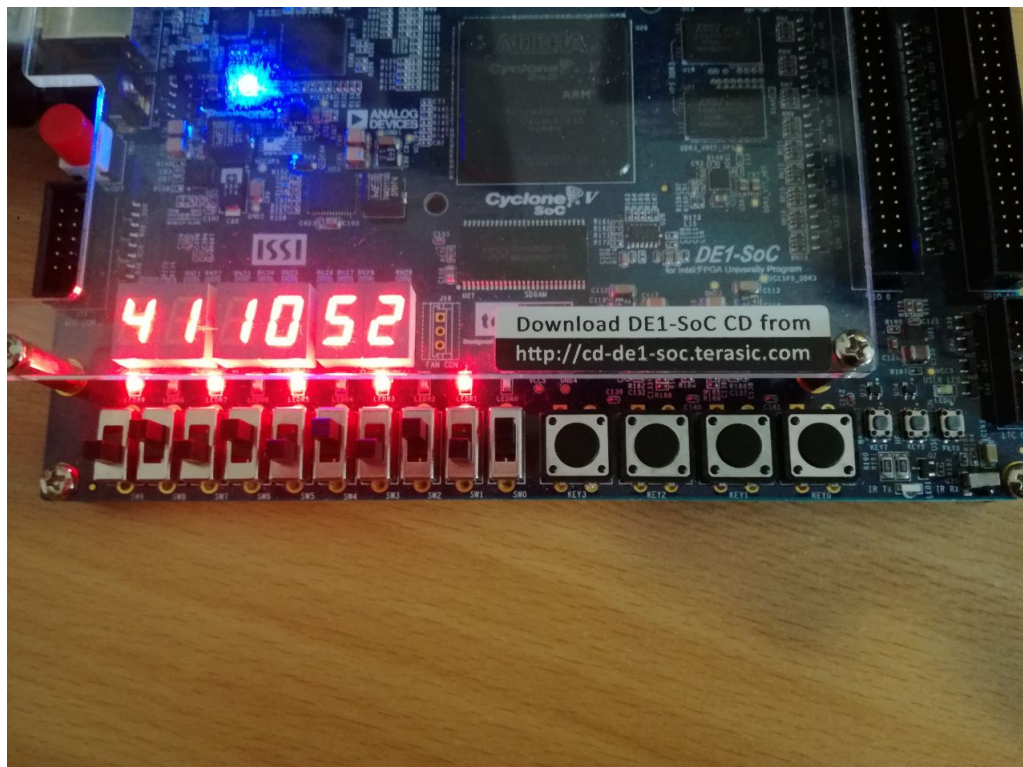


FIGURE 13 – Laboratoire 5 : 2 Appuis sur key 3

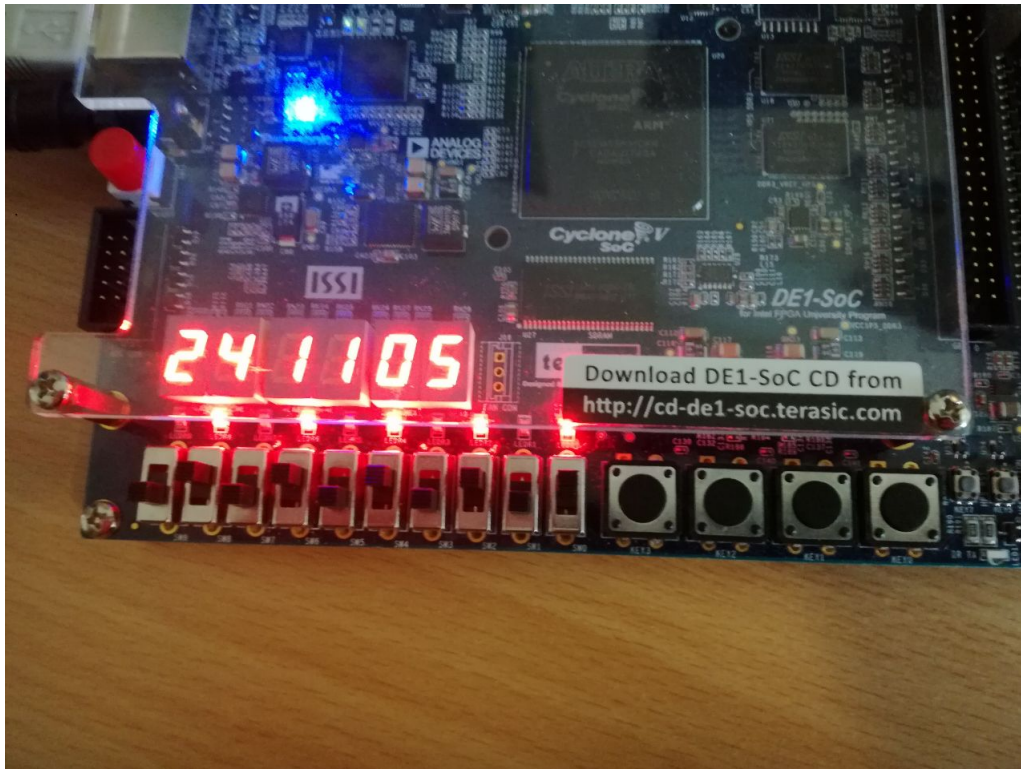


FIGURE 14 – Laboratoire 5 : 1 Appuis sur key 2

Ici à nouveau, le fonctionnement est correct et le résultat correspond à la spécification fournie.

5 Conclusion

Ce laboratoire nous a permis de comprendre le principe d'ajout d'IP à un projet existant. De plus, il nous a permis de comprendre les concepts et les timings qui se retrouvent impliqués dans un bus Axi lite. La partie la plus dure a été pour moi la gestion des timings, du moins c'est la partie qui m'a pris le plus de temps afin d'obtenir un résultat correct. Ce laboratoire m'a de plus permis de me familiariser avec l'outil Signal Tap 2, ce qui est un plus pour la suite.

6 Signatures

Yverdon-les-Bains le 12 mai 2020

Pierrick Muller

Table des figures

1	Laboratoire 5 : Signals et Interfaces	6
---	---	---

2	Laboratoire 5 : Projet Qsys	7
3	Laboratoire 5 : Timing read	9
4	Laboratoire 5 : Timing write	9
5	Laboratoire 5 : Timing implémentation bus axi lite	9
6	Laboratoire 5 : Write avec différents strobes	10
7	Laboratoire 5 : Read après different strobes	10
8	Laboratoire 5 : Read Signal Tap 2	10
9	Laboratoire 5 : Appuis sur key 0, switch down	11
10	Laboratoire 5 : Appuis sur key 1, switch down	12
11	Laboratoire 5 : Appuis sur key 0, switch alternés	12
12	Laboratoire 5 : Appuis sur key 1, switch alternés	13
13	Laboratoire 5 : 2 Appuis sur key 3	13
14	Laboratoire 5 : 1 Appuis sur key 2	14