

Laboratoire VSN

semestre de printemps 2020 - 2021

Exercices de vérification SystemVerilog

Vérification d'un registre à décalage par vérification formelle


Exercice

1. Reprenez le code du registre, ainsi que les fichiers associés.
2. Observez le wrapper et le *binding*.
3. Placez des assertions dans le fichier `src_tb/shiftregister_assertions.sv`.
4. Lancez QuestaFormal, depuis le répertoire `comp`, via la commande suivante :

```
qverify -do ../scripts/check.do
```

Attention! Si vous n'avez pas mis d'assertions il est normal que le code ne compile pas!

5. Modifiez vos assertions pour qu'elles vérifient correctement le registre à décalage.
6. Pour valider vos assertions, insérez des erreurs dans le code du registre à décalage.

 QuestaFormal crée des liens symboliques et il se peut que si vous travaillez dans un dossier partagé VirtualBox ceci ne fonctionne pas. Si c'est le cas, travaillez dans un répertoire local de la machine virtuelle.