

# Laboratorio 3

Pietro Faraggiana

2022/2023

# Indice

<b>I</b>	<b>Elettronica analogica</b>	<b>4</b>
<b>1</b>	<b>Circuiti lineari</b>	<b>5</b>
1.1	Richiamo sui circuiti lineari . . . . .	5
1.2	Teoremi per i circuiti lineari . . . . .	7
1.3	Circuiti in alternata . . . . .	8
1.3.1	Circuiti con condensatori in DC . . . . .	8
1.3.2	Circuiti con condensatori in AC . . . . .	9
1.3.3	Circuito passa-alto . . . . .	11
1.4	Diodo a giunzione . . . . .	11
1.5	Quadripoli . . . . .	12
1.5.1	Approssimazione lineare . . . . .	13
1.5.2	Generatori dipendenti . . . . .	14
1.5.3	Calcolo del guadagno $A_v$ di un amplificatore . . . . .	15
<b>2</b>	<b>Dispositivi a semiconduttore</b>	<b>18</b>
2.1	Transistor BJT . . . . .	18
2.1.1	Rappresentazione a parametri h del BJT in zona attiva ad emettitore comune . . . . .	20
2.2	Amplificatore CE (common emitter) con BJT . . . . .	20
2.2.1	Componente DC . . . . .	21
2.2.2	Componente a piccolo segnale (AC) . . . . .	21
2.2.3	Effetto Miller . . . . .	22
2.3	Amplificatore a collettore comune . . . . .	23
2.4	Circuito not (inverter) con BJT . . . . .	23
2.5	Altri circuiti BJT . . . . .	24
2.5.1	Transistor Darlington . . . . .	24
2.5.2	Emitter follower con Darlington . . . . .	24
2.5.3	Push-pull . . . . .	24
<b>3</b>	<b>Amplificatori operazionali</b>	<b>25</b>
3.1	Amplificatore differenziale . . . . .	25
3.1.1	Architettura . . . . .	26
3.2	Amplificatore differenziale con BJT ("emitter-coupled") . . . . .	26
3.3	Amplificatore invertente con OPAMP . . . . .	26
3.4	Amplificatore non invertente . . . . .	27
3.5	Sommatore invertente . . . . .	27
3.6	Amplificatore differenziale (a guadagno controllato) . . . . .	27
3.7	Amplificatori con impedenze complesse . . . . .	27
3.8	Filtri attivi con OPAMP . . . . .	27
3.8.1	Integratore di Miller . . . . .	28
3.8.2	Derivatore ideale . . . . .	28
3.8.3	Derivatore reale . . . . .	28
3.9	Caratteristiche reali degli OPAMP . . . . .	29

<b>4</b>	<b>Circuiti non lineari</b>	<b>31</b>
4.1	Discriminatore . . . . .	31
4.2	Comparatore con isteresi (trigger di Schmitt) . . . . .	32
4.2.1	Trigger di Schmitt invertente . . . . .	33
4.3	Generazione di segnali a due stadi (multivibratori) . . . . .	33
4.3.1	Multivibratore astabile . . . . .	34
4.3.2	Multivibratore monostabile . . . . .	35
4.4	Circuito TOT (time over threshold) . . . . .	35
<b>5</b>	<b>Feedback</b>	<b>37</b>
5.1	Feedback negli amplificatori . . . . .	37
5.1.1	Interpretazione geometrica . . . . .	38
5.2	Proprietà di feedback negativo negli amplificatori . . . . .	38
5.2.1	Desensibilizzazione del guadagno . . . . .	38
5.3	Le topologie di feedback negli amplificatori . . . . .	38
5.3.1	Classificazione degli amplificatori . . . . .	39
5.4	Criterio di stabilità . . . . .	41
5.5	Criterio di Nyquist . . . . .	42
<b>6</b>	<b>Oscillatori sinusoidali</b>	<b>43</b>
6.1	Oscillatore a sfasamento . . . . .	44
6.2	Oscillatore a ponte di Wien . . . . .	44
<b>II</b>	<b>Elettronica digitale</b>	<b>46</b>
<b>7</b>	<b>Sistemi logici</b>	<b>47</b>
7.1	Introduzione . . . . .	47
7.2	Sistemi di numerazione . . . . .	47
7.2.1	Il sistema binario . . . . .	47
7.2.2	Numeri binari frazionari . . . . .	47
7.2.3	Codifica di numeri binari in un computer . . . . .	48
7.3	Porte logiche . . . . .	48
7.3.1	Caratteristiche delle porte logiche . . . . .	50
7.3.2	Famiglie di porte logiche . . . . .	50
7.4	Porta NOT TTL nel dettaglio . . . . .	51
7.5	Algebra di Boole . . . . .	51
7.5.1	Identità Booleane . . . . .	51
7.6	Leggi di De Morgan . . . . .	52
7.7	Forme standard di funzioni logiche . . . . .	52
7.8	Mappe di Karnaugh . . . . .	53
7.9	Don't care e display a sette segmenti . . . . .	53
7.9.1	Il codice Gray . . . . .	54
7.10	Operazioni aritmetiche . . . . .	55
7.10.1	Half-Adder . . . . .	55
7.10.2	Full-Adder . . . . .	55
7.10.3	Rappresentazione dei numeri negativi . . . . .	56
7.10.4	Sommatore e sottrattore . . . . .	56
7.11	Comparatori digitali . . . . .	56
7.12	Parità di un numero binario . . . . .	56
<b>8</b>	<b>Logica sequenziale</b>	<b>58</b>
8.1	Latch . . . . .	58
8.1.1	Latch con NOR . . . . .	58
8.1.2	Latch con NAND . . . . .	59
8.1.3	Latch di tipo D . . . . .	60
8.2	Flip-Flop . . . . .	60
8.2.1	Master slave . . . . .	60
8.2.2	FF JK . . . . .	61

8.2.3	FF Edge triggered . . . . .	61
8.2.4	FF D . . . . .	61
8.3	Shift-Register . . . . .	61
8.4	Applicazioni di FF e SR . . . . .	63
8.4.1	Generazione di sequenze . . . . .	63
8.4.2	Johnson Counter . . . . .	63
8.5	Generazione di sequenze pseudocasuali . . . . .	63
8.5.1	Contatori asincroni (ripple counter) . . . . .	63
8.6	Contatori sincroni . . . . .	64
8.6.1	Carry in serie . . . . .	64
8.6.2	Carry in parallelo . . . . .	64
8.7	Macchine a stati finiti . . . . .	64
8.7.1	Macchina di Moore . . . . .	65
8.7.2	Macchina di Mealy . . . . .	66
<b>9</b>	<b>Logica complessa</b>	<b>67</b>
9.1	Memorie . . . . .	67
9.1.1	Struttura di una ROM . . . . .	67
9.2	PLA: Programmable Logic Array . . . . .	68
9.3	Multiplexer . . . . .	68
9.4	Demultiplexer . . . . .	69
9.5	Universal shift register . . . . .	70
9.6	Analog Digital conversion . . . . .	70
9.7	Digital Analog conversion . . . . .	71
9.8	Realizzazione DAC: DAC a sommatore . . . . .	71
9.9	ADC a gradinata . . . . .	72
9.10	ADC FLASH . . . . .	72

**Parte I**

**Elettronica analogica**

# Capitolo 1

## Circuiti lineari

### 1.1 Richiamo sui circuiti lineari

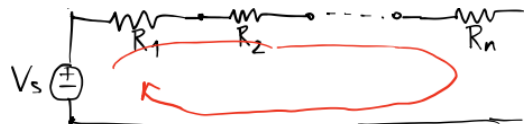
Un circuito è una rete di elementi che forma una connessione chiusa. Un circuito può essere suddiviso in tre parti: nodi, rami e maglie. La legge di conservazione della carica impone che la corrente uscente da un nodo sia uguale a quella entrante e che in un ramo scorra corrente uguale in tutti i punti (prima legge di Kirchhoff). La conservatività del campo elettrico invece ci dà la seconda legge di Kirchhoff che dice che la somma dei potenziali di una maglia è 0.

**Leggi di Kirchhoff:**

- $\sum_i V_k = 0$  per ogni maglia (LKM);
- $\sum_i I_k = 0$  per ogni nodo (LKN);
- Esiste inoltre una terza legge di Kirchhoff che permette di ricavare il numero di equazioni delle maglie indipendenti ovvero: dati  $r$  rami e  $n$  nodi, il numero di maglie indipendenti  $m$  è

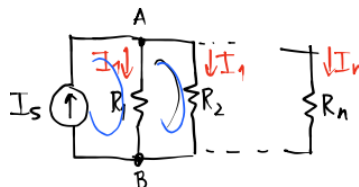
$$m = r - (n - 1).$$

I circuiti lineari sono quelli dove sono presenti esclusivamente elementi che presentano relazioni V-I lineari. Vediamo un esempio di circuito dove abbiamo una maglia, un generatore e varie resistenze:



$$V_S = I \sum_{k=1}^n R_k.$$

Il potenziale ai capi di ogni elemento in serie cambia, mentre per la corrente è uguale in tutto il circuito. Vediamo adesso come si comportano più resistenze in parallelo:



In questo caso è la corrente a cambiare mentre la differenza di potenziale è la stessa ai capi di tutte le resistenze e abbiamo quindi

$$I_s = \sum_{k=1}^n \frac{V_{A\ B}}{R_k}.$$

Con questi due circuiti è possibile anche realizzare partitori di tensione e di corrente

$$V_j = R_j I = \frac{R_j}{\sum_k R_k} V_s;$$

$$I_k = \frac{V_{AB}}{R_k} = \frac{R_p}{R_k} I_s.$$

## Generatori

Possiamo vedere un generatore come una pompa: un generatore di corrente<sup>1</sup> sarà una pompa con portata costante, mentre un generatore di tensione<sup>2</sup> sarà una pompa con un dislivello costante. Un generatore è detto ideale se mantiene costante la differenza di potenziale ai suoi capi e ha una resistenza interna pari a 0. Introduciamo anche la legge di riscaldamento di Joule

$$P_L = \frac{V_S^2}{R_L} \xrightarrow{R_L \rightarrow 0} \infty$$

dove  $R_L$  è la resistenza di carico (load), la resistenza interna (e tutte le quantità riferite al generatore) è indicata invece con il subscript S. Un generatore di corrente è ideale se produce la stessa corrente indipendentemente da  $R_L$ , ovvero ha resistenza interna che tende ad infinito (la resistenza interna di un generatore di corrente è in parallelo al generatore).

## Circuito aperto

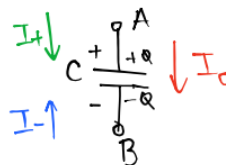
Un circuito aperto è un collegamento fra due punti di un circuito elettrico la cui resistenza elettrica tende all'infinito, pertanto è attraversato da una corrente nulla indipendentemente dalla tensione applicata ai suoi terminali.

## Cortocircuito

Un cortocircuito è un collegamento fra due punti di un circuito elettrico che ha resistenza prossima a zero. Esso impone una tensione nulla (o trascurabile) ai capi del circuito ma non vincoli sulla corrente che passa attraverso di esso, che può assumere valori molto elevati.

## Condensatore

Un condensatore viene rappresentato dal simbolo:



La sua relazione fondamentale è

$$\frac{dQ}{dt} = I_C = C \frac{dV_C}{dt},$$

che ci porta ad una relazione integrale per la differenza di potenziale ai suoi capi

$$V_C(t) = V_C(0) + \frac{1}{C} \int_0^t I_C(t') dt'.$$

$V_C$  è una funzione continua nel tempo ed è quindi possibile scrivere le relazioni di carica e di scarica:

$$V(t) = \frac{Q(t)}{C} = \mathcal{E} \left( 1 - e^{-t/\tau} \right) \quad \text{Carica};$$

$$V(t) = \frac{Q(t)}{C} \rightarrow V(t) = V_0 \cdot e^{-\frac{t}{RC}} = V_0 \cdot e^{-\frac{t}{\tau}} \quad \text{Scarica}.$$

<sup>1</sup>Indicato con una freccia verso l'altro (indipendentemente che sia corrente continua o alternata).

<sup>2</sup>Oltre ai classici simboli di tensione continua o alternata esiste il simbolo generale indicato banalmente da un "+" sopra un "-".

## Induttore

In un induttore, indicato da



il campo elettrico non è più conservativo e la sua relazione fondamentale è la legge di Faraday

$$\oint_{\gamma} \vec{E} \cdot \vec{l} = -\frac{d\Phi}{dt} = -L\dot{I} = \Delta V.$$

## 1.2 Teoremi per i circuiti lineari

### Teorema di sovrapposizione degli effetti (TSE)

In un circuito dove sono presenti più generatori, la soluzione del circuito è data dalla sovrapposizione delle varie soluzioni ottenute prendendo i generatori uno per uno e passivando<sup>3</sup> gli altri. Il TSE è diretta conseguenza della linearità delle relazioni V-I e delle LKM, LKN. Questo Teorema è il teorema che qualifica i circuiti lineari in quanto tali.

### Teorema di sostituzione

In un circuito una qualsiasi resistenza  $R$  percorsa da una corrente  $I$  può essere sostituita da un generatore di tensione  $V = RI$ ; analogamente, se ai capi di  $R$  c'è una d.d.p. pari a  $V$ , essa può essere sostituita da un generatore di corrente  $I = V/R$ .

### Teorema di Thevenin

Una qualsiasi rete lineare attiva (cioè contenente uno o più generatori) collegata a due terminali in uscita è equivalente ad un generatore di tensione reale con f.e.m. pari alla d.d.p. a "circuito aperto" (ossia quella misurata avendo scollegato il bipolo in uscita) e di resistenza interna pari a quella della rete passiva (a generatori spenti) misurata tra gli stessi terminali".<sup>4</sup>

### Teorema di Norton

Una qualsiasi rete che soddisfi le stesse ipotesi del teorema di Thevenin è equivalente ad un generatore di corrente reale pari alla corrente di "corto-circuito" (ossia quella misurata avendo cortocircuitato i terminali di uscita) e resistenza interna pari a quella di Thevenin (ossia quella della rete passiva vista dagli stessi terminali).

### Dualità Thevenin-Norton

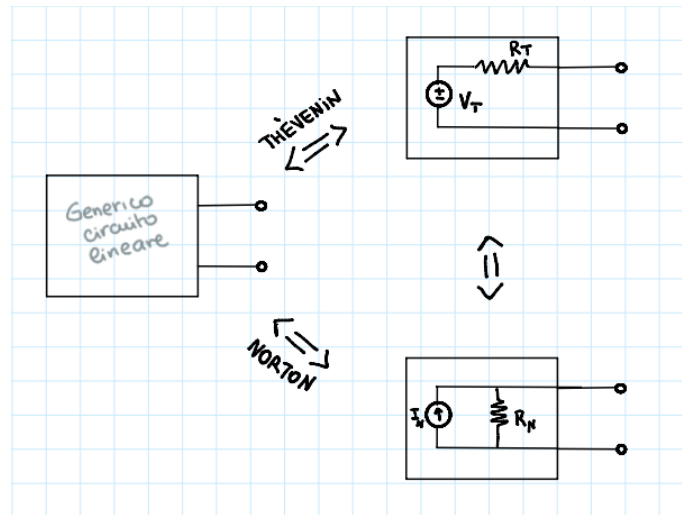
Gli ultimi due teoremi enunciati sono equivalenti, si preferisce utilizzare Thevenin nei casi in cui  $R_{AB} \ll R$ , ovvero nel caso in cui il generatore equivalente abbia caratteristiche prossime a quelle di un generatore di f.e.m. ideale; altrimenti si preferisce utilizzare Norton. Osserviamo infine che

$$R_N = R_T = \frac{\text{d.d.p. misurata a terminali aperti}}{\text{corrente misurata a terminali cortocircuitati}}.$$

<sup>3</sup>La funzione del generatore è identicamente nulla (sostituire un generatore di funzione con un corto e generatore di corrente con un aperto).

<sup>4</sup>Per utilizzare questi due teoremi nella risoluzione analitica di circuiti è possibile utilizzare il teorema di Millman oppure il metodo dei partitori (disegnare un circuito in linea retta scrivendo tutte le uscite di tensione cercate e poi risolverlo come se fosse un partitore).





### Teorema di Millman

In un circuito a 2 nodi (bi-nodale, ovvero costituito da  $n$  rami tutti derivati da due nodi) alimentato da più generatori di corrente ( $I_1, \dots, I_n$ ) e di tensione ( $V_1, \dots, V_m$ ), la d.d.p. tra i due nodi si esprime come

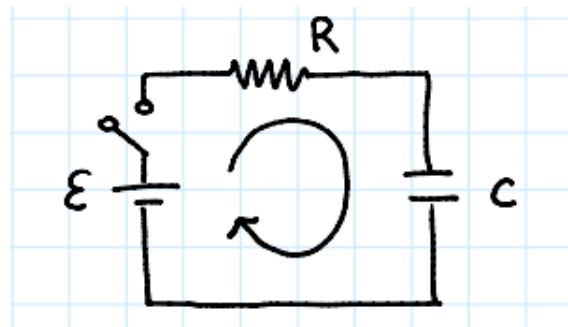
$$V_{AB} = \frac{\sum_{k=1}^n I_k + \sum_{k=1}^m \frac{V_k}{R_k}}{\sum G_k}$$

dove  $G_k = R_k^{-1}$  è la conduttanza. Possiamo usare Millman per trovare i generatori di Thevenin e Norton (in alternativa allo schematizzare come partitori).

## 1.3 Circuiti in alternata

### 1.3.1 Circuiti con condensatori in DC

Partiamo con un caso di corrente alternata "manuale", ovvero una corrente continua con un interruttore che possiamo chiudere e aprire a piacimento (supponiamo di permettere il passaggio di corrente successivamente a  $t = 0$ )



L'equazione di maglia è

$$\begin{cases} \varepsilon = RI + V_C \\ I = C \dot{V}_C, \end{cases}$$

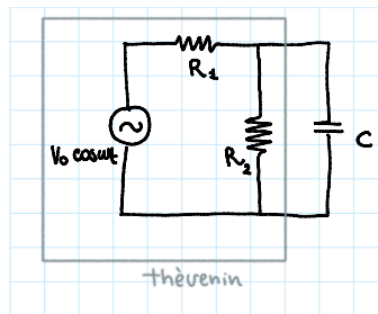
la soluzione è simile alle equazioni di carica e scarica (ed infatti vale per entrambi i casi) del condensatore con l'aggiunta del termine  $\bar{V}$  che indica la d.d.p. ai capi del condensatore a  $t = 0$ :

$$V_C(t) = \underbrace{\varepsilon}_{\text{soluzione regime}} + \underbrace{(\bar{V} - \varepsilon)e^{-\gamma t}}_{\text{transiente}},$$

dove  $\gamma = 1/\tau = 1/RC$ .

### 1.3.2 Circuiti con condensatori in AC

Prendiamo adesso un circuito effettivamente in alternata.



Se vogliamo trovare la tensione ai capi del condensatore ci troviamo con la stessa equazione di prima, ma questa volta la tensione non è costante, dunque per risolvere l'integrale dobbiamo integrare due volte per parti. Decidiamo quindi di usare il linguaggio dei fasori per risolvere il problema più facilmente: la soluzione è formata da un termine di regime ed il transiente

$$V_c(t) = \underbrace{V_c'(t)}_{\text{Regime}} + \underbrace{ae^{\lambda t}}_{\text{Transiente}}$$

dove  $\lambda = -\gamma = -1/RC$ . Per tempi  $\gg$  del tempo caratteristico  $\tau$  il transiente è trascurabile, rimaniamo quindi con

$$V_c'(t) = A \cos(\omega t + \phi)$$

$$A = |\hat{V}_c| \quad \hat{V}_c = \text{fasore di } V_c$$

$$\phi = \arg(\hat{V}_c)$$

che possiamo riscrivere come  $V_c'(t) = \text{Re}\{Ae^{j\phi}e^{j\omega t}\}$ . Abbiamo trovato la tensione ai capi del condensatore, adesso ci chiediamo quanto sia il guadagno in tensione ai capi del condensatore rispetto alla tensione del generatore; prendiamo l'equazione del circuito

$$\hat{V}_S = \hat{V}_R + \hat{V}_C,$$

dove  $\hat{V}_C = \frac{1}{j\omega C}\hat{I}$  e  $\hat{V}_R = R\hat{I}$ <sup>5</sup>; la corrente è  $\hat{I} = j\omega C\hat{V}_C$ . A questo punto possiamo vedere il guadagno come il rapporto tra tensione in uscita ed in ingresso:

$$\left| \frac{\hat{V}_c}{\hat{V}_s} \right| = |A_V| = \left| \frac{1}{1 + Rj\omega C} \right|.$$

Essendo la corrente alternata è logico chiedersi se ci sia uno sfasamento tra le due tensioni

$$\begin{aligned} \phi &= \arg(\hat{V}_c) - \arg(\hat{V}_s) \\ &= \arg\left(\frac{\hat{V}_c}{\hat{V}_s}\right). \end{aligned}$$

Prima di procedere con la rappresentazione grafica di  $A_V$  vale la pena citare l'impedenza, ovvero l'opposizione del circuito al passaggio di corrente alternata (in un certo senso è la generalizzazione complessa della resistenza):

- per le resistenze

$$\hat{Z} = R:$$

- per i condensatori

$$\hat{Z} = \frac{1}{j\omega C};$$

- per gli induttori

$$\hat{Z} = j\omega L.$$

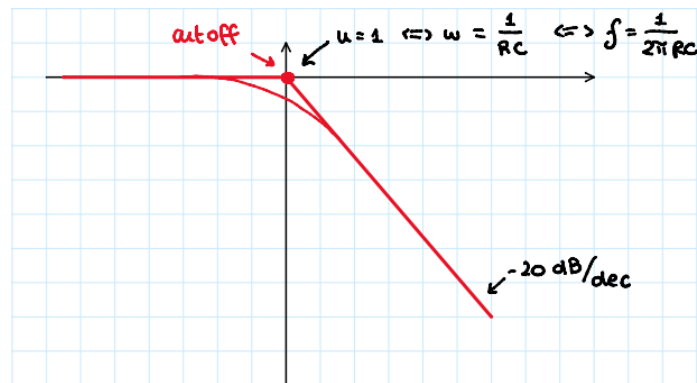
<sup>5</sup>Queste, con l'aggiunta di  $\hat{V}_L = j\omega L\hat{I}$ , formano le leggi di Ohm generalizzate.

## Rappresentazione grafica di $A_V$

Il circuito che abbiamo trattato è un filtro passa-basso, ovvero un circuito che lascia passare invariati i segnali con frequenza al di sotto della frequenza di taglio

$$f = \frac{1}{2\pi RC}.$$

Quando abbiamo frequenze alte ( $\omega RC \gg 1$ ), il circuito si comporta come un integratore. Il comportamento dei circuiti con dipendenza dalla frequenza vengono spesso graficati nel plot di Bode, un grafico che presenta l'ampiezza, ovvero il modulo del guadagno, (in dB,  $20\log_{10}|A_V|$ ) in funzione della frequenza. Riporto qui il plot di bode in funzione di  $u = \omega RC$



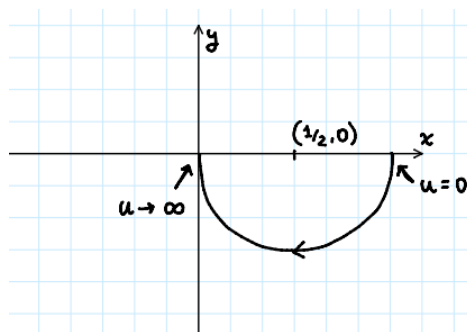
$$|A_V| = \frac{1}{\sqrt{1+u^2}} \begin{cases} u \ll 1 & |A_V| \approx 1 \\ u \gg 1 & |A_V| \approx \frac{1}{u} \end{cases}$$

Con alcuni facili calcoli ci possiamo accorgere che alla frequenza di taglio abbiamo un guadagno di  $-3$  dB.

Oltre ai plot di Bode e di fase, un altro plot di uso comune è quello di Nyquist. Il plot di Nyquist riporta la parte immaginaria della funzione in funzione della sua parte reale, dunque

$$\begin{aligned} x : A'_V &= \operatorname{Re}(A_V) = \operatorname{Re}\left(\frac{1}{1+ju}\right) = \frac{1}{1+u^2} \\ y : A''_V &= \operatorname{Im}(A_V) = \operatorname{Im}\left(\frac{1}{1+ju}\right) = -\frac{u}{1+u^2}. \end{aligned}$$

Il grafico che otteniamo è una circonferenza di raggio  $1/20$  e centro  $(1/2, 0)$ .



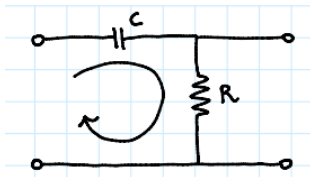
Tra la parte reale e la parte immaginaria del guadagno, intercorre la relazione

$$\begin{aligned} \operatorname{Im}[A_V(u)] &= -\frac{1}{\pi} p \int_{-\infty}^{\infty} \frac{\operatorname{Re}[A(x)]}{x-u} dx \\ &= -\frac{1}{\pi} \lim_{\varepsilon \rightarrow 0^+} \left[ \int_{-\infty}^{u-\varepsilon} \dots + \int_{u+\varepsilon}^{\infty} \dots \right] \end{aligned}$$

Questo integrale si chiama trasformata di Hilbert.

### 1.3.3 Circuito passa-alto

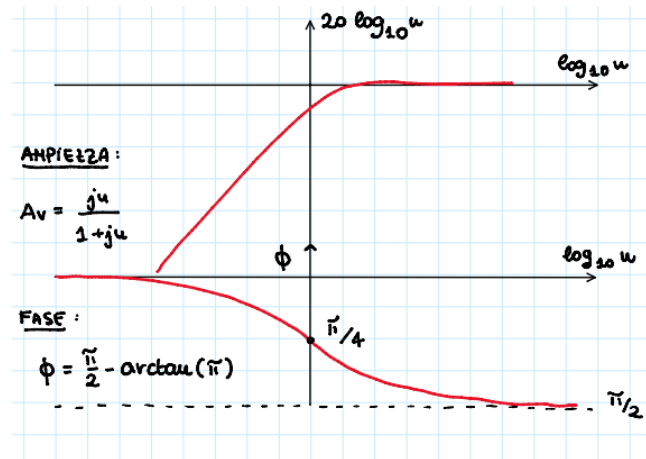
Abbiamo visto il filtro passa-basso, è logico andare a studiare quello passa-alto.



Usando i fasori otteniamo

$$A_v = 1 - \frac{1}{1 + ju} = \frac{ju}{1 + ju}.$$

Ora vediamo i plot di bode e fase:

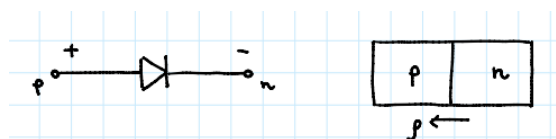


A basse frequenze ( $u \ll 0$ ) abbiamo un circuito derivatore di guadagno

$$A_v \simeq ju = j\omega RC.$$

## 1.4 Diodo a giunzione

Il diodo a giunzione è il primo componente non lineare che guardiamo, nonostante questo può essere utilizzato in circuiti lineari che considerino il suo comportamento (ad esempio un raddrizzatore di tensione è un circuito lineare che utilizza i diodi).



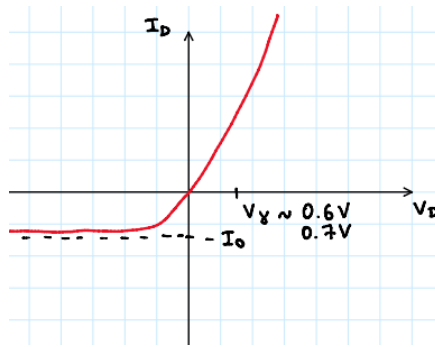
Il diodo è un componente con un campo built-in

$$\begin{aligned} V_j &= \frac{K_B T}{q} e_n \frac{n_n}{n_p} \\ &= \frac{K_B T}{q} e_n \frac{p_p}{p_n} \end{aligned}$$

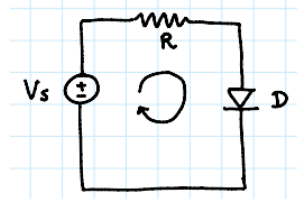
che si comporta da cortocircuito in caso di polarizzazione diretta e come un aperto in caso di polarizzazione inversa. L'equazione di Shockley,

$$I_D(V_D) = I_0 \left[ \exp\left(\frac{V_D}{\eta V_T}\right) - 1 \right],$$

descrive il suo comportamento in caso di correnti non troppo grandi, ovvero fin quando la caduta di potenziale causata dalla resistenza intrinseca del semiconduttore è troppo grande. Il suo andamento è esponenziale per tensioni superiori a quelle di soglia  $V_\gamma$  e per tensioni negative la barriera di potenziale che si viene a creare permette lo scorrere della sola corrente di saturazione inversa.



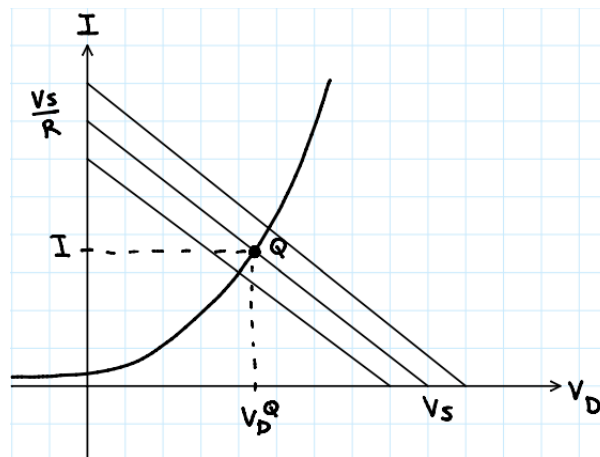
Come abbiamo avuto modo di vedere i circuiti lineari permettono una grande semplicità di calcolo, è quindi logico voler cercare di recuperarla. Consideriamo il circuito



L'equazione di maglia di questo circuito è

$$\begin{cases} V_S = RI + V_D \\ I = I_0[\dots] \end{cases},$$

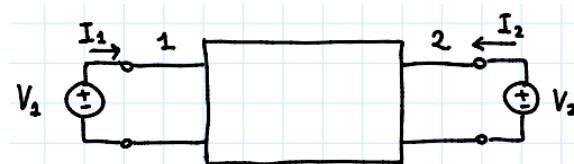
però non è possibile risolverla analiticamente, ma solo graficamente o numericamente.



Suddividiamo  $V_S$  nella sua componente alternata e in quella continua:  $V_S = V_S^Q + v_s$ , la componente alternata deve essere ovviamente piccola per mantenere la polarizzazione desiderata. Nel grafico, le rette ai lati della retta di carico rappresentano l'oscillazione del punto di lavoro al variare di  $v_s$ .

## 1.5 Quadripoli

Supponiamo di avere un circuito a 4 terminali (doppio bipolo) del tipo:



Possiamo scrivere

$$\begin{cases} I_1 = f_1(V_1, V_2) \\ I_2 = f_2(V_1, V_2), \end{cases}$$

oppure analogamente, sostituendo i generatori di tensione con generatori di corrente:

$$\begin{cases} V_1 = f'_1(I_1, I_2) \\ V_2 = f'_2(I_1, I_2). \end{cases}$$

In realtà potremmo anche prendere un'equazione dal primo sistema e una dal secondo e mischiarle come ci pare, abbiamo quindi quattro combinazioni.

### 1.5.1 Approssimazione lineare

Ponendo  $V_1^Q$  come valore costante medio, possiamo sviluppare intorno ad esso (arrestando al primo ordine)

$$V_1 = V_1^Q + \left. \frac{\partial V_1}{\partial I_1} \right|_Q (I_1 - I_1^Q) + \left. \frac{\partial V_1}{\partial I_2} \right|_Q (I_2 - I_2^Q) + o(\dots),$$

poniamo

$$Z_{11} \equiv \left. \frac{\partial V_1}{\partial I_1} \right|_Q$$

$$Z_{12} \equiv \left. \frac{\partial V_1}{\partial I_2} \right|_Q$$

con ovvio analogo per  $V_2$ . Possiamo quindi riscrivere gli sviluppi di  $V_1$  e  $V_2$  come

$$V = \begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = ZI.$$

Questo modello viene chiamato modello a parametri  $Z(R)$ .

In maniera identica prendendo le funzioni di  $I$  avremmo ottenuto

$$i_1 = y_{11}v_1 + y_{12}v_2$$

$$i_2 = y_{21}v_1 + y_{22}v_2,$$

dove

$$y_{jk} = \left. \frac{\partial I_j}{\partial V_k} \right|_Q.$$

Chiamiamo questo modello: modello a parametri  $Y$ ; osservando che non si tratta d'altro che del reciproco del modello  $Z$ .

Un terzo modello è chiamato modello  $H$ , questo è il modello ibrido di  $Y$  e  $Z$ , il sistema che otteniamo è

$$\begin{cases} v_1 = h_{11}i_1 + h_{12}v_2 \\ i_2 = h_{21}i_1 + h_{22}v_2. \end{cases}$$

Questo modello è il più utilizzato, vediamo quindi cosa sono questi parametri più nel dettaglio:

- $h_{11} = h_i$  (caratteristica stadio di ingresso):

$$h_{11} = \left. \frac{v_1}{i_1} \right|_{v_2=0 \Leftrightarrow V_2=V_2^Q}$$

la relazione tra la tensione di ingresso  $V_1$  e la corrente di ingresso  $I_2$ , quando la porta di uscita è aperta (ossia, quando  $I_2 = 0$ ).

- $h_{12} = h_R$  (trasferimento reverse):

$$h_{12} = \left. \frac{v_1}{v_2} \right|_{i_1=0 \Leftrightarrow I_1=I_1^Q}$$

la relazione tra la tensione di ingresso  $V_1$  e la tensione di uscita  $V_2$ , quando la porta di ingresso è cortocircuitata (ossia, quando  $I_1 = 0$ );

- $h_{21} = h_F$  (trasferimento forward):

$$h_{21} = \left. \frac{i_2}{i_1} \right|_{v_2=0 \Leftrightarrow V_2=V_2^Q}$$

la relazione tra la corrente di uscita  $I_2$  e la corrente di ingresso  $I_1$ , quando la porta di uscita è aperta;

- $h_{22} = h_0$  (caratteristica stadio di uscita):

$$h_{22} = \left. \frac{i_2}{v_2} \right|_{i_1=0 \Leftrightarrow I_1=I_1^Q}$$

la relazione tra la corrente di uscita  $I_2$  e la tensione di uscita  $V_2$ , quando la porta di ingresso è cortocircuitata.

Il reciproco di questo modello è quello a parametri M:

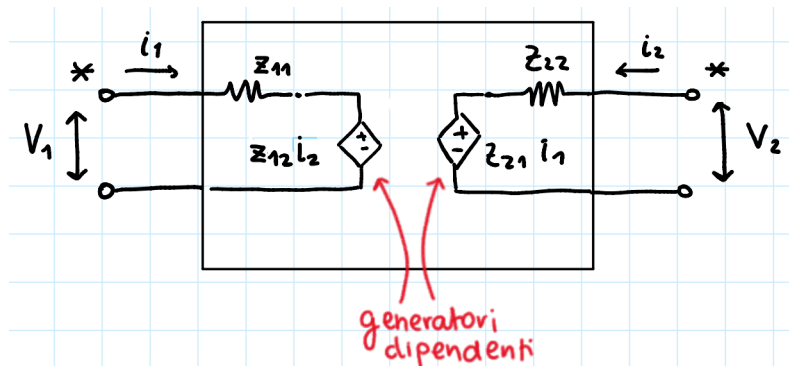
$$\begin{cases} i_1 = m_{11}v_1 + m_{12}i_2 \\ v_2 = m_{21}v_1 + m_{22}i_2 \end{cases}$$

## 1.5.2 Generatori dipendenti

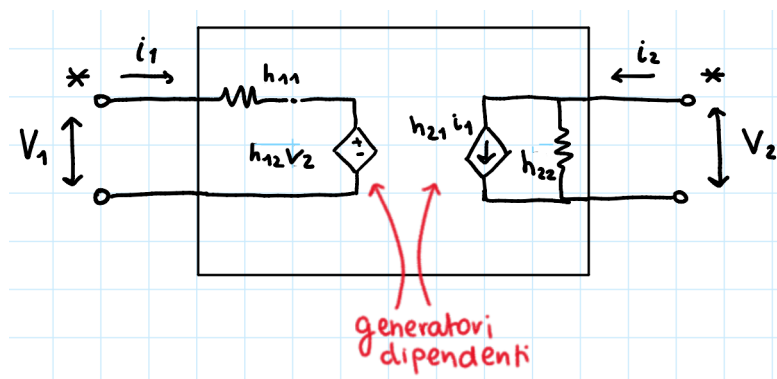
I generatori di tensione/corrente dipendenti sono generatori il cui valore dipende da una grandezza (tensione o corrente) in un altro punto del circuito. I simboli utilizzati per questi generatori sono



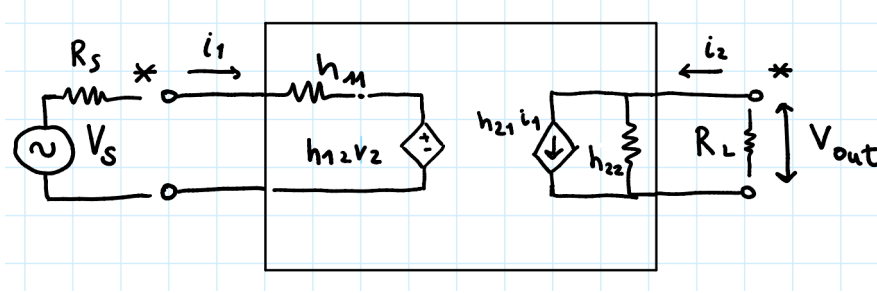
Rappresentazione circuitale modello Z:



Rappresentazione circuitale modello H (in questa immagine e nella prossima è presente un errore, sostituire  $i_2$  con  $v_2$  al generatore di potenziale dipendente):



### 1.5.3 Calcolo del guadagno $A_v$ di un amplificatore



Nel caso ideale ( $R_L \rightarrow \infty, R_S \rightarrow 0$ ),  $i_2 = 0$  si ha

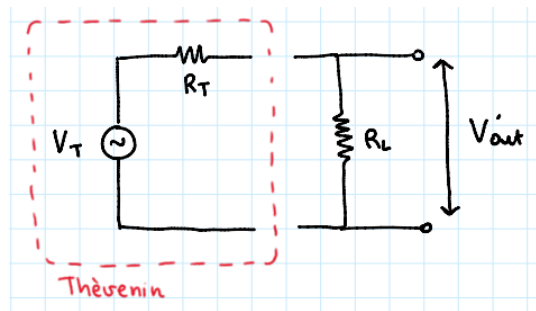
$$i_2 = h_{21} i_1 + h_{22} V_2 = 0$$

$$V_2 = V_{out} = -\frac{h_{21}}{h_{22}} i_1,$$

risolvendo questo sistema troviamo

$$V_{in} = v_1 = h_{11} i_1 + h_{12} i_2 \Rightarrow A_v = \frac{V_{out}}{V_{in}} = -\frac{h_{21}}{|H|}.$$

Questo è valido nel caso ideale. Se invece  $R_L$  è finito usiamo il teorema di Thevenin (il circuito è lineare), sostituendo il bipolo con un circuito equivalente.



Avremo

$$R_T = \frac{V_2 (R_L \rightarrow \infty)}{-i_2 (R_L \rightarrow 0)},$$

dove  $i_2 (R_L \rightarrow 0) = h_{21} i_1 (R_L \rightarrow 0) = \frac{h_{21} V_1}{h_{11}}$ . a questo punto possiamo ritrovarci il guadagno:

$$V_{out} = \frac{R_L}{R_L + R_T} V_T = \frac{1}{1 + \frac{R_T}{R_L}} V_T = \frac{1}{1 + \frac{h_{11}}{|H| R_L}} \left( -\frac{h_{21}}{|H|} V_S \right),$$

segue

$$A'_v = -\frac{h_{21}}{|H| + \frac{h_{11}}{R_L}}.$$

Usando il teorema di Thevenin la resistenza  $R_T$  è diventata a tutti gli effetti l'impedenza di uscita dell'amplificatore.

Ci chiediamo adesso cosa succede se invece l'ipotesi di idealità che cade è quella di  $R_S = 0$ . Innanzitutto  $V_S$  non coincide più con  $V_1$

$$V_1 = V_S - R_S i_1,$$

l'impedenza di ingresso diventa  $R_{in} \equiv V_1 / i_1$ <sup>6</sup>. Possiamo quindi scrivere il fattore di proporzionalità che lega  $V_1$  a  $V_S$

$$V_S = \frac{R_{in}}{R_{in} + R_S} V_1;$$

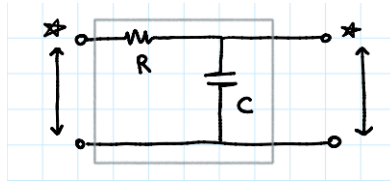
a questo punto possiamo procedere come per il caso ideale e trovare il guadagno.

Vediamo ora alcune applicazioni sui filtri RC.

<sup>6</sup>In realtà con alcuni calcoli si può arrivare anche a  $R_{in} = |H|/h_{22}$ .



## Filtro passa-basso



Usando il modello  $H$  abbiamo

$$H = \begin{pmatrix} R & 1 \\ -1 & j\omega C \end{pmatrix}$$

da cui segue che il guadagno è:

$$A_v = -\frac{h_{21}}{|H|} = -\frac{-1}{1 + j\omega RC} = \frac{1}{1 + j\omega RC}.$$

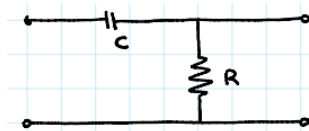
Per quanto riguarda le impedenze abbiamo

$$Z_{in} = R + \frac{1}{j\omega C} = \frac{1 + j\omega RC}{j\omega C} = \frac{|H|}{h_{22}}$$

e

$$Z_{out} = \frac{R}{1 + j\omega RC} = RA_v.$$

## Filtro passa-alto



Analogamente abbiamo:

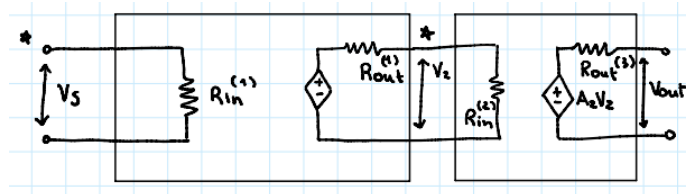
$$H = \begin{pmatrix} \frac{1}{j\omega C} & 1 \\ -1 & \frac{1}{R} \end{pmatrix}$$

e

$$A_v = -\frac{h_{21}}{|H|} = \frac{1}{\frac{1}{j\omega C} + 1} = \frac{j\omega RC}{1 + j\omega RC}$$

## Collegamento in cascata. Filtro passa-banda

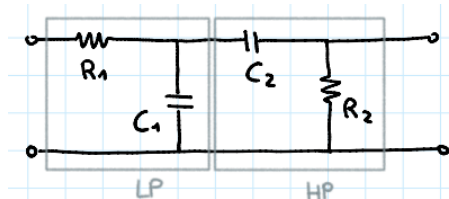
Mettiamo in serie due circuiti amplificatori,



in questi casi avremo

$$V_{out} = A_2 V_2 = A_2 A_1 \frac{R_{in}^{(2)}}{R_{in}^{(2)} + R_{out}^{(1)}} V_S$$

Un circuito di questo tipo è il circuito passa-banda, composto da un derivatore in cascata ad un integratore.



Il guadagno di questo circuito è

$$A = A_1 A_2 \frac{Z_{in}^{(2)}}{Z_{in}^{(2)} + Z_{out}^{(1)}}$$

dove

$$Z_{out}^{(1)} = R_1 A_1,$$

$$Z_{in}^{(2)} = \frac{R_2}{A_2}$$

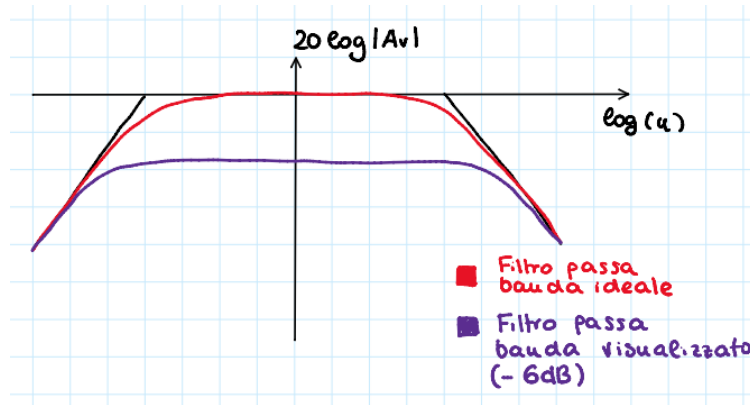
otteniamo quindi

$$A = \frac{1}{\frac{R_1}{R_2} + (A_1 A_2)^{-1}}$$

Idealmente vorremo  $A = A_1 A_2$ , e quindi l'impedenza in uscita dal primo circuito deve essere molto minore di quella in entrata nel secondo, quindi  $R_2 \gg R_1$  (condizione di disaccoppiamento). Ma se  $R_2 \sim R_{in}^{Multimetro}$ , allora bisogna considerare gli effetti di accoppiamento con lo strumento che non conosciamo bene. Quindi scegliamo  $R_2 \sim R_1$ .

Nel caso  $R_2 = R_1$  avremo

$$A = \frac{1}{1 + \underbrace{(A_1 A_2)^{-1}}_{A_0}}$$



Si può dimostrare che il plot di bode dell'ampiezza ha simmetria pari rispetto a  $\log_{10}(u) = 0$  (avremo infatti  $A(1/u) = A(u)$ ) e il plot di bode della frequenza è simmetria dispari rispetto alla stessa frequenza. La parte immaginaria inoltre si annulla per  $u = 1$  e in questo caso l'ampiezza massima

$$|A_v|_{\max} = \frac{1}{2 + \frac{w_2}{w_1}}.$$

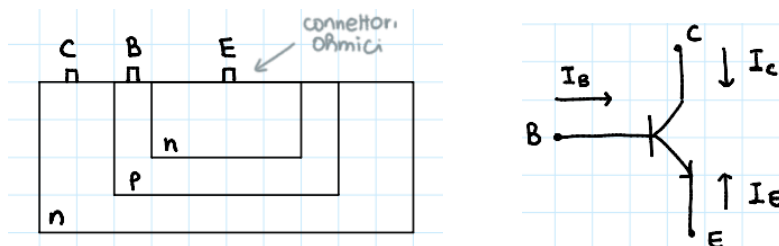
## Capitolo 2

# Dispositivi a semiconduttore

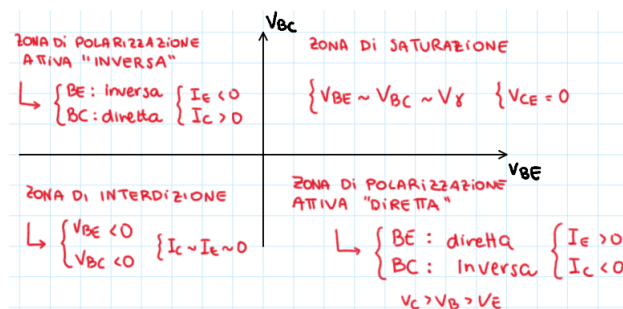
Per evitare ripetitività non riscrivo le caratteristiche dei semiconduttori e le giunzioni p-n. Se necessario guardare slide professore o appunti di Lab 2.

### 2.1 Transistor BJT

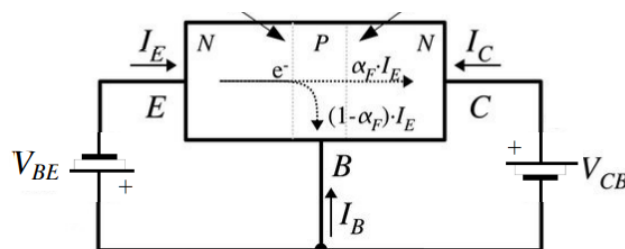
Un transistor BJT ("bipolar junction transistor") è un elemento bipolare, ovvero in cui sono presenti correnti di entrambi i segni.



Come già sappiamo da Lab 2 è asimmetrico e drogato in modo diverso ma comunque sempre alternato (pnp o npn). È diviso in 3 parti concentriche, partendo da quella più interna abbiamo: emettitore, base e collettore. Il BJT si dice polarizzato in zona attiva se sono applicate d.d.p. tali da favorire una corrente di portatori maggioritari nella direzione E→C tramite diffusione nella base; in questo caso la giunzione BE è polarizzata direttamente, quella BC inversamente e abbiamo così l'effetto transistor.



Prendiamo il più facile schema possibile di un transistor



Per la legge dei nodi (e impostando come riferimento le correnti entranti come positive)  $I_E + I_B + I_C = 0$ , scriviamo allora le equazioni di Ebers-Moll

$$I_E = -I_{ES} \left( e^{V_{BE}/\eta V_T} - 1 \right) + \alpha_R I_{CS} \left( e^{V_{BC}/\eta V_T} - 1 \right) \quad (2.1)$$

$$I_C = -I_{CS} \left( e^{V_{BC}/\eta V_T} - 1 \right) + \alpha_F I_{ES} \left( e^{V_{BE}/\eta V_T} - 1 \right) \quad (2.2)$$

in entrambe le equazioni il primo termine è quello dell'equazione di Shockley, mentre il secondo è dato dall'effetto transistor.

Prendiamo ora come riferimento il BJT npn perché più comune (per il pnp basta cambiare i segni). In questo caso abbiamo  $V_{BE} \sim V_\gamma > 0$ ,  $V_{BC} < 0$  dove  $v_\gamma$  indica la differenza di potenziale della giunzione, tipicamente  $\approx 0.7V$  allora possiamo semplificare EM come

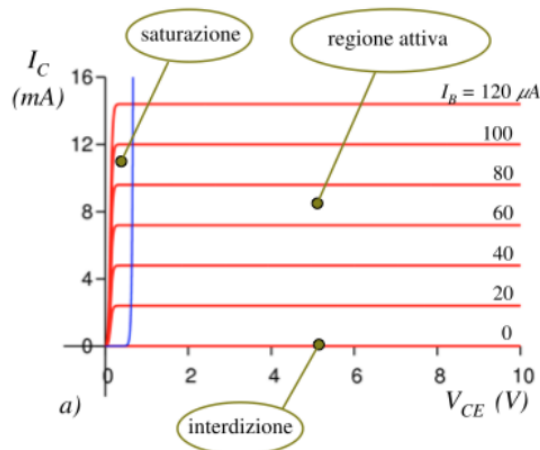
$$I_E = -I_{ES} \left( e^{V_{BE}/\eta V_T} \right) \quad (2.3)$$

$$I_C = \alpha_F I_{ES} \left( e^{V_{BE}/\eta V_T} \right). \quad (2.4)$$

Per un transistor di questo tipo  $\alpha_F \rightarrow 1$  e abbiamo

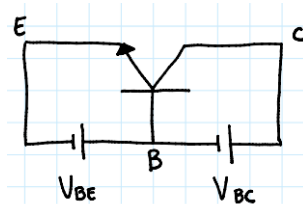
$$I_C = -\alpha_F I_E \Rightarrow I_B = -(I_E + I_C) = (\alpha_F - 1) I_E = \frac{1 - \alpha_F}{\alpha_F} I_C \Rightarrow I_C = \frac{\alpha_F}{1 - \alpha_F} I_B = \beta I_B.$$

Proviamo adesso a scrivere l'equazione caratteristica per una rappresentazione di tipo grafico, scegliamo  $V_{CE} = V_{BE} - V_{BC}$  per le ascisse e  $I_C$  per le ordinate, otterremo

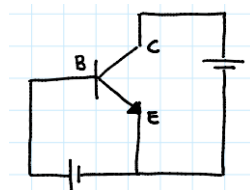


Possiamo configurare un transistor in 3 modi:

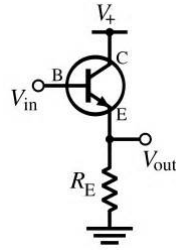
- Base comune (corrisponde al precedente esempio)



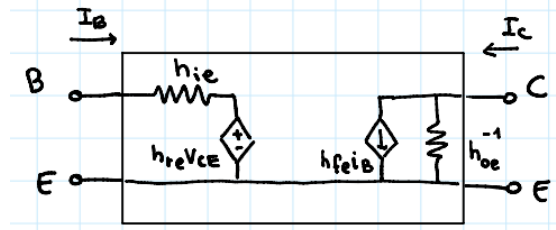
- Emettitore comune



- Collettore comune (emitter follower)



### 2.1.1 Rappresentazione a parametri h del BJT in zona attiva ad emettitore comune



In questo modello abbiamo

$$h_{ie} = h_{11} = \left. \frac{v_{BE}}{i_b} \right|_{v_{CE}=0} = r_d = \frac{\eta V_T}{I_B^Q};$$

$$h_{fe} = h_{21} = \left. \frac{i_c}{i_b} \right|_{v_{CE}=0} = \beta_F;$$

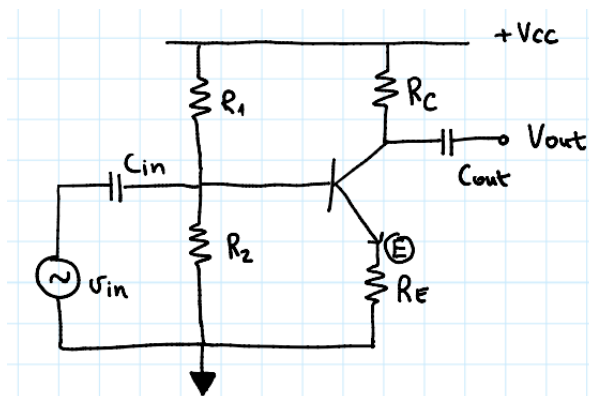
$$h_{oe} = h_{22} = \left. \frac{i_c}{v_{ce}} \right|_{i_b=0} \sim 0,$$

dunque  $I_C$  è (circa) indipendente da  $V_{CE}$  in zona attiva,  $h_{oe}$  corrisponde anche alla pendenza della curva in zona attiva (e infatti al secondo ordine abbiamo l'effetto Early);

$$h_{re} = h_{12} = \left. \frac{v_{BE}}{v_{CE}} \right|_{i_b=0} \simeq 0,$$

spiegabile osservando tramite la curva di Shockley che una grande variazione di  $I_B$  porta ad una piccola variazione di  $V_{BE}$  e essendo  $I_C = \beta I_B$  una piccola variazione di  $I_B$  porta ad una grande variazione di  $I_C$  che (tramite le curve di collettore in zona attiva) porta ad una variazione di  $V_{CE}$  ancora più grande: in conclusione una variazione grandissima di  $V_{CE}$  non ha quasi effetti su  $V_{BE}$ .

## 2.2 Amplificatore CE (common emitter) con BJT

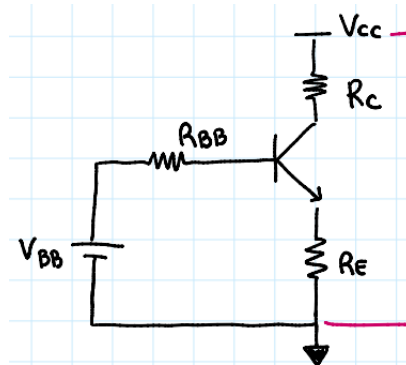


Innanzitutto mettiamo il BJT in zona attiva ( $V_{BE} \sim V_\gamma$ ,  $V_{BC} < 0 \Rightarrow V_{CE} = V_{BE} - V_{BC} > V_\gamma$ ), in queste condizioni il BJT si comporta da circuito lineare. I condensatori servono a bloccare le componenti continue di modo che non interferiscano tra di loro e rendendoci più facile la polarizzazione. Per il teorema di sovrapposizione abbiamo

$$X = X_Q(\text{componente DC}) + x(\text{componente a "piccoli segnali"})$$

### 2.2.1 Componente DC

$C_{in}$  serve a disaccoppiare  $V_s$  da  $V_B^Q$ . Il partitore di tensione formato da  $R_1$  e  $R_2$  è equivalente ad un circuito formato da un generatore DC che crea una d.d.p.  $V_{Th}$  e  $R_{Th}$  (la parte sostituita è quella di sinistra)



dove

$$V_{Th} = \frac{R_2}{R_1 + R_2} V_{CC} = V_{BB} \quad R_{Th} = R_1 // R_2 = R_{BB}$$

segue

$$\begin{aligned} V_{BB} &= R_{BB} I_B^Q + V_{BE}^Q + R_E I_E^Q \\ &= R_{BB} I_B^Q + V_\gamma + R_E \beta_F I_B^Q \end{aligned}$$

con

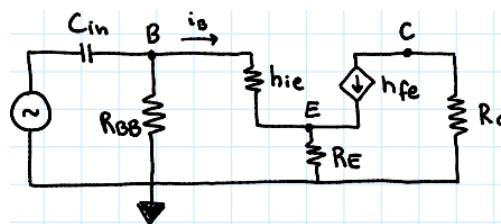
$$\begin{aligned} I_B^Q &= \frac{V_{BB} - V_\gamma}{R_{BB} + \beta_F R_E} \\ I_C^Q &= \beta_F I_B^Q = \frac{V_{BB} - V_\gamma}{R_{BB}/\beta_F + R_E} \approx \frac{V_{BB} - V_\gamma}{R_E}, \quad \text{se } R_E \gg \frac{R_{BB}}{\beta_F} \end{aligned}$$

Questa condizione è chiamata condizione di rigidità del partitore. Sebbene una alta  $R_E$  ci permetta di scegliere un punto di lavoro indipendentemente da  $\beta_F$ , averla troppo alta diminuisce anche il guadagno. Adesso possiamo scrivere l'equazione di maglia, che corrisponde alla retta di carico del transistor:

$$\begin{aligned} V_{CC} &= R_C I_C + V_{CE} + R_E \frac{1 + \beta_F}{\beta_F} I_C; \\ &\cong (R_C + R_E) I_C + V_{CE}. \end{aligned}$$

### 2.2.2 Componente a piccolo segnale (AC)

Prendiamo adesso la componente alternata. Le oscillazioni saranno attorno alla retta di carico, utilizziamo il modello H per studiare il guadagno in tensione.



Il guadagno del circuito deve essere il prodotto dei guadagni delle funzioni di trasferimento (filtro passa alto)  $A_{HP}$  e i guadagni dagli effetti di interfaccia del transistor  $A'_v$  (dunque  $A_v = A_{HP}A'_v$ ). Per quanto riguarda il filtro passa alto abbiamo

$$A_{HP} = \frac{jf/f_H}{1 + jf/f_H}, \quad f_H = \frac{1}{2\pi(R_{BB} // (Z'_{in})C_{in})},$$

dove  $Z'_{in}$  è l'impedenza di ingresso nel quadripolo. Per  $A'_v$  abbiamo due possibilità: diamo precedenza all'ampiezza di guadagno e abbiamo:

$$R_E = 0 \Rightarrow A'_v = -\frac{h_{21}}{|H|} = -\frac{\beta}{h_{11}(h_{22} + \frac{1}{R_C}) - h_{12}h_{21}} = -\frac{\beta R_C}{h_{11}};$$

oppure diamo precedenza alla condizione di rigidità per una maggiore stabilità del punto di lavoro:

$$R_E \neq 0 \rightarrow A'_v = -\frac{\beta R_C}{h_{ie} + \beta R_E} \approx -\frac{R_C}{R_E}$$

### Impedenza in ingresso del quadripolo

L'impedenza in ingresso è

$$Z'_{in} = -v_b/i_{ib} = h_{ie} + \beta R_E \approx \beta R_E,$$

dunque se  $R_E$  aumenta, aumenta l'impedenza di ingresso (è generalmente un beneficio per un circuito).

### Impedenza in uscita

In uscita abbiamo

$$R_{out} = \frac{h_{11}}{|H|} = \frac{h_{11}}{h_{11}(h_{22} + \frac{1}{R_C}) - h_{12}h_{21}} = R_C$$

Quindi  $R_C$  elevata per elevato guadagno non è un buon compromesso per  $R_{out}$ .

### Considerazioni

- Idealmente  $R_C \gg R_E \gg R_{BB}/\beta$ , per avere un buon guadagno e dare stabilità al punto di lavoro  $Q$  (rigidità del partitore);
- Dobbiamo assicurarci che il transistor sia in zona attiva per ogni valore usato.

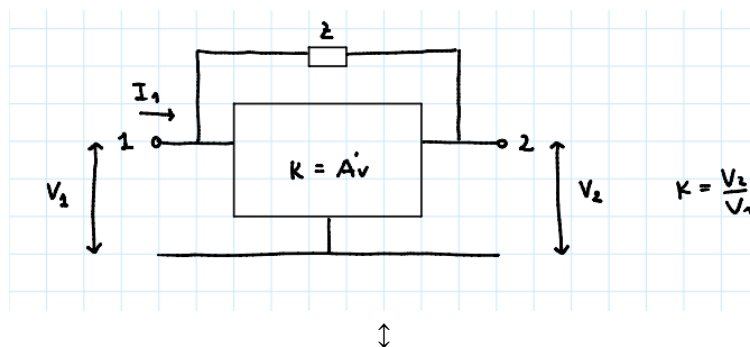
### 2.2.3 Effetto Miller

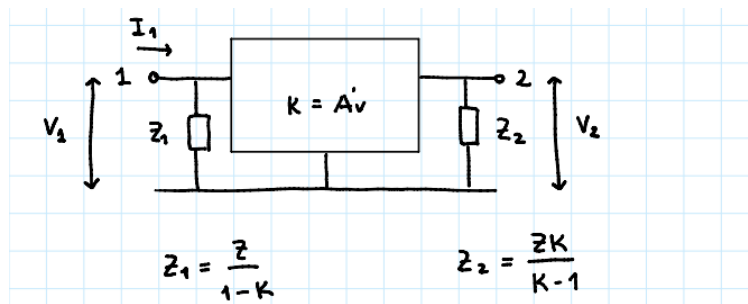
La conformazione di un transistor npn in configurazione a emettitore comune fa sì che si crei una capacità parassita che si forma tra la base e il collettore del transistor. Questa capacità parassita può causare un'ulteriore amplificazione del segnale di ingresso poiché funge da retroazione negativa.

Questa capacità fa sì che il circuito si comporti come un filtro passa-basso. Per capire meglio il comportamento di questo filtro usiamo il teorema di Miller.

**Teorema di Miller.** La capacità parassita tra due punti di un circuito può essere "trasformata" in una capacità equivalente moltiplicandola per il guadagno di tensione del circuito.

Quindi





Abbiamo così

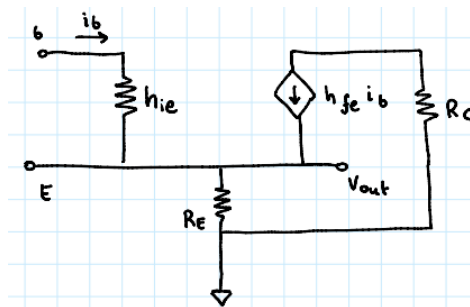
$$I_1 = \frac{V_1 - V_2}{z} = \frac{V_1 - KV_1}{z} = \frac{V_1(1 - K)}{z} = \frac{V_1}{z_1}.$$

Se  $Z = 1/j\omega C_T$  e  $K = -|A'_v|$ , allora

$$z_1 = \frac{1}{j\omega C_T(1 + |A'_v|)} = \frac{1}{j\omega C_{eq}},$$

segue che più è elevato il guadagno più abbiamo un filtro passa-basso.

## 2.3 Amplificatore a collettore comune



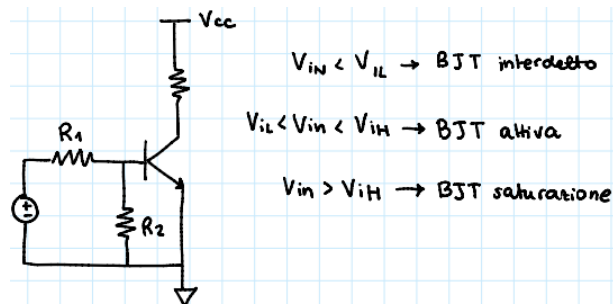
Studiamo un transistor in configurazione comune in modello H, utilizzato come amplificatore. Supponiamo sia in zona attiva e che la componente alternata sia data da variazioni piccole attorno al punto di lavoro (ipotesi di centro banda), il guadagno sarà (è stata fatta l'approssimazione  $h_{fe} + 1 \approx h_{fe}$ )

$$A_v = \frac{R_E h_{fe} i_b}{h_{ie} i_b + R_E h_{fe} i_b} = \frac{\beta R_E}{h_{ie} + \beta R_E}.$$

Nell'ipotesi  $\beta R_E \gg h_{ie}$  il rapporto è unitario. Per il calcolo di  $Z_{in}$  e  $Z_{out}$  si procede come sempre.

## 2.4 Circuito not (inverter) con BJT

Non sempre i transistor vengono utilizzati in zona attiva. Il circuito not inverter è uno di questi e fa utilizzo del passaggio tra saturazione ed interdizione, evitando la zona attiva.





Dove  $L$  indica low e  $H$  indica high. Sia  $V_{BB}$  la tensione emessa dal generatore, affinché il transistor sia in zona attiva,  $V_{BB}$  deve essere maggiore di  $V_\gamma$ . Abbiamo quindi

$$V_{in} = V_{BB} \frac{R_1 + R_2}{R_2} > \frac{R_1 + R_2}{R_2} V_\gamma = V_{IL}$$

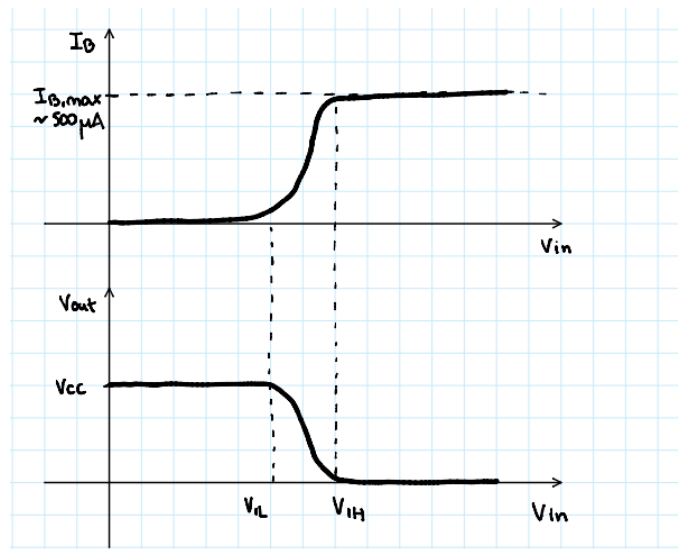
Chiamiamo la resistenza equivalente al parallelo di  $R_1$  e  $R_2$   $R_{BB}$ , allora

$$I_B = \frac{V_{BB} - V_\gamma}{R_{BB}}.$$

Al crescere di  $V_{BB}$  crescerà anche  $I_B$ , fino a raggiungere un valore di  $V_{CC}/\beta R_C = I_{C,max}/\beta$ . A questo punto il valore della barriera di potenziale delle giunzioni  $V_{BE}$  e  $V_{BC}$  sarà  $V_\gamma$  e saremo in saturazione. Segue

$$V_{BB} < V_\gamma + \frac{V_{CC}}{\beta R_C} R_{BB} \Rightarrow V_{IH} = \frac{R_1 + R_2}{R_2} \left( V_\gamma + \frac{V_{CC}}{\beta R_C} R_{BB} \right).$$

Calcolando la funzione di trasferimento e usando dei valori tipici troviamo il seguente grafico.



Questo grafico ci mostra come fin quando  $V_{in} < V_{IL}$  (detto stato logico 0), allora in uscita avremo  $V_{CC}$  (stato logico 1); mentre fin quando  $V_{in} > V_{IH}$  avremo in uscita la tensione di terra GND (ovvero zero e saremo nello stato logico 0).

## 2.5 Altri circuiti BJT

### 2.5.1 Transistor Darlington

### 2.5.2 Emitter follower con Darlington

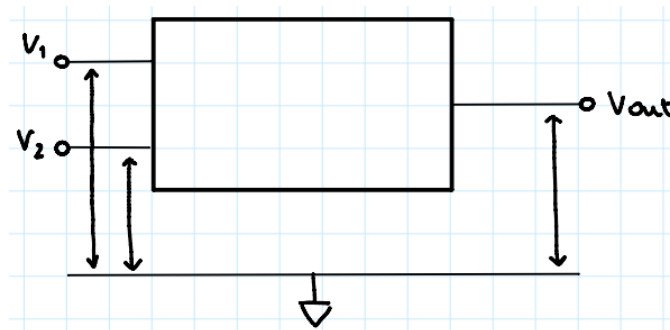
### 2.5.3 Push-pull

## Capitolo 3

# Amplificatori operazionali

### 3.1 Amplificatore differenziale

Un amplificatore differenziale è un amplificatore che amplifica non un solo segnale, ma una combinazione lineare di segnali.



Se c'è linearità:

$$V_{out} = A_1 V_1 + A_2 V_2$$
$$A_1 = \left. \frac{V_{out}}{V_1} \right|_{V_2=0} \quad A_2 = \left. \frac{V_{out}}{V_2} \right|_{V_1=0},$$

allora:

$$\begin{cases} V_c \equiv \frac{V_1 + V_2}{2} = \text{Tensione di modo comune} \\ V_d \equiv V_2 - V_1 = \text{Tensione di modo differenziale} \end{cases}$$

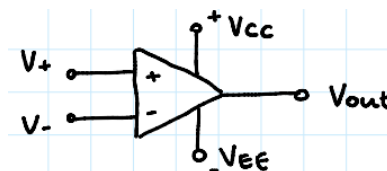
Dunque

$$V_{out} = A_c V_c + A_d V_d$$

chiamiamo  $A_c$  "guadagno di modo comune" e  $A_d$  "guadagno di modo differenziale". Chiamiamo amplificatore differenziale ideale un amplificatore per cui valga  $A_c=0$  oppure  $A_d/A_c \rightarrow \infty$ , da cui:

$$V_{out} = A_d V_d.$$

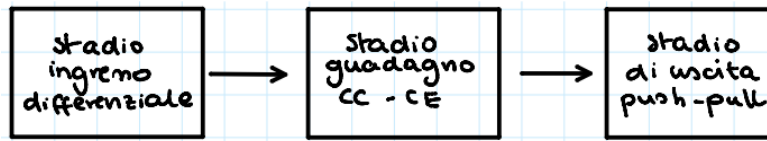
Il simbolo circuitale è il seguente.



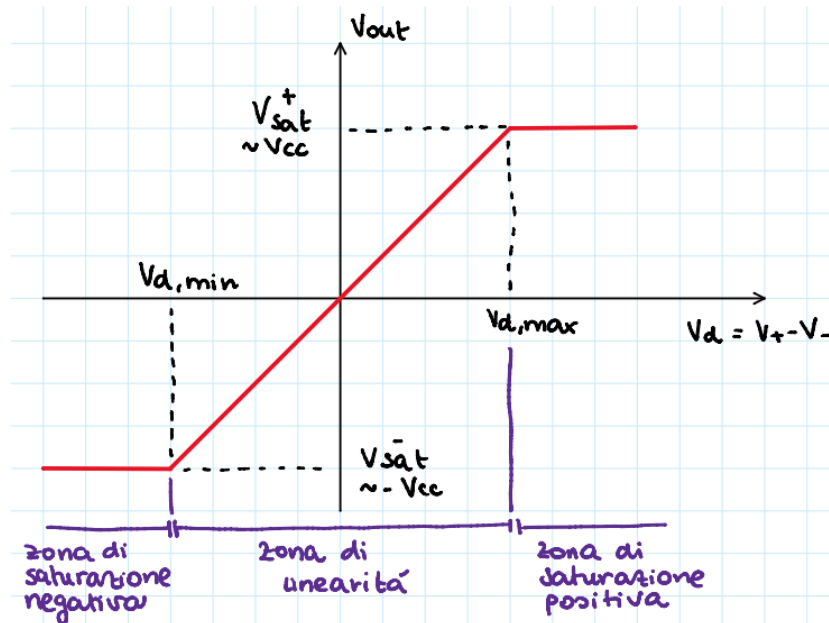
Questo è il primo esempio di circuito integrato che vedremo, ovvero un circuito al cui interno presenta una struttura complessa.

### 3.1.1 Architettura

Possiamo suddividere questo complicato circuito in tre stadi:



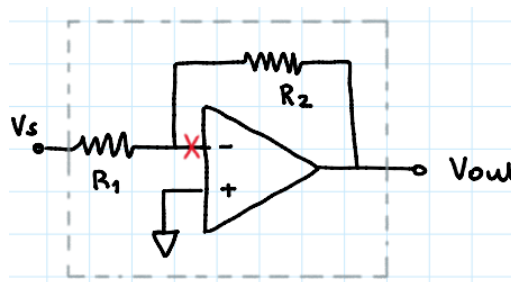
Gli amplificatori differenziali presentano un'impedenza di ingresso elevatissima e un'impedenza di uscita estremamente bassa. L'ultimo stadio presenta un push-pull simmetrico con una coppia di BJT complementari in configurazione ad emettitore comune di cui uno è interdetto e l'altro è in zona attiva finché  $V_{out} > V_{CC}$ , altrimenti è in saturazione  $V_{out} \approx \pm V_{CC}$ .



La pendenza è pari al guadagno di modo differenziale (circa  $10^5$ ). Il segmento con pendenza diversa da zero è chiamato zona lineare.

### 3.2 Amplificatore differenziale con BJT ("emitter-coupled")

### 3.3 Amplificatore invertente con OPAMP



La X significa che abbiamo un aperto perché l'impedenza di ingresso è  $\infty$ . Abbiamo

$$V_d = V_+ - V_- = -V_-,$$

perché  $V_+$  è a terra. Se l'impedenza di ingresso è infinita, la corrente è la stessa. Abbiamo:  $V_s - V_{out} = (R_1 + R_2)I$  e  $V_d - V_{out} = R_2I$ , segue

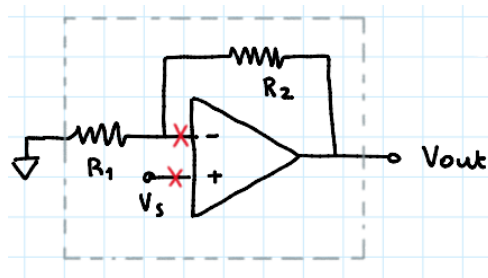
$$V_d = -\frac{R_2 V_s + R_1 V_{out}}{R_1 + R_2} \Rightarrow V_{out} = -\frac{R_1 + R_2}{R_1} V_d - \frac{R_2}{R_1} V_s.$$

Se inoltre vale l'ipotesi di linearità  $V_d = 0$ , segue

$$A_v = -\frac{A_d R_2}{R_1 A_d + R_1 + R_2} = -\frac{A_d R_2}{R_2 + (1 + A_d) R_1} \simeq -\frac{R_2}{R_1}.$$

Alternativamente avremmo potuto usare il teorema di Miller, oppure avremmo potuto osservare che nel limite  $A_d \rightarrow \infty$  la curva caratteristica del OPAMP avrebbe dovuto coincidere con l'asse delle ordinate, dunque la soluzione per  $V_{out}$  si può ottenere dall'intersezione tra la retta di carico con l'asse delle ordinate (osserviamo che avere un guadagno infinito implica avere un  $V_d = 0 \Rightarrow V_+ = V_- = 0$ ):  $V_{out} = -\frac{R_2}{R_1} V_S$ . Tale condizione è detta condizione di corto virtuale. Ricordiamo che tra i terminali + e - idealmente abbiamo impedenza infinita e ci troveremmo dunque di fronte ad un aperto, ma avendo tensione uguale indipendentemente dall'impedenza tra i due poli possiamo considerarlo un corto.

### 3.4 Amplificatore non invertente



Usando la retta di carico:

$$V_- = \frac{R_1}{R_1 + R_2} V_{out}, \quad V_+ = V_S \quad \Rightarrow \quad V_d = V_+ - V_- = V_S - \frac{R_1}{R_2 + R_1} V_{out}$$

e imponendo ora la condizione di linearità  $V_{out} = A_d V_d = A_d \left( V_S - \frac{R_1}{R_2 + R_1} V_{out} \right)$  segue

$$A_v = \frac{(R_1 + R_2) A_d}{R_2 + (1 + A_d) R_1} \simeq \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}.$$

Nel caso in cui  $R_2 = 0$  e  $R_1 = \infty$ , allora abbiamo quello che si chiama un follower: un circuito con  $A_v = 1$  molto più prossimo rispetto a quanto ottenibile con un singolo transistor. In alternativa avremmo potuto usare il corto virtuale e porre  $V_+ = V_- = V_S$

### 3.5 Sommatore invertente

### 3.6 Amplificatore differenziale (a guadagno controllato)

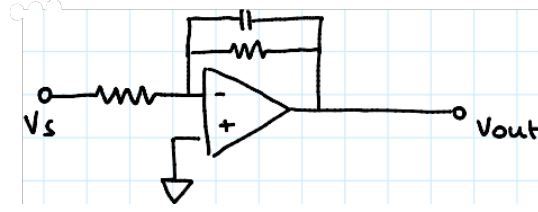
### 3.7 Amplificatori con impedenze complesse

### 3.8 Filtri attivi con OPAMP

La configurazione sarà quella dell'amplificatore invertente con  $Z_{1,2}$  al posto di  $R_{1,2}$ , allora usando un corto virtuale troviamo facilmente (ipotesi di linearità e OPAMP ideale)

$$\frac{v_{out}}{v_s} = A_v = -\frac{Z_2}{Z_1}$$

### 3.8.1 Integratore di Miller



Nel caso ideale<sup>1</sup> abbiamo ( $s$  è la frequenza complessa della derivata di Laplace):

$$A_v(s) = -\frac{1}{sRC} = -\frac{\omega_t}{s};$$

nel caso reale:

$$A_v(s) = -\frac{R_2}{R_1} \frac{1}{1 + sR_2C}.$$

Studiamo il caso ideale. Abbiamo  $\tilde{V}_{out} = -\frac{1}{sRC} \tilde{V}_s$ , siamo quindi in funzione delle frequenze e possiamo usare l'antitrasformata di Laplace per trovare la sua dipendenza dal tempo

$$\Leftrightarrow V_{out}(t) = -\frac{1}{RC} \int_{t_0}^t V_s(t') dt'.$$

Inoltre

$$I_R = \frac{V_s}{R} = I_C = C \dot{V}_C = -C \dot{V}_{out}.$$

$A_v$  ha un polo per  $s = 0$  (diverge per  $\omega = 0$ ), questo significa che avere una componente continua nel segnale di ingresso porterà alla saturazione di  $V_{out}$ ; possiamo eliminare questa divergenza mettendo una resistenza in parallelo al condensatore (quindi la divergenza non è presente nel caso reale). Abbiamo in uscita delle onde triangolari (per un onda quadra in ingresso con  $f \gg f_T$ ) con ampiezza

$$V_{outMAX} - V_{outMIN} = \int_0^{\frac{T}{2}} \frac{V_0}{R_1 C} dt = \frac{V_0}{R_1 C} \frac{T}{2} = \frac{V_0}{2R_1 C f}.$$

Un modo per eliminare la divergenza per  $\omega \rightarrow 0$  è inserire una resistenza in parallelo a  $C$ .

### 3.8.2 Derivatore ideale

Possiamo scambiare di posto il condensatore e la resistenza per ottenere un derivatore. Ipotizzando di lavorare con un OPAMP ideale e in zona lineare abbiamo

$$A_v(s) = -\frac{R}{Z_C} = -sRC = -s\omega_T \Rightarrow \tilde{V}_{out} = -sRC \tilde{V}_s \xrightarrow{\mathcal{L}^{-1}} V_{out}(t) = -RC \dot{V}_s$$

ma  $I_C = C \dot{V}_s$ , quindi  $V_{out} = RI_C$ . Abbiamo uno zero del primo ordine in  $s = 0$  e  $A_v$  diverge per  $\omega \rightarrow \infty$ .

Per alte frequenze abbiamo delle capacità parassite che attenuano la divergenza del guadagno e portano ad un andamento non ben definito di  $V_{out}$ , inoltre la divergenza del guadagno porta a saturare  $V_{out}$  ad alte frequenze (usciamo dalla zona di linearità); inoltre anche l'impedenza di ingresso si riduce. Per ovviare questi problemi aggiungiamo una resistenza in serie a  $C$ .

### 3.8.3 Derivatore reale

Il derivatore ideale corrisponde alla modifica del circuito effettuata per risolvere i problemi al divergere di  $\omega$  (inserimento di una resistenza che corrisponde alla resistenza interna del generatore). In questo caso abbiamo:

$$A_v(s) = -\frac{R_2}{R_1 + \frac{1}{sC}} = -\frac{sR_2C}{1 + sR_1C} = -\frac{R_2}{R_1} \frac{sR_1C}{1 + sR_1C} = -\frac{R_2}{R_1} \frac{s/\omega_T}{1 + s/\omega_T}.$$

La funzione di trasferimento ha uno zero del primo ordine in  $s = 0$  e un polo del primo ordine in  $s = -\omega_T$ .

<sup>1</sup>Nel caso ideale non è presente la resistenza in parallelo alla corrente (resistenza finita nell'ingresso invertente dell'OPAMP).

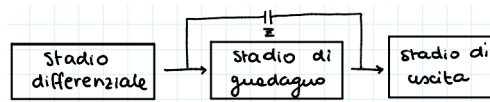
### 3.9 Caratteristiche reali degli OPAMP

Idealmente avremmo:

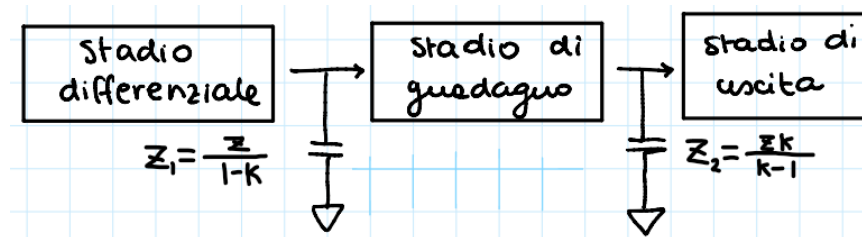
- $Z_{IN} \rightarrow \infty$ ;
- $Z_{out} \rightarrow 0$ ;
- $A_d \rightarrow \infty, A_c \rightarrow 0$ ;
- $BW \rightarrow \infty$  (larghezza di banda).

Tuttavia per un OPAMP reale:

- $|Z_{in} < +\infty|$  (questo porta ad avere correnti di polarizzazione  $\lesssim 1\mu A$ , abbiamo inoltre  $|Z_{in} \lesssim 1M\Omega$ );
- $|Z_{out}| > 0$  (implica una corrente  $I_{max} = \frac{A_d V_d}{R_{out}} = \frac{V_{CC}}{R_{out}}$ );
- Guadagno e BW. Quando un amplificatore operazionale diventa instabile (frequenze molto elevate, carichi capacitivi elevati, retroazione negativa insufficiente e presenza di segnali di feedback positivo), allora si aggiunge una capacità di compensazione alla retroazione del circuito (con il ruolo di stabilizzarlo). La capacità si va a posizionare in parallelo allo stadio di guadagno:



Dunque per il teorema di Miller abbiamo

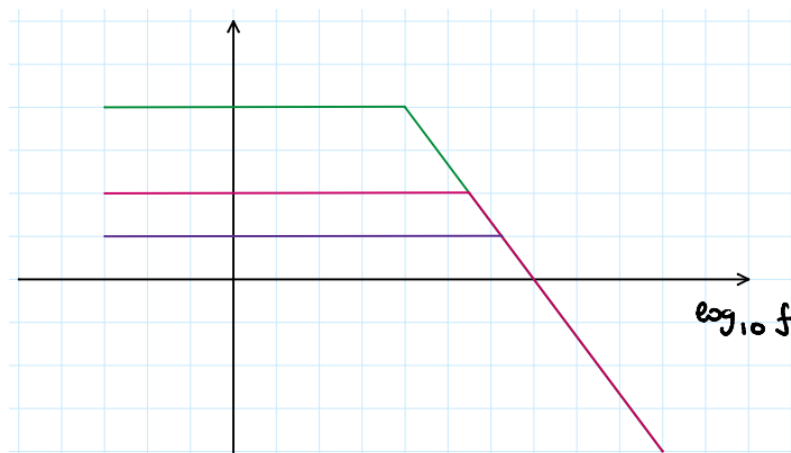


La presenza di questa capacità va dunque ad abbassare il guadagno nella zona in cui diventa instabile:

- Introduce un polo nella funzione di trasferimento  $A_d(s) = A_0 / (1 + s/\omega_0)$ ;
- Per un amplificatore invertente abbiamo

$$A_v(s) = \frac{A_0 \omega_0}{\omega_0 (1 + \beta A_0) + s} = \frac{A'_0}{1 + \frac{s}{\omega'_0}} \quad \text{con} \quad A'_0 = \frac{A_0}{1 + \beta A_0}, \quad \omega'_0 = \omega_0 (1 + \beta A_0).$$

Abbiamo quindi un polo del primo ordine e per  $A_0 \rightarrow \infty$  il guadagno non cambia (tende a  $1/\beta$ ), inoltre abbiamo un'invarianza del prodotto banda-guadagno ( $A'_0 \omega'_0 = A_0 \omega_0$ ). Infine tutte le curve hanno lo stesso andamento per  $\omega \gg \omega_0$ .



- Effetto Slew-Rate (effetto della capacità di compensazione).

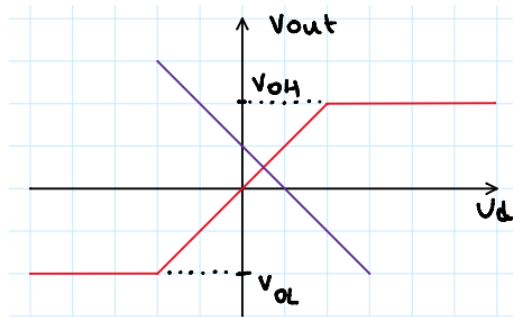
$$I = CV_c < I_{\max} \Rightarrow \dot{V}_c < \frac{I_{\max}}{C} \Rightarrow \frac{dV_{\text{out}}}{dt} < \text{Slew-Rate}.$$

Per osservare l'effetto Slew-Rate dobbiamo mandare in ingresso un'onda quadra, osserveremo che l'onda in uscita non avrà dei tratti verticali (derivata infinita), ma dei tratti con una certa pendenza.

## Capitolo 4

# Circuiti non lineari

Fin' quando  $V_{out}$  è nella zona lineare (intersezione curva caratteristica-retta di carico) non abbiamo problemi:

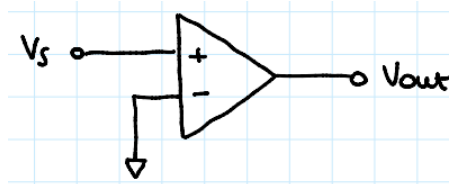


In questo capitolo guarderemo alcuni esempi di circuito con OPAMP utilizzato in zona non lineare, dove l'uscita è in saturazione (valori  $V_{OH}$  e  $V_{OL}$ ). Un fattore molto importante, che enunciamo subito, è il fattore di Feedback

$$\frac{\partial V_d}{\partial V_{out}} = -\beta \equiv -\frac{R_1}{R_1 + R_2} < 0.$$

### 4.1 Discriminatore

In questo primo caso non abbiamo una rete di feedback:



In assenza di feedback (come in questo caso) o in presenza di feedback positivo, l'uscita è in saturazione se abbiamo  $|V_s| > \frac{|V_{OH}, V_{OL}|}{A_d}$  (quindi sempre nel caso ideale). Se l'OPAMP è ideale abbiamo:  $V_d = V_+ - V_- = V_s$  e  $V_{out}$  è

$$V_{out} = \begin{cases} V_{OH} & V_s > 0 \\ V_{OL} & V_s < 0 \end{cases} = V_{OH} \operatorname{sgn}(V_s),$$

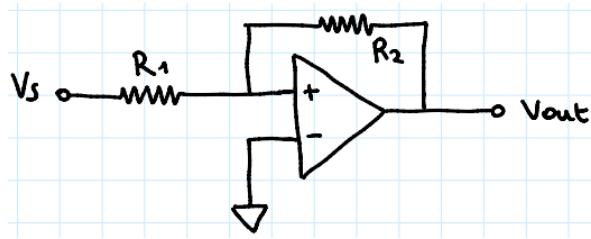
dove  $V_{OH}$  (output-high) e  $V_{OL}$  (output-low) sono  $\pm V_{CC}$  (l'alimentazione del amplificatore). Questo circuito viene anche chiamato comparatore perché confronta un segnale di ingresso con un segnale di riferimento. Infatti in caso di segnale  $V_{thr}$  diverso da GND al ingresso invertente, allora l'uscita sarebbe

$$V_{out} = V_{OH} \operatorname{sgn}(V_s - V_{thr}).$$

Il trigger dell'oscilloscopio si basa su questo principio di funzionamento. Il problema di questa configurazione è che in caso di rumore sovrapposto a  $V_s$ , lo stato di  $V_{out}$  potrebbe essere dipendente in maniera casuale dal rumore.



## 4.2 Comparatore con isteresi (trigger di Schmitt)



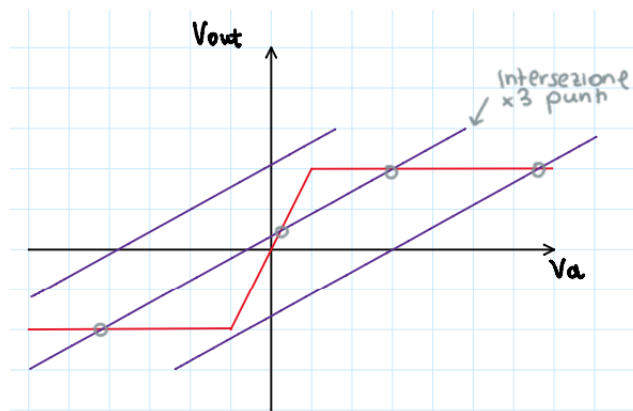
Abbiamo

$$V_d = V_+ - V_- = \frac{R_1 V_{out} + R_2 V_s}{R_1 + R_2} = \beta V_{out} + (1 - \beta) V_s,$$

dove

$$V_{out} = \frac{1}{\beta} V_d - \frac{1 - \beta}{\beta} V_s.$$

Osserviamo che  $\partial V_d / \partial V_{out}$  è positivo, quindi diciamo che il feedback è positivo.



Un feedback positivo significa che una qualsiasi variazione di  $V_{out}$  implica una variazione dello stesso segno di  $V_d$  (negativo implica una variazione di segno opposto). Questo processo di amplificazione continua fino alla saturazione di  $V_{out}$ , avremo quindi

$$V_{out} = V_{OH} \operatorname{sgn}(V_d).$$

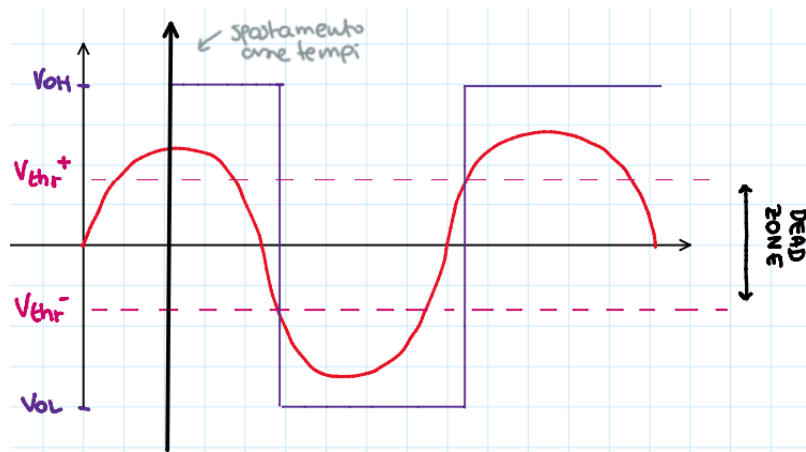
Supponiamo che inizialmente  $V_{out} = V_{OH}$  (implica  $V_d > 0$  perché  $V_d = V_+ - V_-$  e  $V_{out} = V_{OH}$  se  $V_+ > V_-$ ), allora deve essere

$$V_d = \beta V_{out} + (1 - \beta) V_s = \beta V_{OH} + (1 - \beta) V_s \xrightarrow{V_d > 0} V_s > -\frac{\beta}{1 - \beta} V_{OH} = -\frac{R_1}{R_2} V_{OH} < 0.$$

Questo significa che: affinché il segnale di uscita sia in saturazione positiva, abbiamo bisogno di avere  $V_s > V_{TL} = -\frac{R_1}{R_2} V_{OH}$ . Nel momento in cui  $V_s$  è minore di tale soglia, allora  $V_{out}$  commuta a  $V_{OL}$ . Il feedback fa diminuire  $V_d$  fino a quando non scende sotto il valore di soglia bassa  $V_{TL} = -\frac{R_1}{R_2} V_{OH}$  (valore soglia bassa), a quel punto  $V_{out}$  commuta da  $V_{OH}$  a  $V_{OL}$ .

Se invece abbiamo inizialmente  $V_{out} = V_{OL}$  possiamo ripetere, con le dovute differenze ( $V_d < 0$ ), i precedenti passaggi fino a trovare che: nel momento in cui  $V_s$  diventa maggiore di  $-\frac{\beta}{1 - \beta} V_{OL} = V_{TH}$  (valore soglia alta), allora l'uscita commuta a  $V_{OH}$ . Questo processo è chiamato isteresi perché ricorda l'isteresi dei metalli ferromagnetici.

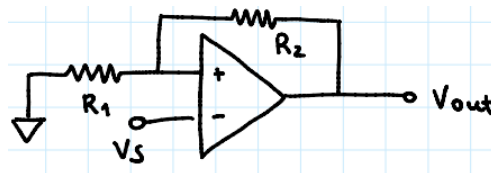
Finché  $V_{TL} < V_{out} < V_{TH}$  allora non possiamo prevedere l'uscita  $V_{out}$ , questa zona è chiamata dead zone (in questa zona l'uscita dipende dal rumore).



Questo tipo di trigger si chiama trigger non invertente. Possiamo renderlo asimmetrico collegando a  $V_-$  un generatore di tensione continua.

#### 4.2.1 Trigger di Schmitt invertente

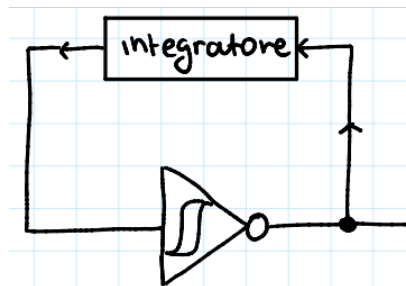
Prendiamo la precedente configurazione e invertiamo i terminali del generatore:



Abbiamo

$$V_d = V_+ - V_- = \frac{R_2}{R_2 + R_1} V_{out} - V_s = \beta V_{out} - V_s,$$

mentre le soglie sono  $\beta V_{OH} = V_{TH}$  e  $\beta V_{OL} = V_{TL}$  (il feedback è sempre positivo, quindi i calcoli sono gli stessi della precedente sezione). Questo tipo di circuiti è utilizzato per generare onde quadre:



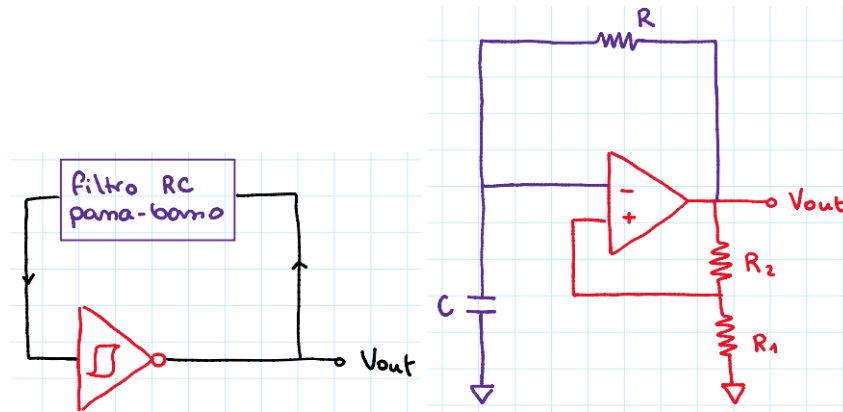
Il pallino indica l'inversione, quindi nel caso disegnato abbiamo un trigger di Schmitt invertente. Il ciclo di isteresi è percorso al contrario e nell'ultimo caso disegnato (quello con l'integratore) le uscite non sono stabili, ma metastabili; questo ci porta alla prossima sezione.

### 4.3 Generazione di segnali a due stadi (multivibratori)

Nelle prossime sezioni studieremo tre tipi di multivibratori:

- Astabile: nessuno dei due stati è stabile;
- Monostabile: uno stato è stabile, l'altro no;
- Bistabile: entrambi gli stadi possono essere stabili.

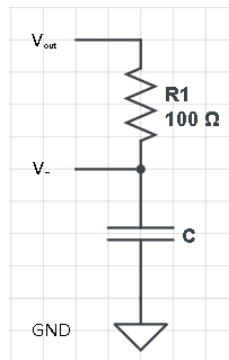
### 4.3.1 Multivibratore astabile



I due circuiti disegnati sono equivalenti. In uscita abbiamo un'onda quadra dovuta all'instabilità del circuito che salta da un livello di saturazione all'altro con una periodicità determinata dai propri componenti. Possiamo dimostrare  $V_{out}$  non è stabile per assurdo: Supponiamo di avere  $V_{out} = V_{OH}$  stabile (ovvero  $V_d > 0 \rightarrow V_+ > V_-$  per sempre), segue che

$$V_+ = \beta V_{out} > V_-,$$

ma se  $V_{out} = V_{OH}$  per sempre, allora la tensione su  $V_-$  (pari a quella ai capi del condensatore) diventerà asintoticamente pari a  $V_{OH}$  violando la condizione  $V_d > 0$  (assurdo).



Possiamo dimostrare allo stesso modo l'instabilità di  $V_{OL}$ .

Calcoliamo il periodo dell'onda quadra in uscita. L'equazione di maglia (presa all'istante  $t = 0$  in cui l'uscita commuta al livello alto) è

$$\begin{cases} V_{OH} = RI_C + V_- \\ I_C = C \frac{dV_-}{dt}, \end{cases}$$

da cui segue

$$dV_- = [V_{OH} - V_-] \frac{dt}{\tau} \Rightarrow V_-(t) = V_{OH} + [V_-(0) - V_{OH}]e^{-t/\tau}, \quad \text{dove } \tau = RC.$$

Ricordiamo però che  $V_-(0) = \beta V_{OL} = V_{OH} + A$ , dunque  $A = \beta V_{OL} - V_{OH}$ . La commutazione allo stato basso avviene nel momento in cui  $t = T_+$  e  $V_-(T_+) = V_{TH} = \beta V_{OH}$ , segue

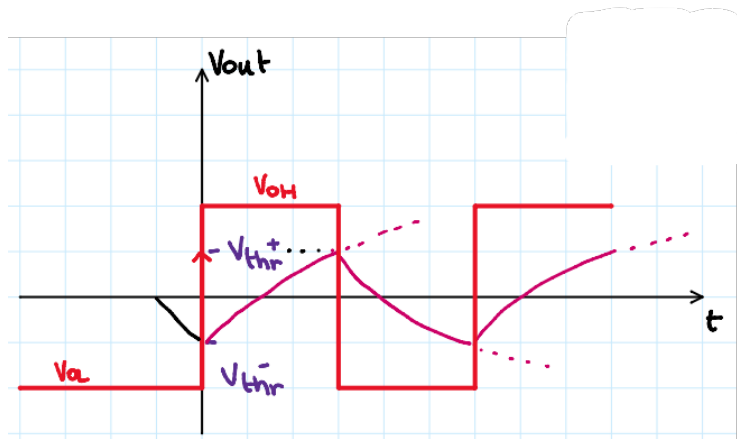
$$T_+ = \tau \ln \frac{V_{OH} - \beta V_{OL}}{V_{OH}(1 - \beta)} = \tau \ln \frac{1 - \frac{V_{OL}}{V_{OH}}}{1 - \beta}.$$

Allo stesso modo troviamo

$$T_- = \tau \ln \frac{1 - \frac{V_{OH}}{V_{OL}}}{1 - \beta}.$$

Generalmente  $V_{OH} = V_{OL}$  e

$$T = T_+ + T_- = 2\tau \ln \frac{1 + \beta}{1 - \beta}$$



L'onda quadra in uscita ha un dutycycle del 50%, qualora volessimo renderla asimmetrica dovremmo sostituire a  $R$ , un antiparallelo di due diodi in serie a due resistenze  $R_+$  e  $R_-$  entrambi in parallelo all'amplificatore<sup>1</sup>, oppure dovremmo rendere asimmetrico il trigger di Schmitt.

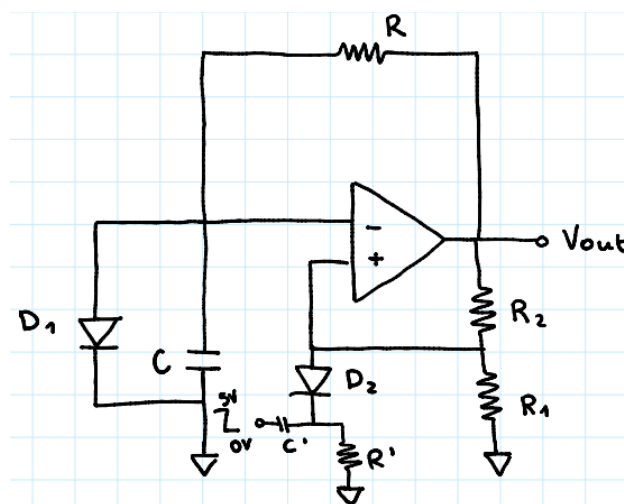
### 4.3.2 Multivibratore monostabile

Montiamo un diodo in parallelo al condensatore, questo ci permette di stabilizzare uno dei due stadi (quello alto):

Quando il diodo va in conduzione, tutta la corrente passa da lui (polarizzato direttamente, quindi si comporta come un cortocircuito) anziché dal condensatore; per  $V_{out} = V_{OH}$ , il condensatore si carica fino a  $V_- = V_\gamma$ , a quel punto il diodo entra in conduzione. Questo significa che è sufficiente che  $V_{OH} > V_\gamma$  perché si abbia uno stato stabile (se è più basso il diodo non entra mai in conduzione e non avremo mai uno stato stabile). Quando siamo nello stadio basso il diodo è in interdizione e il circuito si comporta come nel caso astabile.

Possiamo aggiungere un interruttore (realizzato tramite un diodo e un filtro passa-basso passivo) che ci permette di forzare  $V_+ < V_- = V_\gamma$  per un piccolo intervallo ( $\ll RC$ ) di modo da permetterci la commutazione a livello basso ( $V_d < 0 \Rightarrow V_{out} = V_{OL}$ ). La durata dello stato metastabile è

$$T_- = \tau \ln \frac{1 - \frac{V_\gamma}{V_{OL}}}{1 - \beta}.$$



In questo circuito la parte seguente a  $D_2$  è il segnale di trigger (o interruttore), non necessario nel caso in cui non si voglia passare allo stato basso successivamente allo stato alto stabile.

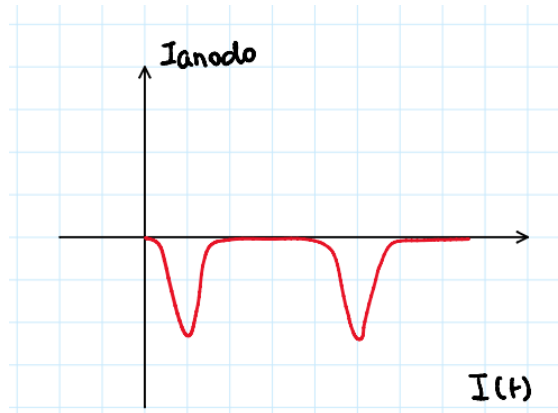
## 4.4 Circuito TOT (time over threshold)

Questo circuito ci permette di misurare la carica in un rivelatore prodotta da una radiazione ionizzante. Alcuni tipi di rilevatori possono essere:

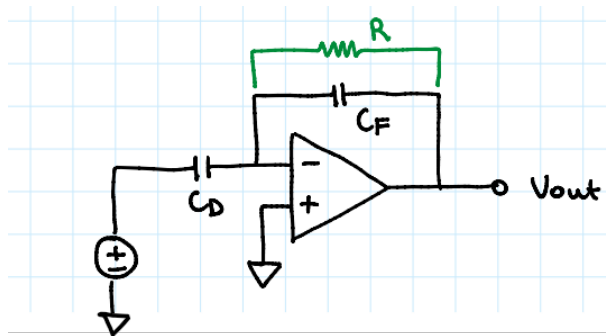
<sup>1</sup>In questo modo avremmo  $T_+ \propto R_+ C$  e  $T_- \propto R_- C$

- Rilevatore a gas: produzione di coppie elettrone-ione;
- Rilevatore a semi-conduttore: produzione di coppie elettrone-lacuna.

Sotto l'azione di un campo  $\vec{E}$  i due elementi di carica opposta migrano verso direzioni opposte generando un impulso di corrente



Il circuito TOT è il seguente:

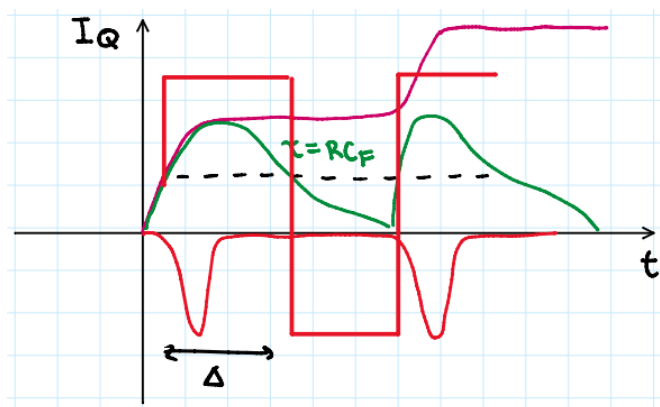


la parte di sinistra (generatore e  $C_D$ ) costituiscono il rilevatore, quella di destra è un circuito di amplificazione del circuito. Abbiamo

$$V_{TH} = \frac{1}{C} \int I_{anodo}(t) dt = \frac{Q}{C}$$

nel caso senza resistenza

$$V_{out} = -\frac{Z_F}{Z_D} V_{TH} = -\frac{\frac{1}{sC_F}}{\frac{1}{sC_D}} V_{TH} = -\frac{C_D}{C_F} V_{TH} = -\frac{Q}{C_F}$$



(questo è il grafico con  $R_F$  in realtà), dove

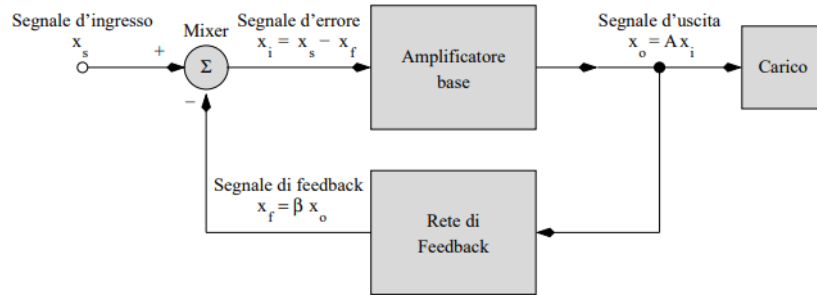
$$\Delta = \tau \ln \frac{V_0}{V_{th}} = \tau \ln \frac{Q}{C_F V_{th}}.$$

# Capitolo 5

## Feedback

### 5.1 Feedback negli amplificatori

Abbiamo già visto vari casi particolari di sistemi di feedback. Possiamo schematizzare in generale un circuito che fa uso di un amplificatore con un segnale di feedback come



È chiaro da questo schema che

$$\begin{cases} x_{in} = x_s - \beta x_{out} \\ x_{out} = A x_{in} \end{cases}$$

Ipotizziamo ora che la risposta del sistema sia sufficientemente rapida da poter considerare costante ogni segnale, dividiamo l'asse temporale in intervallini discreti scanditi dal tempo di risposta:

$$\begin{array}{lll} t = 0 & x_{in}^{(0)} = x_s & x_{out}^{(0)} = A x_{in}^{(0)} = A x_s \\ t = 1 & x_{in}^{(1)} = x_s - \beta x_{out}^{(0)} & x_{out}^{(1)} = A x_{in}^{(1)} = A(x_s - \beta x_{out}^{(0)}) \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ t = n + 1 & x_{in}^{(n+1)} = x_s - \beta x_{out}^{(n)} & x_{out}^{(n+1)} = A x_{in}^{(n+1)} = A(x_s - \beta x_{out}^{(n)}) \end{array}$$

Abbiamo di fronte una successione definita per ricorrenza che converge se è di Cauchy:

$$\forall \varepsilon > 0, \exists n_0 : |x_{out}^{(m)} - x_{out}^{(n)}| < \varepsilon, \quad \forall m, n > n_0$$

Facciamo una seconda ipotesi:  $A > 0$  e  $A$  è reale. Supponiamo per semplicità che  $x_s > 0$ . Poniamo  $\lim_{n \rightarrow \infty} x_{out}^{(n+1)} = l$ , allora se la successione converge abbiamo

$$l = \lim_{n \rightarrow \infty} x_{out}^{(n+1)} = A x_s - \beta A l,$$

segue

$$l = \frac{A}{1 + \beta A} x_s = A_f x_s.$$

Tuttavia questa successione non è convergente per ogni  $\beta A$ :

- Per  $\beta A < -1$  la successione diverge: infatti se  $x_s > 0$ , allora

$$x_{\text{out}}^{(n+1)} = Ax_s - \beta Ax_{\text{out}}^{(n)} > Ax_s + x_{\text{out}}^{(n)} > x_{\text{out}}^{(n)}$$

abbiamo una successione monotona crescente a termini positivi. Se questa successione convergesse dovrebbe convergere ad un limite positivo, ma per  $x_s > 0$  abbiamo  $l < 0$  essendo  $A_f < 0$  in questo caso (l'uscita sarà in saturazione);

- Se  $\beta A = -1$   $l \rightarrow \infty$  e quindi diverge per forza (l'uscita sarà in saturazione a meno che  $x_s = 0$ , in tal caso la successione non diverge e l'uscita sarà stazionaria dando origine agli oscillatori sinusoidali; condizione di Barkhausen);
- Per  $\beta A > 1$  la successione converge. chiamiamo  $A$  guadagno ad anello aperto,  $A_f$  guadagno ad anello chiuso e  $\beta A$  guadagno d'anello.

Diamo ora alcune definizioni:

- Guadagno ad anello aperto:

$$A = \frac{x_{\text{out}}}{x_{\text{in}}} = \frac{x_{\text{out}}}{x_s} \Big|_{\beta=0};$$

- Guadagno ad anello chiuso:

$$A_f = \frac{x_{\text{out}}}{x_s};$$

- Guadagno d'anello:

$$\beta A = \frac{x_f}{x_{\text{in}}}.$$

### 5.1.1 Interpretazione geometrica

Riprendendo il grafico della retta di carico (che ricordiamo avere pendenza  $-1/\beta$ ) e la curva caratteristica degli amplificatori, osserviamo che affinché l'intersezione (il punto di lavoro) sia all'interno della zona di linearità, dobbiamo avere

$$-\frac{1}{\beta} < 0 \Rightarrow \beta > 0 \text{ oppure } -\frac{1}{\beta} > A, \beta < 0 \Rightarrow 0 > \beta A > -1.$$

Tutto questo implica che  $\beta A > -1$ . Il feedback negativo va sempre bene, ma possiamo essere anche in zona lineare con feedback positivo, a patto che  $\beta A > -1$  ( $A_f > A$ ). Negli OPAMP però  $A \rightarrow \infty$ , dunque un feedback positivo è irrealizzabile.

## 5.2 Proprietà di feedback negativo negli amplificatori

### 5.2.1 Desensibilizzazione del guadagno

Nel limite  $\beta A \gg 1$ , il guadagno è indipendente dal guadagno dell'amplificatore. Possiamo vederlo analiticamente differenziando  $A_f$  e dividendolo per se stesso:

$$\delta A_f = \frac{\delta A}{(1 + \beta A)^2} \Rightarrow \frac{\delta A_f}{A_f} = \frac{1}{1 + \beta A} \frac{\delta A}{A},$$

dato che siamo in feedback negativo ( $1 + \beta A > 1$ ), allora  $\delta A_f/A_f \ll \delta A/A$ . Chiamiamo  $1 + \beta A > 1$  fattore di desensibilizzazione del guadagno.

## 5.3 Le topologie di feedback negli amplificatori

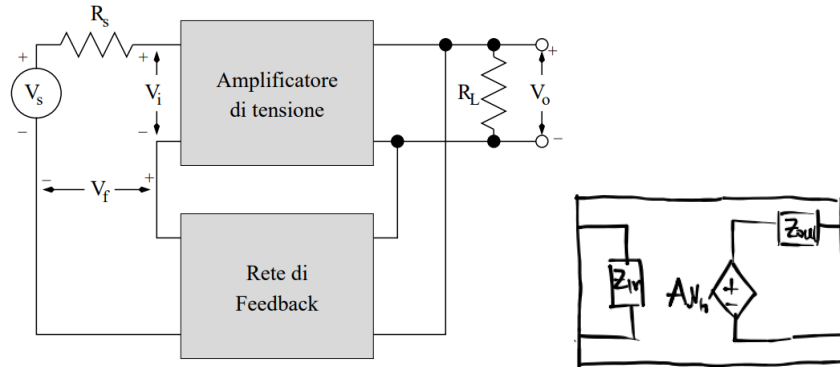
In base alla grandezza (tensione o corrente) e alla forma di uscita cercata, possiamo suddividere gli amplificatori in quattro categorie. Nessuno di questi amplificatori ha caratteristiche ideali, ma scegliendo la corretta topologia di feedback possiamo rendere il comportamento dell'amplificatore quanto più ideale possibile.

Vediamo in tabella alcune delle caratteristiche fondamentali di questi tipi di amplificatori.

Parametro	Tipo di amplificatore			
	Tensione	Corrente	Transconduttanza	Transresistenza
$R_i$	$\infty$	0	$\infty$	0
$R_o$	0	$\infty$	$\infty$	0
Risposta	$V_o = A_v V_s$	$I_o = A_i I_s$	$I_L = G_M V_s$	$V_o = R_M I_s$

### 5.3.1 Classificazione degli amplificatori

#### Amplificatori di tensione



Abbiamo  $V_{in} = V_s - V_f = V_s - \beta V_{out}$ , ma  $V_{out} = A V_{in}$ , quindi possiamo scrivere

$$V_s = (1 + \beta A) V_{in}.$$

Chiamiamo impedenza di feedback

$$Z_{in}^f = \frac{V_s}{I_{in}} = \frac{V_s}{V_{in}} Z_{in} = (1 + \beta A) Z_{in},$$

per definizione in presenza di feedback negativo  $Z_{in}^f > Z_{in}$  e nel caso degli OPAMP ( $A \gg 1$ ) abbiamo anche  $Z_{in}^f \gg Z_{in}$ . L'impedenza di feedback di uscita è

$$Z_{out}^f = \frac{V_{out}(R_L \rightarrow \infty)}{I_{out}(R_L \rightarrow 0)},$$

dove abbiamo usato la tensione Thevenin equivalente e la corrente Norton equivalente; per  $R_L \rightarrow \infty$  abbiamo

$$V_{out}(R_L \rightarrow \infty) = A_f V_s = \frac{A}{1 + \beta A} V_s,$$

mentre per  $R_L \rightarrow 0$  abbiamo  $V_{out} = 0$ , segue  $V_f = 0$  e  $V_s = V_{in}$ . A questo punto

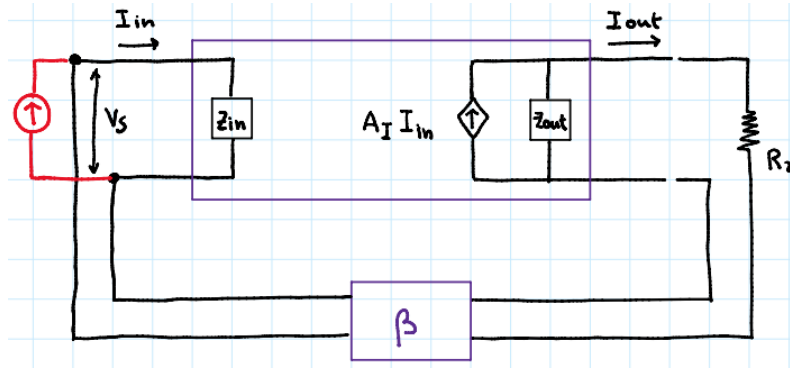
$$A V_{in} = A V_s \Rightarrow I_{out} = \frac{A V_s}{Z_{out}},$$

dunque

$$Z_{out}^f = \frac{Z_{out}}{1 + \beta A}.$$



## Amplificatori di corrente



Ripetiamo i soliti calcoli dell'amplificatore di tensione:

$$I_s = I_{in} + \beta I_{out} = I_{in} + \beta A_I I_{in} = (1 + \beta A_I) I_{in} \Rightarrow I_{out} = A_I I_{in} = \frac{A_I}{1 + \beta A_I} I_s$$

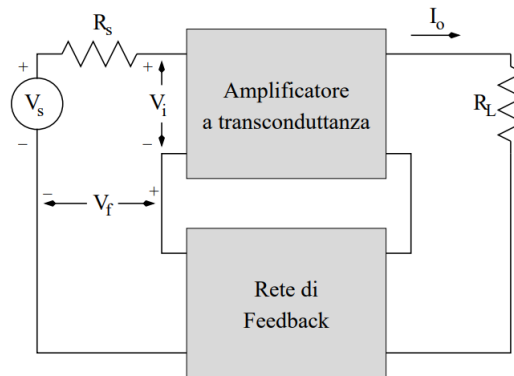
L'impedenza in ingresso è

$$Z_{in}^f = \frac{V_s}{I_s} = \frac{Z_{in} I_{in}}{I_s} = \frac{Z_{in}}{1 + \beta A_I}$$

e come prima in caso di feedback negativo abbiamo  $Z_{in}^f < Z_{in}$ . L'impedenza di uscita è  $Z_{out}^f = \frac{V_{out}(R_L \rightarrow \infty)}{I_{out}(R_L = 0)}$ , per  $R_L \rightarrow \infty$  abbiamo  $I_{out} = 0$  (il che significa che la corrente non passando per  $Z_{out}^f$ ). Abbiamo quindi:  $I_s = I_{in} \Rightarrow V_{out}(R_L \rightarrow \infty) = A_I I_{in} Z_{out} = A_I I_s Z_{out}$ , segue

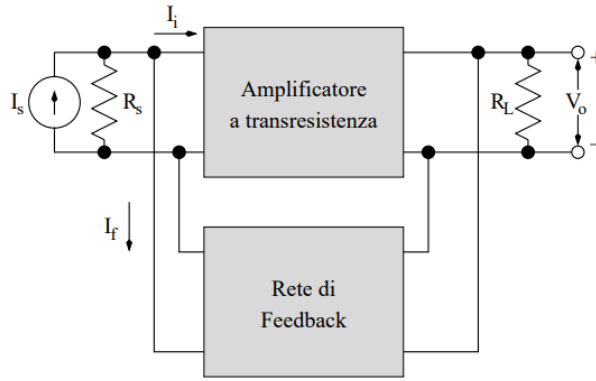
$$Z_{out}^f (1 + \beta A_I) Z_{out}.$$

## Amplificatori a transconduttanza



Un amplificatore ideale di questo tipo trasforma un segnale di corrente in un segnale di tensione. Idealmente abbiamo un'impedenza di ingresso molto maggiore della resistenza di uscita del generatore di tensione, mentre l'impedenza di uscita è molto maggiore della resistenza di carico.

## Amplificatori a transresistenza



Un amplificatore ideale di questo tipo trasforma un segnale di tensione in un segnale di corrente. Idealmente abbiamo un'impedenza di ingresso e una di uscita pari a zero.

## 5.4 Criterio di stabilità

La stabilità è sinonimo di linearità. Affinché un circuito sia stabile i segnali di rumore che si sovrappongono devono essere dei transienti, ovvero devono tendere a zero col avanzare del tempo.

Per vedere analiticamente cosa significa stabilità prendiamo un impulso (delta di Dirac, la cui trasformata di Fourier contiene tutte le frequenze):  $x_n = \delta(t)$ . La risposta a tale rumore è un transiente

$$\tilde{x}_{out} = A(s)\tilde{x}_n = A(s),$$

esprimiamo  $A(s)$  come  $N(s)/D(s)$  e individuiamo i poli  $p_1 \dots p_n$  come

$$A(s) = \frac{N(s)}{D(s)} = \frac{a_1}{(s-p_1)^{\alpha_1}} + \dots + \frac{a_n}{(s-p_n)^{\alpha_n}}.$$

Usiamo la trasformata di Lagrange per scrivere l'andamento temporale dell'uscita:

$$\mathcal{L}^{-1}\left(\frac{1}{s-p}\right) = e^{pt},$$

$$\mathcal{L}^{-1}\left(\frac{1}{(s-p)^n}\right) = \frac{1}{n!} t^{n-1} e^{pt},$$

segue

$$\begin{aligned} x_{out}(t) &= \frac{a_1}{\alpha_1!} t^{\alpha_1-1} e^{p_1 t} + \dots \\ &= \sum_k \frac{a_k}{\alpha_k!} t^{\alpha_k-1} e^{p_k t}. \end{aligned}$$

La richiesta di stabilità espressa qualitativamente prima equivale a

$$\lim_{t \rightarrow \infty} x_{out}(t) = 0 \Rightarrow \text{Re}\{p_k\} < 0 \quad \forall k,$$

ovvero il rumore generato dall'impulso deve decrescere più velocemente di  $1/\alpha_k!$ . La condizione necessaria affinché l'amplificatore sia stabile è che i poli della sua funzione di trasferimento abbiano tutti parte reale negativa.

Corollario. Dato un amplificatore stabile inserito in un anello con fattore di feedback  $\beta_s$ , la condizione necessaria per la sua stabilità è che la radici dell'equazione

$$1 + \beta(s)A(s) = 0,$$

abbiano parte reale negativa. Questo corrisponde con la richiesta che i poli della funzione

$$A_f(s) = \frac{A(s)}{1 + \beta(s)A(s)}$$

abbiano parte reale negativa. Il calcolo dei poli di questa funzione è possibile solo numericamente, vediamo quindi un criterio che ci dia la possibilità di accertarci della stabilità di un circuito di feedback sperimentalmente.

## 5.5 Criterio di Nyquist

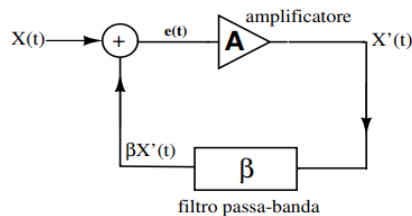
Il plot di Nyquist rappresenta la variazione del loop-gain,  $L$ , nel piano complesso in funzione della frequenza. Poiché il modulo di  $L$  è una funzione pari della frequenza, mentre la fase è una funzione dispari, allora il plot di Nyquist, per circuiti reazionati (che presentano una rete di feedback), è simmetrico rispetto all'asse reale.

A basse frequenza  $L$  è reale e positivo, mentre  $L \rightarrow 0$  per  $\omega \rightarrow \infty$ . Chiamiamo la frequenza alla quale il plot interseca l'asse reale negativo  $\omega_\pi$ , allora se l'intersezione è a destra di  $(-1,0)$  l'amplificatore è stabile anche in presenza di feedback negativo, altrimenti è instabile. Senza andare a vedere la dimostrazione è intuibile che questo deriva dal valore del guadagno di anello ( $<-1$  instabile,  $=-1$  condizione di Barkhausen,  $>-1$  stabile).

## Capitolo 6

# Oscillatori sinusoidali

Se mandiamo un segnale  $X(t)$  attraverso un amplificatore insieme ad un segnale di feedback in uscita dall'amplificatore stesso avremo un segnale di uscita  $Y(t) = A\beta X(t)$ . Se l'ingresso è sinusoidale, lo sarà anche l'uscita. L'effetto del fattore  $A\beta$  è quello di modificare fase e ampiezza del segnale in ingresso. Ipotizziamo esista una frequenza  $f_0$  per la quale  $A\beta = 1$  (condizione di Barkhausen), possiamo rimandare  $Y(t)$  all'ingresso per avere un'oscillazione sinusoidale costante nel tempo.



Sia  $X'(t) = A/(1 - A\beta)X(t)$  il segnale di ritorno di feedback, definiamo il guadagno con feedback come

$$A_f = \frac{X'(t)}{X(t)} \Rightarrow A_f = \frac{A}{1 - A\beta},$$

osserviamo che abbiamo una risonanza nel momento in cui vale la condizione di Barkhausen (valida ad una sola frequenza  $f_0$ , quella che annulla il segnale immaginario), dunque se il segnale di ingresso è  $X(t) = 0$  avremo un valore finito del segnale in uscita  $X'(t)$ .

Il circuito funziona perché, mentre l'amplificatore amplifica tutte le componenti di Fourier, il filtro lascia passare una sola componente. Dopo un grande numero di passaggi, questa componente è l'unica ad avere un'ampiezza apprezzabile. Il circuito quindi oscilla solo grazie alla presenza di rumore.

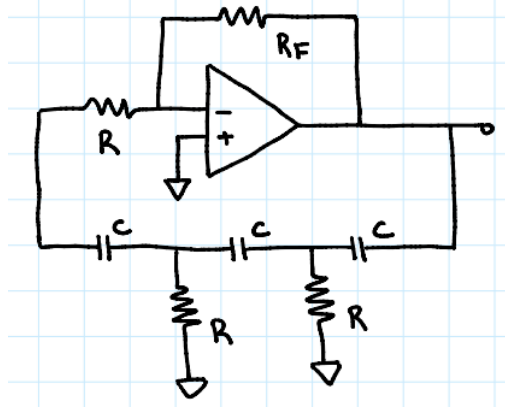
L'oscillatore sinusoidale è un circuito con retroazione positiva che soddisfa le seguenti proprietà:

- Lo sfasamento complessivo del circuito oscillatore è zero;
- Il guadagno in tensione è uno.

Ci sono due modi per ottenere un oscillatore sinusoidale: usare un amplificatore ed una rete passiva di reazione che soddisfi Barkhausen (oscillatore non invertente), oppure adoperando un elemento che introduca uno sfasamento di  $\pi/2$  in serie ad un altro elemento che introduca lo sfasamento  $-\pi/2$  alla stessa frequenza e che rispetti la condizione  $|A\beta| = 1$  (oscillatore invertente).

In un oscillatore reale  $|A\beta| = 1$  non sarà mai rispettata strettamente: se  $|A\beta| < 1$  l'oscillazione si smorzerà rapidamente; quindi il modulo di  $A\beta$  dovrà essere maggiore di uno (in genere si sceglie maggiore di uno del 5% circa), ma allo stesso tempo affinché il sistema sia stabile dovrà diminuire il guadagno all'aumentare dell'ampiezza del segnale in ingresso.

## 6.1 Oscillatore a sfasamento



Questo è un oscillatore del secondo tipo, dunque vogliamo che:

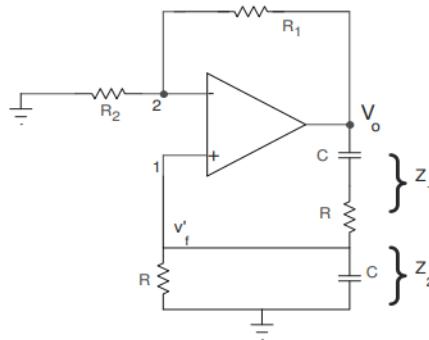
- $\beta(j\omega_0) < 0$ : vogliamo sfasare  $V_f$  rispetto a  $V_{out}$  di  $\phi_\beta(j\omega_0) = \pi$ ;
- $A(j\omega_0) = -1/\beta(j\omega_0) > 0$ .

Per la rete di feedback (e di sfasamento) usiamo 3 filtri CR:

$$\beta(\xi) = \frac{\xi^3}{1 + 5\xi + 6\xi^2 + \xi^3},$$

dove  $\xi = sRC$  con  $s = j\omega RC$ . Segue che  $\omega_0 = (\sqrt{6}RC)^{-1}$ , per la quale  $\beta = -1/29$ . Possiamo ora costruire l'oscillatore sinusoidale usando  $R_F = 29R$  e  $A = 29$  in modo da soddisfare Barkhausen.

## 6.2 Oscillatore a ponte di Wien



Questo è un oscillatore del primo tipo, vogliamo

- $\beta(j\omega_0) > 0$
- $A(j\omega_0) = -1/\beta(j\omega_0) < 0$

Il ponte è costituito da  $R_1, R_2$ ,

$$Z_1 = \frac{1 + sCR}{sC}$$

e

$$Z_2 = \frac{R}{1 + sCR}.$$

Dalle impedenza segue

$$\beta(s) = \frac{Z_2}{Z_1 + Z_2} = \frac{\xi}{1 + 3\xi + \xi^2}$$

con  $\xi = RC$ . Il fattore di feedback ha uno zero del primo ordine per  $\xi = 0$  e due poli negativi in  $S_{1,2} = -(3 \pm \sqrt{5})\omega_0/2$  (è quindi una rete stabile). Per la condizione di Barkhausen abbiamo

$$\omega_0 = \frac{1}{RC},$$

segue  $A = -3$ .

**Parte II**

**Elettronica digitale**

# Capitolo 7

## Sistemi logici

### 7.1 Introduzione

L'esigenza di contare e poter rappresentare graficamente (sistema di scrittura dei numeri) il risultato di tale conto è stato uno dei primi problemi degli esseri umani. Nel corso della storia si sono susseguiti vari sistemi numerici: a partire dagli egiziani fino ai romani e agli arabi (il cui sistema decimale usiamo ancora oggi); nella maggior parte dei sistemi numerici la posizione del numero aveva molto importanza ( $17 \neq 71$ ) e i primi ad introdurre il numero zero furono gli egizi nel 3400 a.c.. Come il sistema decimale chiama le proprie unità "digits" dal numero delle nostre dita, il sistema binario, il più usato in elettronica, fa uso di "bits" usando i due stati del transistor (conduzione e interdizione).

### 7.2 Sistemi di numerazione

#### 7.2.1 Il sistema binario

Il sistema binario è un sistema di potenze di due, nel senso che la prima posizione (da destra verso sinistra) è occupata da  $2^0$ , la seconda da  $2^1$  e così via. In questo modo si occupano tutte i numeri in modo facile, infatti è sufficiente notare che la somma di tutte le potenze  $\sum_{n=0} 2^n = 2^{n+1} - 1$ .

Esempi

$$0_{10} = 0_2$$

$$100_{10} = 1100100_2$$

Vediamo che il modo di passare da un sistema all'altro è banale: se dobbiamo passare da binario a decimale, si sommano le potenze di due "accese"; se dobbiamo passare da decimale a binario partendo dalla potenza maggiore sottraibile si scrivono "1" e "0" dipendentemente dal fatto che la potenza sia sottraibile. Vediamo come fare nel caso di 100:

$2^7 = 128 > 100$	0	$100 - 0 = 100$
$2^6 = 64 < 100$	1	$100 - 64 = 36$
$2^5 = 32 < 36$	1	$36 - 32 = 4$
$2^4 = 16 > 4$	0	$4 - 0 = 4$
$2^3 = 8 > 4$	0	$4 - 0 = 4$
$2^2 = 4 = 4$	1	$4 - 4 = 0$
$2^1 = 2 > 0$	0	$0 - 0 = 0$
$2^0 = 1 > 0$	0	$0 - 0 = 0$

Ovviamente come per il sistema decimale possiamo eliminare tutti gli zeri a sinistra del primo bit diverso da 0.

#### 7.2.2 Numeri binari frazionari

Così come nel sistema decimale le cifre dopo la virgola decimale (o il punto decimale) vengono moltiplicate per potenze negative e crescenti di 10, così nel sistema binario le cifre dopo la virgola (binaria) vengono moltiplicate per potenze negative e crescenti di 2. Ad esempio:

$$[101.1101]_2 = \left[ 5 \cdot \left( \frac{1}{2} + \frac{1}{4} + \frac{0}{8} + \frac{1}{16} \right) \right]_{10}.$$



Per la conversione si utilizza lo stesso metodo di prima, ma questa volta si parte dalle potenze minori (e come possiamo notare dall'esempio non abbiamo  $2^0 = 1$  perché non avrebbe senso). Prendiamo 0.8125:

$$\begin{array}{llll} 2^{-1} = 1/2 < 0.8125 & 1 & 0.8125 - 0.5000 = 0.3125 \\ 2^{-2} = 1/4 < 0.3125 & 1 & 0.3125 - 0.2500 = 0.0625 \\ 2^{-3} = 1/8 > 0.0625 & 0 & 0.0625 - 0.0000 = 0.0625 \\ 2^{-4} = 1/16 = 0.0625 & 1 & 0.0625 - 0.0625 = 0. \end{array}$$

Il numero cercato è quindi 0.1101.

### 7.2.3 Codifica di numeri binari in un computer

I computer moderni hanno generalmente 32 o 64 bit (transistor). Il numero maggiore esprimibile con questo numero di bit è  $N = 2^{32}$  o  $2^{64}$ , che in alcuni situazioni potrebbe non essere sufficiente. Si fa dunque uso di una rappresentazione che divide il numero in due parti, la parte caratteristica e la parte frazionaria. Questa rappresentazione (detta "floating point") è l'analogo della rappresentazione esponenziale nel sistema binario: se un numero decimale è scritto

$$N_D = F_D 10^{C_D},$$

allora per la sua conversione in binario dobbiamo convertire in binario la parte frazionaria  $F_D$  e passare in esadecimale (base 16) per la parte caratteristica ( $10^{C_D} \rightarrow 16^{C_H}$ ); a questo punto sommiamo 64 a  $C_H$  per poter ottenere numeri molto grandi o molto piccoli. In un sistema IBM/370 ad esempio si usavano 7 bit per la parte caratteristica e 24 per la frazionaria, di cui il primo bit è adoperato per il segno. Come nel caso decimale questa rappresentazione non consente un'estrema precisione, quindi se fosse necessaria una maggiore precisione si fa uso di 2 parole (una parola è una composizione di bit) o anche 4 parole. Un byte è formato da 8 bit quindi un numero di singola precisione sono 4 bytes, una precisione doppia sono 8 bytes e una precisione estesa sono 16 bytes.

## 7.3 Porte logiche

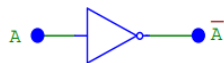
L'informazione elementare alla base del funzionamento di un qualsiasi sistema digitale è il bit. Il bit può acquistare due valori: 1 e 0 (o True and False); al quale sono associati diversi valori di tensione (tipicamente 5 e 0). Questo funzionamento è detto logica positiva, se invece per il valore alto della tensione avessimo 0 e per quello basso 1, allora staremmo lavorando con logica negativa.

Se il bit di un sistema digitale è la variabile, allora a partire da essi possiamo costruire delle funzioni logiche che avranno anche loro in uscita i valori 1 e 0.

La più semplice delle funzioni logiche è il NOT, questa funzione ad un ingresso inverte la variabile in ingresso. Il simbolo per indicare la negazione è

$$\text{NOT}(A) = \bar{A},$$

mentre il simbolo elettronico è



Ad ogni funzione viene associata una tabella, detta "tabella della verità", che associa ai vari input possibili l'output della funzione. La tabella delle verità nel caso della funzione NOT è

A	$Y = \bar{A}$
0	1
1	0

Passiamo a funzioni a più ingressi, la prima che guardiamo è la funzione OR, indicata aritmeticamente dal simbolo "+" e nel circuito da



La sua tabella logica è invece

A	B	$Y = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

La funzione AND è indicata aritmeticamente da "." e nel circuito da

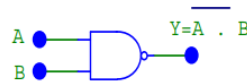


La sua tabella delle verità è

A	B	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Porte OR e AND a più ingressi sono possibili, nel caso di OR l'output è sempre 1 a meno che non si abbia tutti gli ingressi 0, nel caso di AND abbiamo sempre 0 a meno che tutti gli input non siano 1.

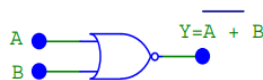
Un circuito AND seguito da un NOT ci da un NAND (NOT·AND), il cui simbolo aritmetico è  $\overline{A \cdot B}$ , mentre quello circuitale è



La tabella delle verità è invece

A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

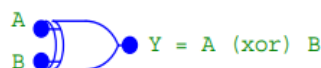
Un OR seguito da un NOT realizza un NOR (NOT·OR), il cui simbolo aritmetico è  $Y = \overline{A + B}$  e quello circuitale è



La tabella delle verità è invece

A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Per ultimo (ne esistono tanti altri ma elenchiamo solo questi) citiamo la porta Exclusive OR scritta XOR il cui simbolo aritmetico è  $\oplus$  e il simbolo circuitale è



La tabella delle verità è quella del OR ma essendo esclusivo è falsa quando si ha due True in ingresso.

È possibile acquistare integrati che hanno varie porte al loro interno, in generale le ultime due cifre del codice dell'integratore indicano il numero e il tipo di porte, ecco alcuni esempi:

Dispositivo	Funzione
00	Quad2input NAND
02	Quad2input NOR
04	Hex (6 in un chip) NOT
08	Quad2input AND
10	Triple3input NAND
20	Dual4input NAND
27	Triple2input NOR
30	8input NAND
32	Quad2input OR
86	Quad exclusive OR
135	Quad exclusive OR/NOR
136	Quad exclusive OR

### 7.3.1 Caratteristiche delle porte logiche

Fin ora abbiamo parlato di porte ideali, facciamo ora delle precisazioni. Prendiamo per esempio il caso della porta NOT con tecnologia TTL (Transistor-Transistor Logic). Se inviamo un segnale alto (circa 5 V) avremo in uscita un segnale basso (circa 0V), la transizione da un segnale all'altro non è però istantanea, e avremo un tempo di discesa (e nel caso opposto un tempo di salita). Questo ritardo è detto propagation delay. Indichiamo questi ritardi come  $t_{PHL}$  e  $t_{PLH}$ .

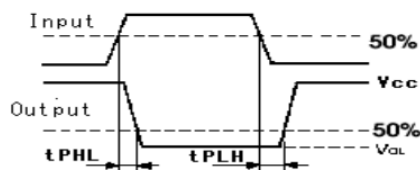
Un'altra caratteristica importante è il fan-out: il fan-out di una porta logica è il numero di porte logiche che possono essere collegate alla sua uscita. Idealmente si vorrebbe poter inserire un numero infinito di porte logiche ad un'uscita, ma in pratica una porta logica ha una certa impedenza, dunque aggiungere troppe porte logiche potrebbe impedire che venga raggiunta la soglia necessaria per passare ai livelli alti della porta logica. La misura del Fan-out è la seguente

$$\text{Fan-Out} = \frac{I_{out}}{I_{in}}$$

Infine definiamo il noise margin come quella misura di tensione per cui una porta logica eccede la soglia per il passaggio a 0 ed a 1. Abbiamo quindi due soglie:

$$N_{MH} \equiv V_{OH} - V_{IH}$$

$$N_{ML} \equiv V_{IL} - V_{OL}$$



### 7.3.2 Famiglie di porte logiche

Esistono principalmente cinque famiglie di porte logiche:

- RTL: Resistor transistor logic;
- DTL: Diod transistor logic;
- TTL: Transistor transistor logic;
- ECL: Emitter coupled logic;
- CMOS: Complementary Metal-Oxide-Semiconductor logic.

Le RTL e le DTL sono ormai obsolete, noi useremo le TTL.

Parametri	Logiche						
	RTL	DTL	HTL	TTL	ECL	MOS	CMOS
Porta di base	NOR	NAND	NAND	NAND	OR-NOR	NAND	NOR O NAND
Fan-out	5	8	10	10	25	20	>50
Potenza dissipata da una sola porta (mW)	12	8	55	10	40	1	0,01 statico (1 a 1 MHz)
Immunità al rumore	media	buona	eccellente	molto buona	buona	media	molto buona
Ritardo di propagazione per porta (ns)	12	30	90	10	2	100	50
Frequenza di funzionamento (MHz)	8	12	4	15	60	2	10
Numero di funzioni	alto	abbastanza alto	medio	molto alto	alto	basso	molto alto

Nonostante ECL sia la più veloce e CMOS quella che consuma di meno, TTL è la più comune per i bassi costi.

## 7.4 Porta NOT TTL nel dettaglio

## 7.5 Algebra di Boole

### 7.5.1 Identità Booleane

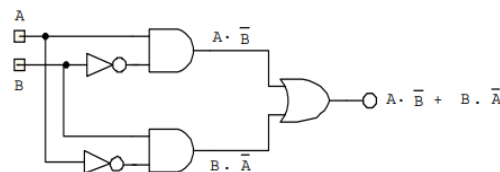
A partire da due o più variabili logiche A, B e C è possibile costruire espressioni logiche di varia complessità. Queste possono essere semplificate dalle regole dell'algebra di Boole, elenchiamo le più usate:

1.  $A + B + C = (A + B) + C = A + (B + C)$  (proprietà associativa)
2.  $A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$  (proprietà associativa)
3.  $A + B = B + A$  (proprietà commutativa)
4.  $A \cdot B = B \cdot A$  (proprietà commutativa)
5.  $A + A = A$  (identità)
6.  $A \cdot A = A$  (identità)
7.  $A + 1 = 1$
8.  $A + 0 = A$
9.  $A \cdot 1 = A$
10.  $A \cdot 0 = 0$
11.  $A \cdot (B + C) = A \cdot B + A \cdot C$  (proprietà distributiva)
12.  $A + (A \cdot B) = A$  (ridondanza)
13.  $A \cdot (A + B) = A$  (ridondanza)
14.  $A + (B \cdot C) = (A + B) \cdot (A + C)$
15.  $\overline{\overline{A}} = A$
16.  $A \cdot \overline{A} = 0$
17.  $A + \overline{A} = 1$
18.  $A + (\overline{A} \cdot B) = A + B$
19.  $A \cdot (\overline{A} + B) = A \cdot B$

Utilizzando le identità Booleane è possibile costruire la stessa porta in vari diversi modi, ad esempio per costruire la porta XOR, possiamo usare i seguenti 4 metodi<sup>1</sup>:

1.

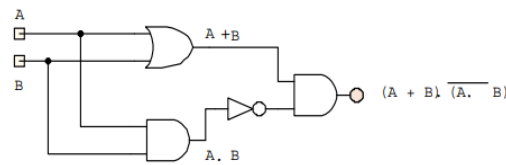
$$A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$$



<sup>1</sup>Quando si costruisce un'espressione logica da una tabella delle verità possiamo vedere il "." come intersezione e il "+" come unione. Ad esempio 1) è trovata pensando: abbiamo due casi per cui  $Y = 1$ , il primo è vero se  $\overline{A} \cdot B$ , il secondo se  $A \cdot \overline{B}$ , usando "+" uniamo le due condizioni; per la 3) invece il ragionamento è il seguente: abbiamo  $Y = 1$  se è vera  $A + B$  contemporaneamente a  $\overline{A} + \overline{B}$ . Tutto questo non servirà più nel momento in cui studieremo le mappe di Karnaugh.

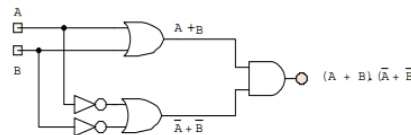
2.

$$A \oplus B = (A + B) \cdot (\overline{A \cdot B})$$



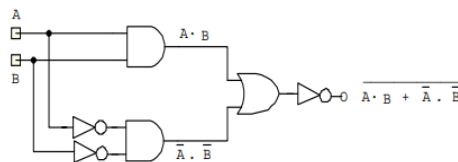
3.

$$A \oplus B = (A + B) \cdot (\overline{A} + \overline{B})$$



4.

$$A \oplus B = \overline{\overline{A} \cdot \overline{B} + A \cdot B}$$



## 7.6 Leggi di De Morgan

L'equivalenza delle quattro diverse implementazioni della funzione XOR può essere facilmente dimostrata facendo uso delle leggi di De Morgan:

•

$$\overline{A \cdot B \cdot C \cdots} = \overline{A} + \overline{B} + \overline{C} + \cdots;$$

•

$$\overline{A + B + C + \cdots} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdots.$$

Facendo uso dell'algebra di Boole e delle leggi di De Morgan è possibile semplificare proposizioni logiche complesse.

## 7.7 Forme standard di funzioni logiche

Esistono due diverse forme standard per le funzioni logiche: la somma di prodotti ed il prodotto di somme. Un esempio somma di prodotti (prima forma canonica) è

$$L = \overline{X}Y\overline{Z} + \overline{X}YZ + X\overline{Y}\overline{Z} + XY\overline{Z} + XYZ,$$

la somma di Minterm<sup>2</sup>. Possiamo riscrivere l'espressione come prodotto di somme (seconda forma canonica)

$$L = (X + Y + Z)(X + Y + \overline{Z})(\overline{X}Y\overline{Z}),$$

ogni termine di questa espressione è chiamato maxterm<sup>3</sup>.

Si dice che un prodotto di somme o una somma di prodotti è in forma estesa se ciascun termine della somma contiene tutte le variabili (come nei nostri esempi).

<sup>2</sup>Minterm: prendere una tabella delle verità dove vero e usa "·" tra le variabili negando quelle negative; ad esempio ( $A = 0, B = 1, C = 0$ ) | ( $Y = 1$ )  $\rightarrow \overline{A} \cdot B \cdot \overline{C}$ .

<sup>3</sup>Maxterm: prendere una tabella delle verità dove falsa e usa "+" tra le variabili negando quelle positive; ad esempio ( $A = 1, B = 0, C = 0$ ) | ( $Y = 0$ )  $\rightarrow \overline{A} + B + C$ .

## 7.8 Mappe di Karnaugh

Nel progettare un circuito che abbia una certa funzione logica possiamo avere vari modi in cui posizionare le varie porte logiche, tuttavia non è detto che quella che troveremo sia la migliore. Usare meno porte logiche porta ad una minimizzazione del costo, della compattezza e della velocità del nostro circuito.

Il metodo delle mappe di Karnaugh ci permette di costruire il circuito più compatto possibile (e quindi la funzione logica più corta) sotto forma di prodotto di somme (sempre convertibile in somma di prodotti), a partire dalla tabella di verità. Il metodo consiste nel convertire la tabella di verità in una tabella a due ingressi (come la tabella pitagorica). Nel momento in cui abbiamo due 1 adiacenti possiamo riunirli e questi saranno sempre funzione di uno solo dei due ingressi. Ad esempio, la funzione

$$Y = \bar{A} \cdot \bar{B} + A \cdot \bar{B} + A \cdot B$$

viene scritta come

		A	
		0	1
B	0	1	1
	1		1

Osserviamo che abbiamo due 1 che sono solo in funzione di B (infatti che A sia vero o falso non cambia nulla) ed essendo in quella riga B=0 allora dovremo avere  $\bar{B}$ ; abbiamo poi due 1 adiacenti in funzione di A, dove A=1, quindi la funzione logica è A; semplificata la funzione logica si sommano (funzione or) tutti gli 1 e troviamo

$$Y = A + \bar{B}$$

Anche se non era presente in questo caso, la dipendenza da due variabili è scritta come prodotto (funzione AND).

Vediamo un secondo esempio a 4 variabili. Sia la funzione cercata

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot D,$$

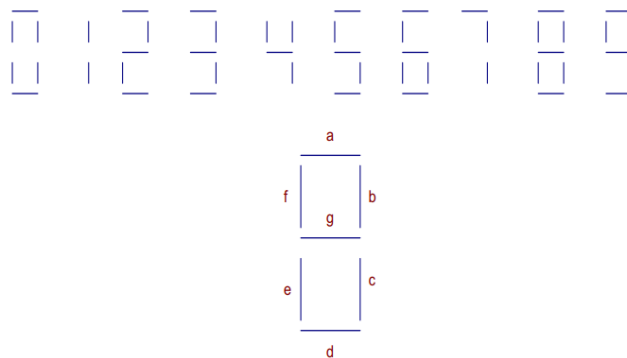
quello che faremo è scrivere la mappa di Karnaugh, ma avendo 4 variabili dovremmo metterne due per asse e mettere tutte le combinazioni di quelle due variabili sull'asse; inoltre estenderemo la mappa nel senso che prenderemo delle sue copie da scrivere adiacentemente a quella originale in tutte e quattro le direzioni, questo perché può capitare per esempio che ci sia un 1 all'ultima riga e un 1 alla prima, questi due 1 sono da contare come adiacenti.

		A			
		B			
C	D	00	01	11	10
		00	1		
	01			1	1
	11	1			
	10	1			1

Le regole sono le stesse di prima ma estese a 4 variabili quindi: per la dipendenza da una sola variabile, anziché una colonna o riga di due variabili avremo un rettangolo di 8; per la dipendenza da due avremo 4 celle adiacenti (in linea o quadrato); per la dipendenza da 3 variabili dobbiamo avere due celle adiacenti e per la dipendenza da quattro variabili dobbiamo avere una cella isolata.

## 7.9 Don't care e display a sette segmenti

Immaginiamo di volere programmare un display a sette segmenti



Scriviamo la tabella delle verità

n	$b_3$	$b_2$	$b_1$	$b_0$	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0	0	1	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Le combinazioni di variabili non scritte sono Don't care e si segnano come X nella tabella delle verità e nella mappa di Karnaugh. Possiamo considerarle 0 o 1 in base a cosa ci semplifica di più il lavoro (minor numero di porte, costo, velocità, efficienza...).

### 7.9.1 Il codice Gray

Benché il sistema numerico di cui abbiamo parlato finora è detto binario, esistono altri sistemi che fanno uso di due soli numeri, uno di questi è il codice Gray. Questo codice parte come quello binario,  $0 \rightarrow 0$  e  $1 \rightarrow 1$ , ma la sua peculiarità è che per passare al numero successivo cambia sempre un solo bit, quello meno significativo. Questa caratteristica è un indubbio vantaggio in elettronica dove i tempi di commutazione degli elementi che memorizzano i diversi bit possono differire leggermente. Osservando il seguente esempio è facilmente intuibile come si costruisce il codice:

0000	$\rightarrow$	0
0001	$\rightarrow$	1
0011	$\rightarrow$	2
0010	$\rightarrow$	3
0110	$\rightarrow$	4
0111	$\rightarrow$	5
0101	$\rightarrow$	6
0100	$\rightarrow$	7.

Possiamo realizzare un convertitore Gray-Binario in modo facile, consideriamo  $b_0, b_1, b_2$  come input e  $g_2, g_1, g_0$

$b_2$	$b_1$	$b_0$	$g_2$	$g_1$	$g_0$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.

## 7.10 Operazioni aritmetiche

### 7.10.1 Half-Adder

Proviamo a scrivere una tabella delle verità a due ingressi dove  $S$  è la somma dei due input e  $C$  è il riporto:

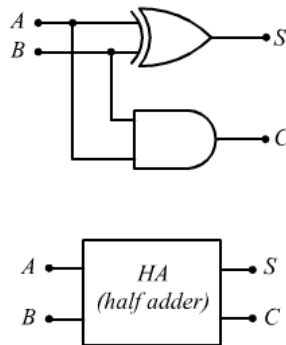
$a$	$b$	$S$	$C$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Osserviamo che  $S$  coincide con XOR e che  $C$  coincide con AND, dunque è possibile effettuare la somma di due numeri binari usando un circuito formato di una porta XOR e una AND. Questo metodo è efficace per numeri fino a  $1+1=2$ , noi vogliamo generalizzare il processo per tutti i numeri. Dati quindi due numeri

$$\underline{a} = a_{n-1}a_{n-2}\cdots a_3a_2a_1a_0;$$

$$\underline{b} = b_{n-1}b_{n-2}\cdots b_3b_2b_1b_0,$$

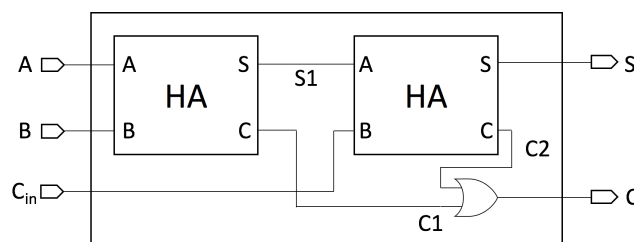
dove  $a_i$  e  $b_i$  sono le cifre binarie. Possiamo sommare il bit (la cifra)  $i$ -esima dei due numeri tramite un circuito che calcoli lo XOR e l'AND di  $a_i$  e  $b_i$ , questo circuito si chiama "semisommatore" o "Half Adder".



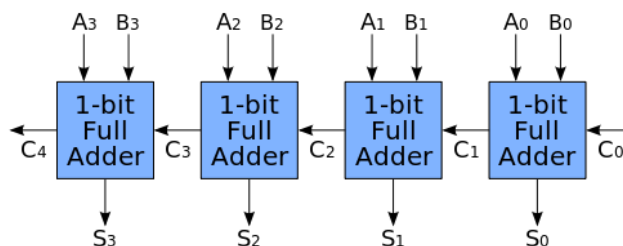
### 7.10.2 Full-Adder

Per effettuare la somma dei numeri  $\underline{a}$  e  $\underline{b}$ , occorrerà sommare ai bit  $a_i$  e  $b_i$  il riporto  $R_{i-1}$ .

Il circuito risultante (Full Adder) è relativamente semplice e riportiamo direttamente la sua costruzione



osserviamo che  $c_1$  e  $c_2$  non sono mai entrambi 1. Per creare un sommatore a  $n$  bit è sufficiente collegare i carry out





### 7.10.3 Rappresentazione dei numeri negativi

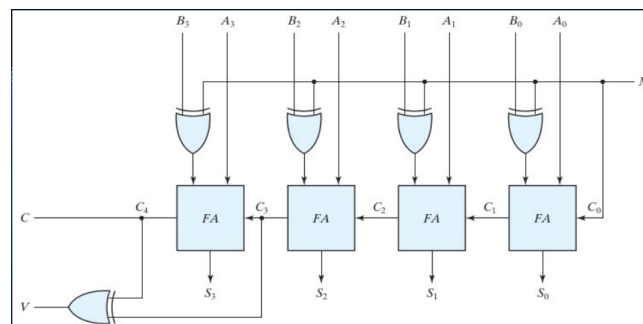
Per rappresentare un numero negativo è sufficiente adottare la seguente strategia.

Se il primo bit è 0 abbiamo un numero positivo, altrimenti un numero negativo. Quando abbiamo un numero negativo si va a complementare il suo valore assoluto. Ad esempio se  $0111=+7$ , allora  $1000=-7$ . Con  $n$  bit possiamo scrivere al massimo  $2^{n-1} - 1$  numeri positivi e  $2^{n-1}$  numeri negativi (questo perché  $0000=0$  complementato è  $1111$  che va ad occupare il più alto numero negativo,  $-8$  per 4 bit).

### 7.10.4 Sommatore e sottrattore

Anche in questo caso andiamo direttamente alla costruzione del circuito essendo questo molto semplice usando i precedenti circuiti.

Prendiamo un sommatore a  $n$  bit e facciamo entrare  $S = 0$  (M in figura) se somma,  $S = 1$  se sottrazione. In uscita da  $V$  avremo l'overflow, se  $V = 0$  il risultato è corretto e non abbiamo overflow, se  $V = 1$  allora abbiamo usato troppi bit per il nostro calcolatore.



## 7.11 Comparatori digitali

Supponiamo di voler comparare due semplici bit  $A$  e  $B$ . Abbiamo le seguenti possibili combinazioni

A	B	Test	Y
0	0	$A = B$	$\overline{A \cdot B}$
0	1	$A < B$	$\overline{A} \cdot B$
1	0	$A > B$	$A \cdot \overline{B}$
1	1	$A = B$	$A \cdot B$

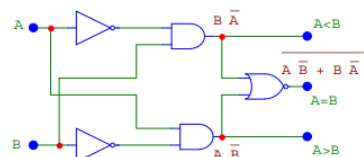
L'uguaglianza  $A = B$  è definita da:

$$Y = A \cdot B + \overline{A} \cdot \overline{B} = \overline{A \cdot \overline{B} + B \cdot \overline{A}}$$

In definitiva abbiamo la situazione in tabella:

$A > B$	$Y = A \cdot \overline{B} = 1$
$A < B$	$Y = \overline{A} \cdot B = 1$
$A = B$	$E \equiv Y = \overline{A \cdot \overline{B} + B \cdot \overline{A}} = 1$

attuabile con il seguente circuito.



## 7.12 Parità di un numero binario

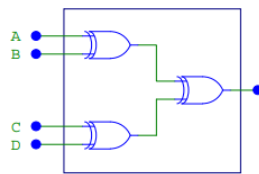
Definiamo la parità come la somma di singoli bit, ad esempio: la parola  $1101$  ha 3 bit veri e quindi è dispari, la parola  $1001$  ha due bit veri ed è quindi pari. Questo concetto è utile per vedere se abbiamo avuto glitch

e problemi (causati dal rumore presente sulle linee di trasmissione) che hanno modificato un bit. Infatti, ammettendo che la probabilità che ciò capiti sia molto bassa e che quindi la probabilità che siano addirittura due i bit a cambiare sia trascurabile, se una parola passa da essere dispari a pari o viceversa, allora abbiamo avuto un glitch.

Quello che possiamo fare per verificare la presenza di errori è aggiungere un bit vero se abbiamo di fronte una parola dispari e uno falso se abbiamo una parola pari. In questo modo avremo sempre numeri pari e la presenza di un numero dispari indicherà un errore. Osservando la tabella delle verità per due parole ad un bit ci accorgiamo che tale operazione è effettuata da un semplice circuito XOR.

A	B	parità del numero	bit da aggiungere
0	0	pari	0
0	1	dispari	1
1	0	dispari	1
1	1	pari	0

Se abbiamo una parola a quattro bit, possiamo definire la parità della coppia  $AB$ , quella di  $CD$  e infine la parità complessiva.



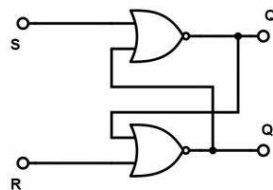
## Capitolo 8

# Logica sequenziale

La logica sequenziale nella teoria dei circuiti digitali è l'insieme di regole e implementazioni di circuiti che si basano sugli eventi attuali e passati degli stati logici e delle transizioni per determinare gli stati logici attuali. Il primo esempio di logica sequenziale è un orologio digitale la cui uscita dipende dal precedente stato (11:58→11:59).

### 8.1 Latch

#### 8.1.1 Latch con NOR

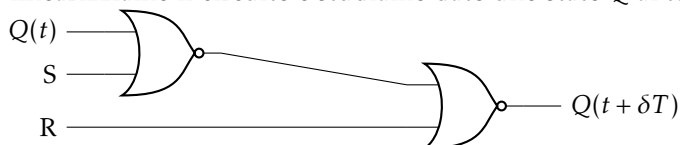


S	R	Q	$\overline{Q}$
0	0	HOLD	
0	1	0	1
1	0	1	0
1	1	X	X

Lo stato  $[0,1]$  è chiamato Reset, mentre  $[0,1]$  è il Set. l'ingresso  $[1,1]$  in S e R non è consentita perché lo stato successivo dipenderebbe dai ritardi  $\delta t$  delle porte: si andrebbe in oscillazione se  $\Delta t_1 = \Delta t_2$  e si manterrebbe fisso uno stato se  $\Delta t_1 < \Delta t_2$ . LO stato di HOLD lascia invariato lo stato di Q

#### Funzione caratteristica

Ora linearizziamo il circuito e studiamo dato uno stato Q al tempo  $t$ , quale sarà lo stato successivo



Vogliamo un'equazione che caratterizzi l'andamento temporale di Q (l'equazione caratteristica), partiamo dalla scrittura della tabella delle verità

S	R	Q(T)	Q(t+Δ t)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

da cui ci scriviamo una mappa di Karnaugh:

$\begin{matrix} S \\ R \end{matrix}$	00	01	11	10
0	0	0	X	1
1	1	0	X	1

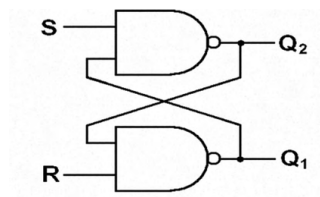
Il risultato è l'equazione caratteristica dei Latch SR:

$$Q(t + \Delta t) = S + \bar{R}Q(t).$$

Da ora in poi ragioneremo in termini di questa facendo le dovute sostituzioni.

### 8.1.2 Latch con NAND

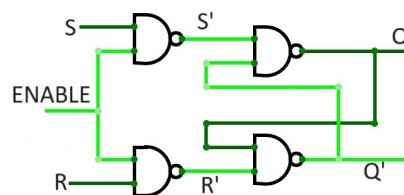
Abbiamo sempre un Latch ma questa volta con porte NAND



Osserviamo che abbiamo la stessa tabella delle verità di prima

#### Latch SR con ENABLE

Inseriamo adesso un segnale ENABLE. Come si può supporre dal nome, questo segnale abilita o meno il Latch.



dove ' indica la negazione e in uscita dalle prime due NAND abbiamo  $\bar{S}_1$  e  $\bar{R}_1$ .

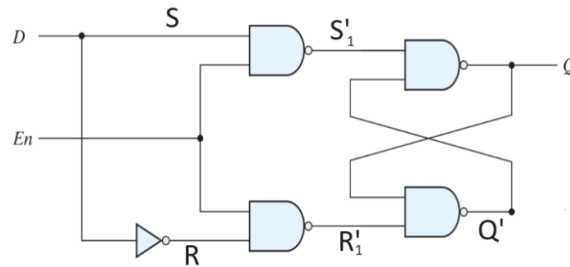
$$\begin{cases} Q(t + \Delta t) = \bar{S}_1 + \bar{R}_1 Q(t) \\ S_1 = S \cdot \bar{E} \\ R_1 = R \cdot \bar{E} \end{cases} \Rightarrow Q(t + \Delta t) = S \cdot E + \bar{R} \cdot \bar{E} Q(t).$$

Segue:

$$\begin{aligned} Q(t + \Delta t)|_{E=0} &= Q(t) = \text{HOLD}; \\ Q(t + \Delta t)|_{E=1} &= S + \bar{R} Q(t). \end{aligned}$$

### 8.1.3 Latch di tipo D

La necessità di questo Latch nasce dalla richiesta di eliminare lo stato proibito. È sufficiente mettere un NOT tra R e S per avere sempre  $R = \bar{S}$  ed eliminare gli stati [0,0] (HOLD) e [1,1] proibito.



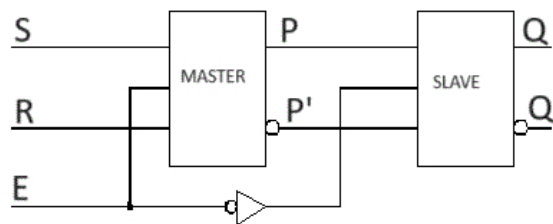
$$\begin{cases} S = \overline{D \cdot E} \\ R = \overline{\overline{D} \cdot E} \\ Q(t + \Delta t) = \bar{S} + \bar{R}Q(t) \end{cases} \Rightarrow Q(t + \Delta t) = D \cdot E + \overline{\overline{D} \cdot E} Q(t) = D \cdot E + D Q(t) + \bar{E} Q(t)$$

$$Q(t + \Delta t)|_{E=0} = D Q(t) + Q(t) = Q(t) = HOLD$$

$$Q(t + \Delta t)|_{E=1} = D + DQ(t) = D$$

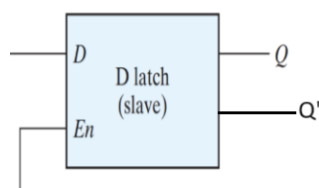
## 8.2 Flip-Flop

### 8.2.1 Master slave

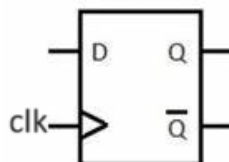


Ogni scatola è un Latch SR. Se  $E = 1$  il Master è attivo e lo Slave è in HOLD, questo significa che S e R comandano su P e  $\bar{P}$ . Nel momento in cui E passa  $1 \rightarrow 0$ , allora il dato di SR viene trasferito a Q e  $\bar{Q}$ . Questa configurazione ha tuttavia un problema, se un glitch porta  $S = R = 1$ , allora questo stato rimane tale anche al cambiare del fronte d'onda (glitch di 1's catchong). La soluzione è banale, dobbiamo usare Latch D.

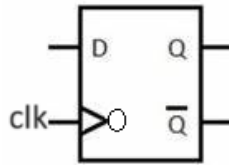
Il circuito appena visto era un Flip Flop di tipo SR, la differenza da un Latch è che questi sono sensibili al fronte (di salita o di discesa) d'onda, mentre i Latch sono sensibili al livello.



Latch D



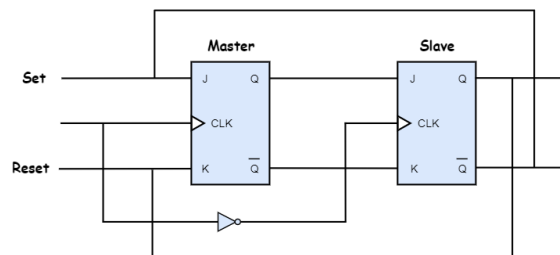
Flip Flop Sensibile al fronte di salita



Flip Flop Sensibile al fronte di discesa

### 8.2.2 FF JK

Introduciamo ora una categoria di Flip Flop molto utilizzata, i JK. Questi Flip Flop eliminano lo stato proibito dei Jk sostituendogli lo stato di TOGGLE, ovvero se lo stato precedente era [01], il successivo sarà [10] e così via.



Osserviamo che possiamo semplificare tutta la struttura del master slave con un SR Flip Flop. Abbiamo

$$\begin{cases} Q(t + \Delta t) = S + \overline{R}Q(t) \\ S = J \cdot \overline{Q}(t) \\ R = K \cdot Q(t) \end{cases} \Rightarrow Q(t + \Delta t) = J - \overline{Q}(t) + \overline{K} \cdot Q(t)$$

La tabella delle verità è

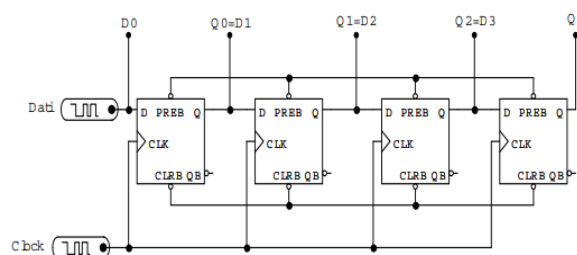
J	K	Q(t+Δt)	
1	0	1	
0	1	0	
1	1	$\overline{Q}(t)$	TOGGLE
0	0	$Q(t)$	HOLD

### 8.2.3 FF Edge triggered

### 8.2.4 FF D

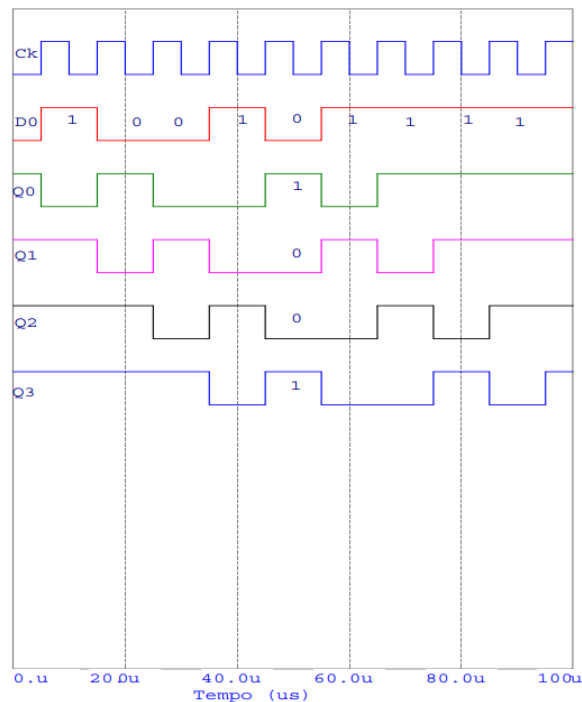
## 8.3 Shift-Register

Gli shift-register (registri a scorrimento), sono catene di FF usate per memorizzare "stringhe" di dati. Vediamo un primo esempio.



Applichiamo in ingresso un segnale  $D_0$  (che ammettiamo sia alto e che sia alto anche il Preset), gli FF sono di tipo D, quindi all'arrivo del segnale di Clock questo segnale si sposterà a  $D_1$ , il segnale in ingresso al secondo FF. All'arrivo dei successivi segnali di Clock il segnale si sposterà da un FF all'altro. Supponendo di

aver applicato a  $D_0$  una serie di segnali 1001, dopo quattro clock avremo in uscita  $Q_0 - Q_3$  i segnali 1001, questo tipo di conversione si chiama seriale-parallelo (o serial in-parallel out). Possiamo fare una conversione parallelo-seriale usando lo stesso metodo.



Alcuni utilizzi comuni includono:

- Sistemi di comunicazione: Gli shift register possono essere utilizzati per la trasmissione e la ricezione di dati in forma seriale su canali di comunicazione;
- Conversione dati: Possono essere impiegati per convertire dati seriali in dati paralleli, e viceversa, consentendo l'interfacciamento tra dispositivi con diverse modalità di trasmissione dati;
- Generazione di sequenze: Gli shift register possono essere utilizzati per generare sequenze di dati, come sequenze pseudocasuali, utili in applicazioni come il testing dei circuiti;
- Controllo del display: Possono essere impiegati per controllare la visualizzazione dei dati su display a sette segmenti o matrici LED, consentendo la rappresentazione di numeri, caratteri o immagini;
- Memoria temporanea: Possono essere utilizzati come memoria temporanea per l'elaborazione dei dati in vari tipi di applicazioni, come elaborazione digitale del segnale (DSP) e sistemi di filtraggio.

Vediamo ora alcune misure importanti specifiche di ogni FF, visualizzabili sul datasheet:

- Tempo di set-up ( $T_S$ ): Il periodo di tempo necessario per stabilizzare il dato  $D_0$  prima del segnale di clock;
- Tempo di hold ( $T_H$ ): Il periodo di tempo durante il quale i dati in ingresso devono essere mantenuti stabili dopo il fronte di salita del segnale di clock;
- Tempo di propagazione ( $T_P$ ): Il periodo di tempo tra il fronte di clock e il trasferimento in uscita di  $D_0$ ;
- Skew time ( $T_{skew}$ ): Il ritardo relativo tra i segnali di clock di diverse fasi all'interno di uno shift register (in uno shift register, ogni stadio viene sincronizzato da un segnale di clock; tuttavia, a causa di variazioni nel circuito o nelle linee di clock, potrebbe verificarsi uno sfasamento temporale tra i segnali di clock che raggiungono i vari stadi).

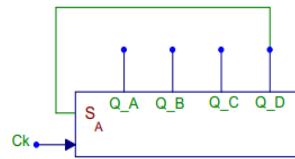
Dalle definizioni si possono intuire alcune regole generali:

$$\begin{aligned}
 T_P &> T_H; \\
 T_{clk} &> T_P + T_S; \\
 T_{skew} &< T_H; \\
 T_{clk} &> T_P + T_S + T_{skew}.
 \end{aligned}$$

## 8.4 Applicazioni di FF e SR

### 8.4.1 Generazione di sequenze

Supponiamo di avere un SR composto da quattro FF e colleghiamo l'uscita dell'ultimo FF al set del primo.



Supponiamo di caricare (0001) sugli FF, avremo generato una sequenza che si muove a ritmo di clock tra i FF.

### 8.4.2 Johnson Counter

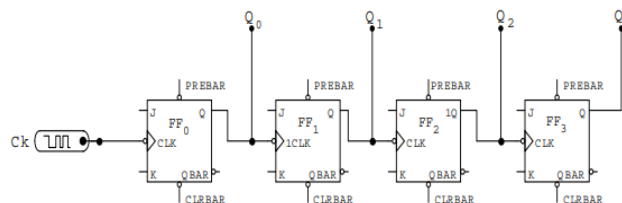
Il Johnson Counter è un generatore di sequenze che raddoppia la lunghezza della sequenza (ma dato il numero di Shift-Register il numero di frequenze possibili rimane lo stesso del caso precedente). La costruzione è identica al generatore di frequenza ma con un NOT che collega l'ultimo SR al primo.

## 8.5 Generazione di sequenze pseudocasuali

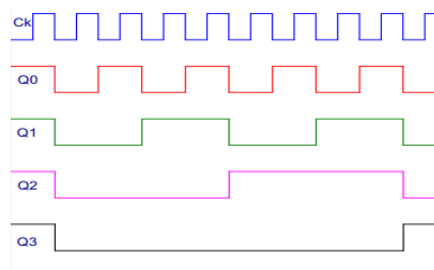
Questo generatore genera la sequenza più lunga possibile per il minimo numero di FF. Per realizzarlo è sufficiente collegare l'ultimo e il penultimo FF al primo tramite una porta XOR. Come nel precedente caso la frequenza è più lunga ma sono disponibili tante opzioni quanto il numero di FF.

### 8.5.1 Contatori asincroni (ripple counter)

I FF possono essere usati per realizzare contatori. Prendiamo come esempio quattro FF di tipo JK (questi sono edge triggered, ovvero il bit del FF viene passato quando l'impulso di clock finisce). Supponiamo di avere J, k a 1. I quattro FF effettueranno quella che è chiamata funzione TOGGLE, ovvero cambieranno stato ad ogni impulso di Clock.



Osserviamo che il Clock di ogni FF corrisponde all'uscita del precedente FF (ad esclusione del primo che ha un clock esterno), questo comporta le seguenti uscite.



Osserviamo l'immagine e ragioniamo in termini di impulso di Clock. Per FF la frequenza in uscita è la metà della precedente, inoltre se la sequenza iniziale è [0000] seguiranno [0001], [0010], [0011]... Osserviamo che il circuito sta contando gli impulsi di clock. Dopo il 15-esimo il conteggio si azzererà.

Collegando l'uscita  $\bar{Q}$  al clock del successivo FF (al posto di Q), otterremo un contatore che conta al contrario. Vediamo anche che abbiamo realizzato allo stesso tempo un divisore di frequenza.



## 8.6 Contatori sincroni

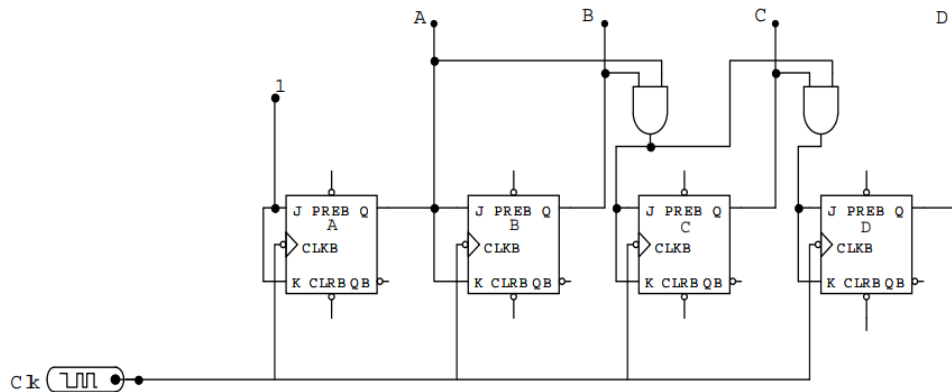
I contatori esaminati fino qui sono detti asincroni perché affinché avvenga la transizione di un FF abbiamo bisogno che avvenga prima la transizione del FF precedente (l'uscita di un FF fa da clock al successivo FF). Tutto questo comporta dei grossi ritardi, infatti in un contatore asincrono

$$T_{\text{clock}} > nT_P + T_S.$$

Per ridurre i tempi di propagazione conviene utilizzare il clock in modo sincronizzato per tutti gli FF.

### 8.6.1 Carry in serie

Un modo di implementare questa idea in un contatore è il seguente.



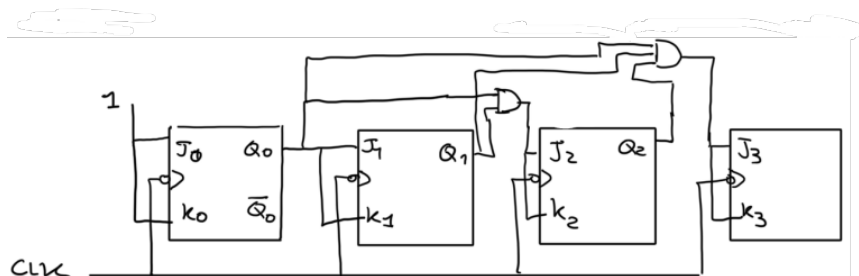
Vediamo che l'ingresso del primo FF è  $J=K=1$  e quindi cambia stato al segnale di clock, del secondo  $J=K=A$  e quindi cambia stato al segnale di clock quando  $A=1$ , il terzo clock commuta se  $A=B=1$ , il quarto se  $A=B=C=1$ . Ci accorgiamo facilmente che lo stato ad ogni impulso di clock sarà:  $[0000], [0001], [0010], [0011] \dots$ . Come prima dopo il quindicesimo impulso di clock lo stato tornerà  $[0000]$ . Questa volta però abbiamo un ritardo  $\tau$  (tempo di propagazione) complessivo ad ogni impulso di clock, perché le transizioni avvengono in simultanea; considerando anche il tempo di propagazione  $\tau'$  della porta AND avremo che

$$T_{\text{clock}} > \tau + \tau'.$$

Questo circuito è detto avere carry in serie perché ad ogni clock è il riporto a far cambiare stato al FF successivo.

### 8.6.2 Carry in parallelo

Se volessimo ottimizzare ancora di più i tempi di propagazione potremmo progettare un circuito dove lo stato cambi con una frequenza di  $2^0$  per il primo FF,  $2^1$  per il secondo  $2^2$  per il terzo e così via, indipendentemente dal riporto del precedente FF, dobbiamo progettare un Contatore sincrono con carry in parallelo. Un possibile circuito è il seguente.

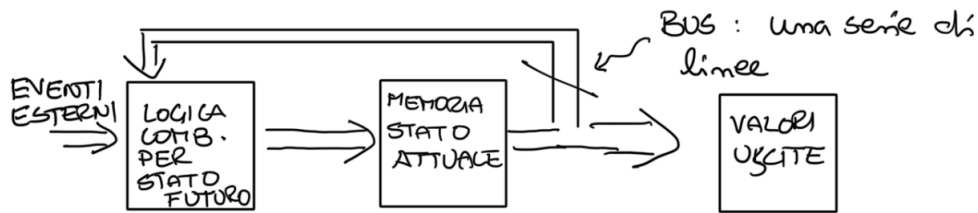


In questo caso abbiamo Load e Clear asincroni e impostati a 0. per contare oltre i 4 bit dobbiamo mettere in serie più contatori in parallelo collegati da RCO (Ripple Carry Out).

## 8.7 Macchine a stati finiti

Il modello delle macchine a stati finiti è un metodo di progettazione di un circuito basato sugli stati richiesti. Abbiamo due metodi: Moore e Mealy.

### 8.7.1 Macchina di Moore



Capiamo meglio con il prossimo esempio: Abbiamo un parcheggio controllato da fotocellule (una in entrata e una in uscita), se  $N = N_{MAX}$  chiudiamo la sbarra.

Siano  $V$  gli eventi possibili:

$V=00 \rightarrow$  non arrivano auto;

$V=01 \rightarrow$  entra un'auto;

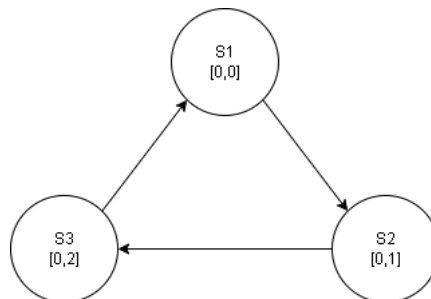
$V=10 \rightarrow$  esce un'auto.

Le possibili uscite sono invece:

$[N, 0]$ , dove 0 indica la barra su;

$[N_{MAX}, 1]$  dove 1 indica la sbarra giù.

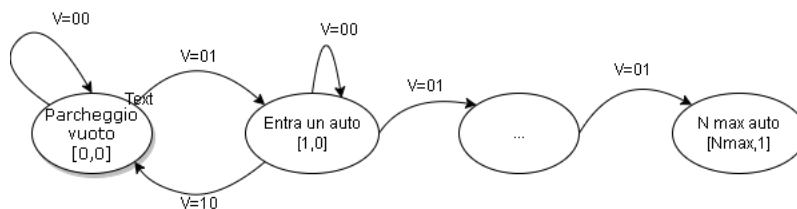
Possiamo disegnare un diagramma di stato:



La FSM più facile da costruire è un contatore.

#### Contatore FSM [00,01,10]

**Passo 1:** Diagrammi di stato



**Passo 2:** Tabella delle verità Ho 3 stati, per contarli bastano 2 Bit:  $Q_0$  e  $Q_1$

$Q_1$	$Q_0$	$Q_1^+$	$Q_0^+$
0	0	0	1
0	1	1	0
1	0	0	0
1	1	X	X

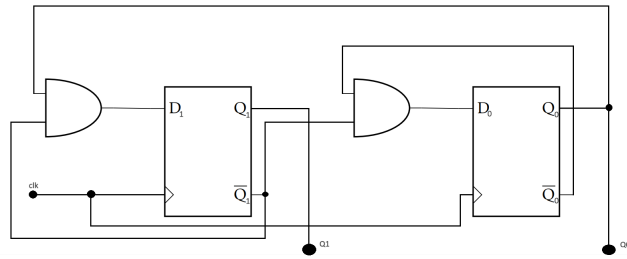
Dove il "+" va ad indicare lo stato successivo.

**Passo 3:** Scelta Hardware Scelto ad esempio un FF di tipo D come hardware, allora  $Q_1^+ = D_1$  e  $Q_0^+ = D_0$ . Segue

$$D_0 = \overline{Q_1} \cdot \overline{Q_0}$$

$$D_1 = \overline{Q_1} \cdot Q_0$$

**Passo 4:** Costruzione del circuito



**Passo 5:** Controllare che non ci siano interferenze con i Don't care

**Contatore con JK**

**Circuito lampeggiante con ENABLE**

**8.7.2 Macchina di Mealy**

## Capitolo 9

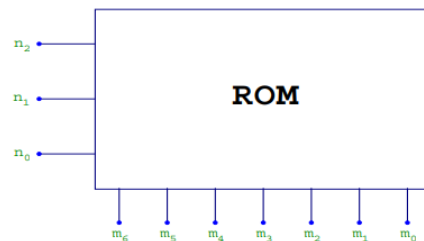
# Logica complessa

### 9.1 Memorie

L'utilizzo delle memorie è sempre più diffuso nei sistemi digitali. Una memoria è un sistema dove è possibile immagazzinare, per determinati periodi, informazioni digitali. Le memorie possono essere di tipo "sequenziale" (come il nastro magnetico) o di tipo "ad accesso casuale" (come dischi floppy e hard disk). In genere le memorie funzionano attraverso processi di magnetizzazione. Nelle memorie sequenziali è necessario leggere tutta l'informazione fino ad arrivare all'informazione ricercata, in quelle ad accesso casuale possiamo arrivare all'informazione ricercata salvandola in alcuni "indirizzi".

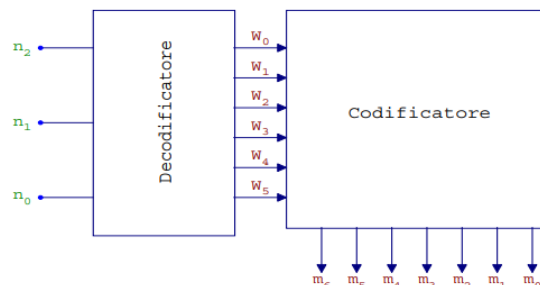
Un computer ha bisogno di memorie temporanee (come le RAM: Random Access Memories) e memorie permanenti (come le ROM: Read Only Memories).

#### 9.1.1 Struttura di una ROM

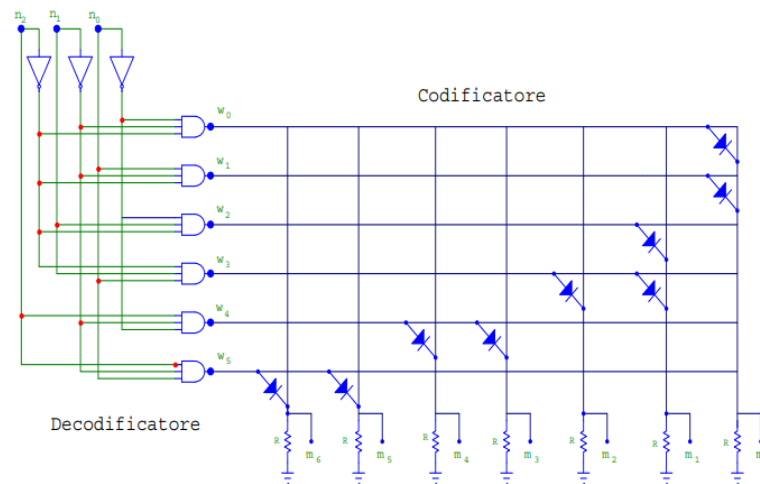


La struttura di base di una ROM comprende una matrice di celle di memoria, o bit di memoria, organizzate in righe e colonne. Il numero di righe corrisponde al numero  $n$  di ingressi e il numero di colonne corrisponde al numero  $m$  di uscite; segue che possiamo avere un numero massimo di  $2^n$  combinazioni (o indirizzi) e la dimensione della ROM è  $2^n \times m - \text{\#Bit}$ .

Possiamo usare queste combinazioni per creare  $m$  funzioni di  $n$  variabili simultaneamente. Per fare queste operazioni la ROM è divisa in due parti: Un decodificatore e un codificatore.



Vediamo che  $W_{\max} = 2^n$ . Il codificatore (o encoder) è una matrice di diodi, mentre il decodificatore (o decoder) è un circuito di porte NOT e AND. Un esempio è il seguente.



Vediamo che  $W_{\max} = 2^n$ :

$$W_0 = \bar{n}_2 \cdot \bar{n}_1 \cdot \bar{n}_0$$

$$W_1 = \bar{n}_2 \cdot \bar{n}_1 \cdot n_0$$

$$W_2 = \bar{n}_2 \cdot n_1 \cdot n_0$$

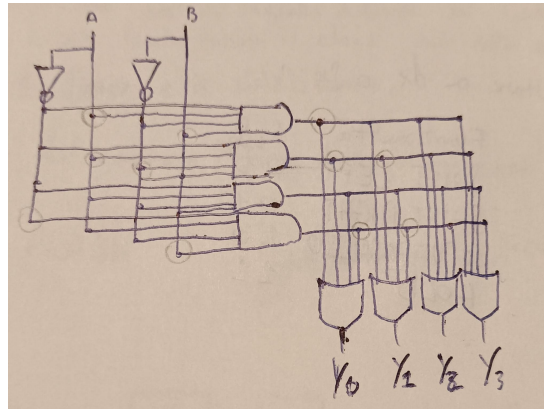
$$\vdots$$

$$W_7 = n_2 \cdot n_1 \cdot n_0$$

Gli incroci che vediamo sono i Bit della ROM, non sono collegamenti (gli unici collegamenti sono i diodi).

## 9.2 PLA: Programmable Logic Array

le PLA possono essere schematizzate come un decodificatore (piano AND) accoppiato ad un codificatore (piano OR).



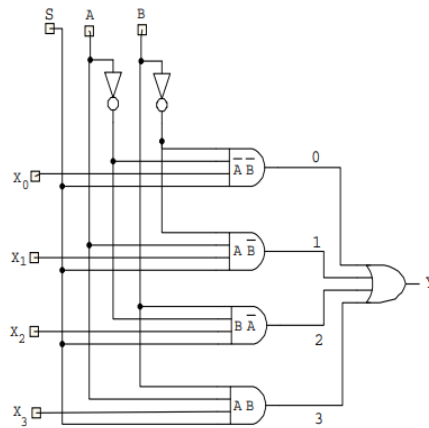
In una PLA sono disponibili tutte le connessioni quando non programmata, se vogliamo programmarla è sufficiente eliminare i collegamenti non richiesti per svolgere la funzione cercata. Ad esempio se vogliamo:

$$Y_1 = A \oplus B = \bar{A} \cdot B + A \cdot \bar{B}, \quad Y_0 = A + B = \bar{A} \cdot B + A \cdot \bar{B} + A \cdot B$$

è sufficiente eliminare tutte le connessioni tranne quelle cercate.

## 9.3 Multiplexer

Supponiamo di volere incanalare su un'unica linea, dati che provengono da  $N$  linee diverse. A questo scopo sarà necessario un multiplexer. Un multiplexer prende  $N$  dati, questi vengono selezionati attraverso l'indirizzo e poi si ha un'unica uscita.



Prendiamo come esempio il multiplexer in figura. I dati in ingresso sono i vari  $x$ , gli indirizzi sono  $A$  e  $B$  e si ha un'unica porta in uscita. Nel caso in figura abbiamo una porta AND a quattro variabili: i segnali  $x$  per inviare un bit sono ovviamente alti,  $S$  è l'ingresso di abilitazione Strobe (oppure Enable che serve ad accendere o spegnere il dispositivo) e gli indirizzi  $A$  e  $B$  hanno 4 possibili combinazioni che permettono il passaggio del segnale dipendentemente dal fatto che siano veri o falsi (essendo le porte AND a quattro variabili vere solo se tutti e quattro i segnali sono veri, sono presenti anche dei NOT).

Un multiplexer può essere impegnato anche come funzione logica. Le quattro combinazioni (in un multiplexer a 4 ingressi) con Enable acceso sono

B	A	S	Y
0	0	1	$x_0$
0	1	1	$x_1$
1	0	1	$x_2$
1	1	1	$x_3$

possiamo quindi scrivere

$$Y = x_0 \overline{A} \overline{B} + x_1 \overline{A} B + x_2 A \overline{B} + x_3 A B.$$

Supponiamo ora di volere implementare la seguente logica

$$Y = C \overline{B} \overline{A} + \overline{C} B \overline{A} + C \overline{B} A + \overline{C} B A,$$

i prime due termini si semplificano ( $C + \overline{C}$ ) e otteniamo

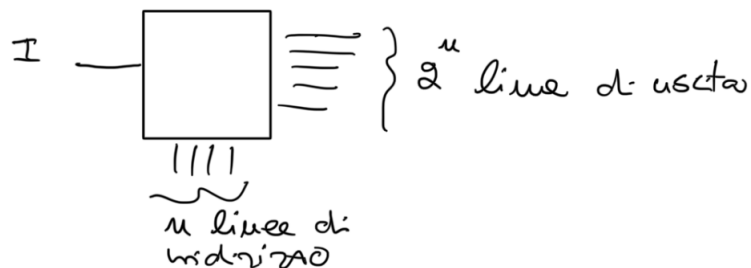
$$Y = \overline{B} \overline{A} + C \overline{B} A + \overline{C} B A,$$

che confrontato con la funzione logica del multiplexer ci mostra che è sufficiente prendere un multiplexer dove

$$x_0 = 1; \quad x_1 = C; \quad x_2 = 0; \quad x_3 = \overline{C}.$$

## 9.4 Demultiplexer

Il Demultiplexer trasforma  $n$  indirizzi in  $2^n$  uscite, ha solo un ingresso.



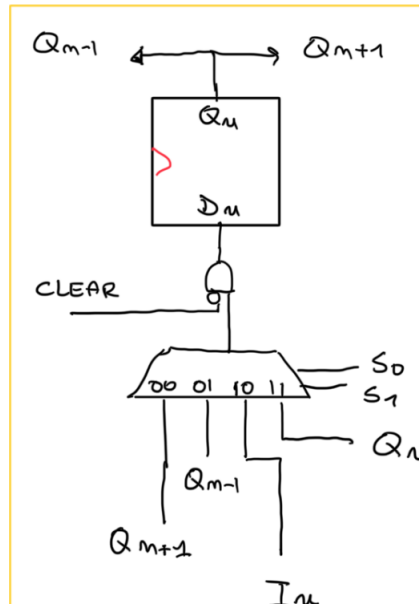
Dato l'ingresso  $X$  e gli indirizzi  $I_0 \dots I_{n-1}$ , abbiamo le  $2^n$  uscite:

$$\begin{aligned} X \cdot \bar{I}_0 \cdot \dots \cdot \bar{I}_{n-1} \\ X \cdot I_0 \cdot \dots \cdot I_{n-1} \end{aligned}$$

Anche il Demux può essere usato per implementare funzioni, è sufficiente scriverle in prima forma canonica e implementare un OR di  $2^n$  ingressi.

## 9.5 Universal shift register

Come dice il nome abbiamo di fronte un registro, tuttavia questa volta i segnali si possono spostare a destra o a sinistra.



Il trapezio che vediamo è un Demux. Vediamone il funzionamento.

Funzionalità	$S_1$	$S_0$
SHIFT LEFT	0	0
SHIFT RIGHT	0	1
INPUT PARALLELO	1	0
HOLD	1	1

L'input parallelo serve ad inserire i dati nel USR.

## 9.6 Analog Digital conversion

In laboratorio compiamo misure usando l'AD2 che attraverso la basetta preleva misure analogiche e le converte in digitali. Il campionamento avviene ogni intervallo di tempo definito e l'ADC invia un numero binario  $N$  al computer. La tensione massima misurata corrisponde a:

$$V_{ADC} = N \Delta V$$

dove  $\Delta V$  è la quantizzazione dell'ADC. L' $N_{MAX}$  corrisponde a  $2^n - 1$  dove  $n$  è il numero di Bit del convertitore (10 Bit per l'AD2). Inoltre

$$\Delta V_{min} = \frac{\text{intervallo di misura}}{2^n}$$

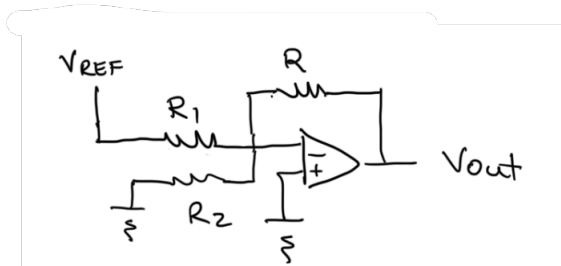
per l'AD2 abbiamo  $\Delta V_{min} = 5V/1024 \approx 5mV$ . Inoltre avremo un errore di  $\pm 0.5$  Bit corrispondente al 0.05% della misura.

## 9.7 Digital Analog conversion

è un dispositivo vge associa un numero  $n$  ad una tensione attraverso la quantizzazione  $\Delta V$ :

$$V_{DAC} = N \cdot \Delta V$$

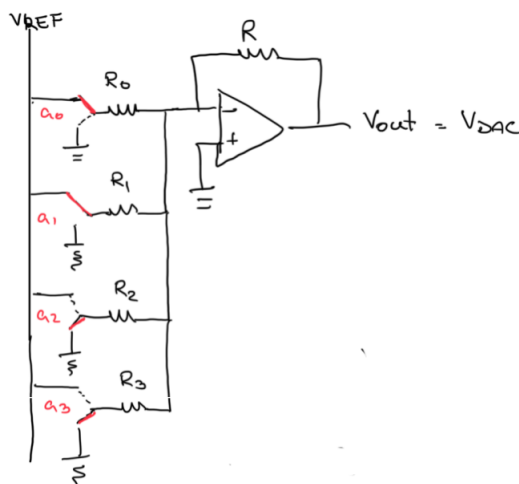
## 9.8 Realizzazione DAC: DAC a sommatore



Abbiamo un sommatore invertente con

$$V_{out} = -V_{ref} \cdot \frac{R}{R_1 // R_2} = -V_{ref} R \left( \frac{1}{R_1} + \frac{1}{R_2} \right).$$

Se ora realizzo un sommatore con parallelo di  $R$  che dimezzano di volta in volta avrò



Osserviamo che

$$V_{out} = -V_{REF} \left( \frac{R}{R_0} \cdot a_0 + \frac{R}{R_1} \cdot a_1 + \frac{R}{R_2} \cdot a_2 + \frac{R}{R_3} \cdot a_3 \right)$$

e con

$$\begin{aligned} R_0 &= R & R_2 &= \frac{R}{4} \\ R_1 &= \frac{R}{2} & R_3 &= \frac{R}{8} \end{aligned}$$

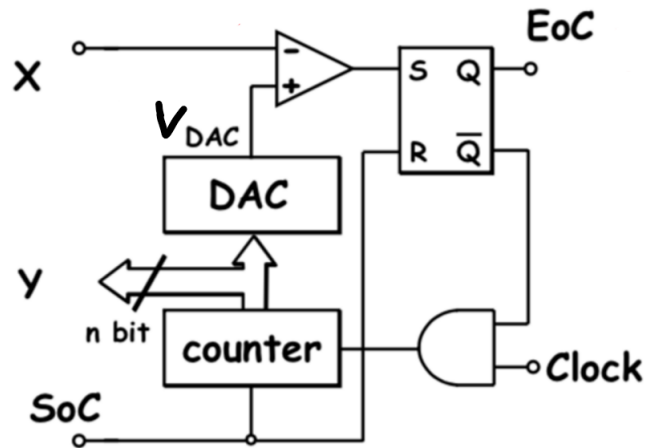
otteniamo

$$V_{out} = -V_{REF} (a_0 + 2a_1 + 2^2a_2 + 2^3a_3)$$

$V_{REF}$  corrisponde a  $\Delta V$ . Se ad esempio voglio  $3\Delta V$ , metterò a terra gli interruttori  $a_2, a_3$ .



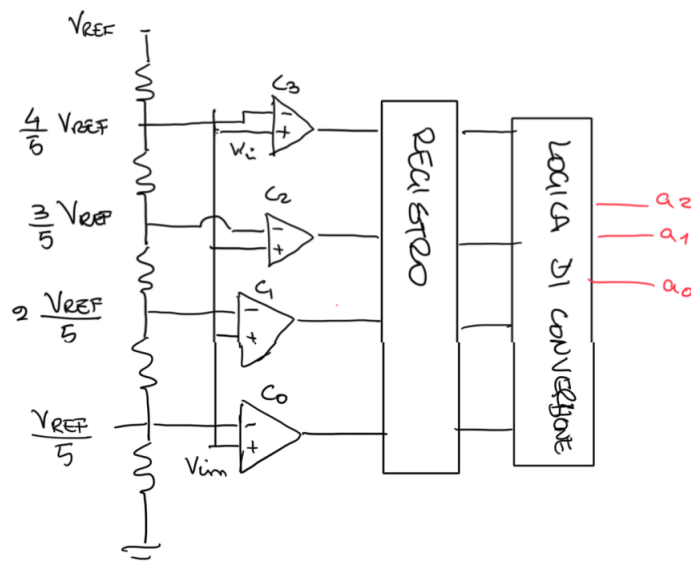
## 9.9 ADC a gradinata



Analizziamo il circuito.  $x$  è la tensione analogica da misurare, SoC e EoC sono rispettivamente Start of counter e End of counter. In uscita dal contatore ho un numero binario che entrando nel DAC genera un impulso di tensione  $V = N \Delta V$ , questo impulso viene comparato a  $x$  che se maggiore avremo uscita  $V_{out\ OP}$  alta dall'OPAMP, se minore uscita bassa (siamo in saturazione). Essendo in saturazione ho un ingresso digitale nel Latch SR, se  $V_{out\ OP} = 0 \Rightarrow S = 0$  e  $\bar{Q} = 1$ , questo lascia passare il clock dall'AND e il ciclo ricomincia; se  $V_{out\ OP} = 1 \Rightarrow S = 1$ ,  $Q_1$   $\bar{Q} = 0$  e il ciclo si ferma. Il problema di questo circuito è la velocità di conversione.

## 9.10 ADC FLASH

Il passo successivo è velocizzare la conversione, per farlo progettiamo il seguente circuito



Ho un errore di quantizzazione di  $V_{REF}/5$ ,  $V_{REF}$  è anche il valore massimo misurabile, quindi per renderlo più sensibile devo allungare a  $n$  resistenze, oppure usare il doppio guadagno (se  $V_{in} < V_{REF}$  si usa quello sopra, altrimenti quello sotto). In questo caso a 5 resistenze  $V_{in}$  può assumere 5 valori, quindi bastano 3 Bit in uscita.

$c_3$	$c_2$	$c_1$	$c_0$	$a_2$	$a_1$	$a_0$
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	1	0	1	0
0	1	1	1	0	1	1
1	1	1	1	1	0	0

# Appendice

## Appendice A: Errori

### Errori di misura

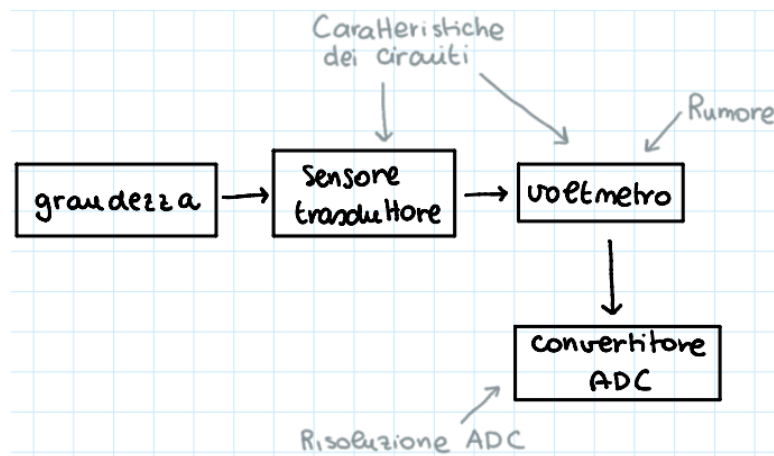
Noi ci concentriamo sugli errori derivati dalla strumentazione in uso di laboratorio. Esistono:

- Errori casuali:
  - risoluzione strumentale;
  - condizioni ambientali (temperatura, rumore);
  - Etc...
- Errori sistematici:
  - (cattiva) calibrazione di uno strumento;
  - lettura errata di una scala graduata (come l'errore di parallasse).

Gli errori sistematici determinano sistematicamente uno scostamento degli errori (es. la lettura di una scala con un angolo non corretto determina un offset nelle misure).

Nel caso degli errori casuali, l'iterazione consente di ridurre l'errore, cosa non vera per gli errori sistematici, per cui iterare la misura non produce nessun beneficio.

Il seguente schema indica (a grandi linee) come avviene la presa di una misura digitale:



Le sorgenti aleatorie non sono quantificabili a priori, ma dobbiamo eseguire una stima sul momento.

Tipicamente, l'errore sui componenti circuitali è espresso in errore percentuale (relativo), mentre l'errore sull'ADC è espresso in digit.

Per esempio, il voltmetro riporta un errore di lettura e un errore di calibrazione:

$$\text{lettura} = \text{valore best} \pm \begin{matrix} \text{errore} \\ \text{casuale} \end{matrix} \pm \begin{matrix} \text{errore} \\ \text{sistematico} \end{matrix}$$

NOTA: gli errori casuali sappiamo come trattarli (hanno una certa distribuzione), gli errori sistematici no.

L'errore complessivo può essere espresso, se le condizioni lo permettono, come:

$$\text{errore sistematico} = \sqrt{\sigma_{\text{casuale}}^2 + \sigma_{\text{sistematico}}^2}$$

Se gli errori di misura sono indipendenti, allora è possibile sommarli in quadratura:

$$\begin{aligned} z &= x + y \\ \bar{z} &= \bar{x} + \bar{y} \end{aligned} \Rightarrow \sigma_z = \sqrt{\sigma_x^2 + \sigma_y^2}$$

Tipicamente l'errore sistematico è correlato all'errore casuale, però noi non sappiamo come si comporta (può essere un fattore di scala o un offset). Se ad esempio prese due d.d.p.  $x$  e  $y$ , e  $z=x+y$ , l'errore sistematico è un fattore di scala:

$$\begin{aligned} x &= 1.005\bar{x} \uparrow \text{stesso} \\ y &= 1.005\bar{y} \downarrow \text{fattore!} \end{aligned}$$

ne segue:

$$z = x + y = 1.005(\bar{x} + \bar{y})$$

Se la misurazione è  $z = y/x = \text{tensione uscita/tensione entrata}$ . con le ipotesi di lavoro con il medesimo strumento, nel rapporto si semplifica e abbiamo che la sorgente del errore sistematico viene cancellata (sorgente legata alla calibrazione dello strumento).

## Errori di lettura di una scala graduata

Regolare i cursori equivale a leggere una scala graduata; possiamo assumere che la lettura si collochi all'interno di quella divisione in maniera equiprobabile (dunque una distribuzione uniforme con errore di lettura  $1/\sqrt{12}$  l'ampiezza dell'intervallo). NOTA: per misure di tensione effettuate con due diversi fondo-scala sullo stesso canale, o con due diversi canali, in assenza di altre informazioni, assumiamo che siano indipendenti errori di calibrazione.

$$\sigma_{\text{SYST}} = 0.5\% \oplus 0.5\% = 0.7\%$$

## Rappresentazione di significative

È materia di convenzione ma  ~~$1.257 \pm 0.324$~~  NO

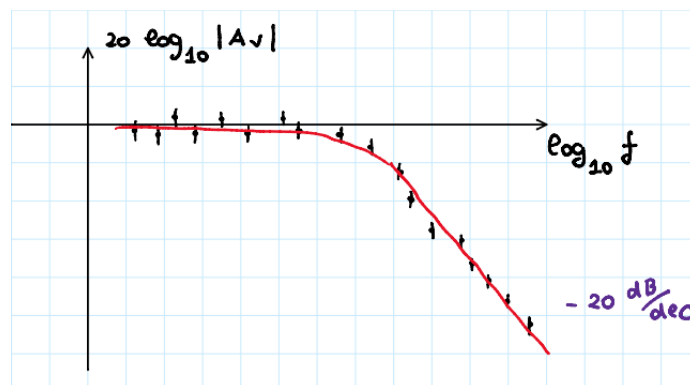
- Per l'errore, la norma è non più di una cifra significativa, a patto che l'esclusione delle cifre significative non introduca discrepanze sull'errore relativo  $> 20\%$

- Se sopprimo  $10.0 \pm 1.4$   $> 20\%$
- Se sopprimo  $10.0 \pm 5.2$   $< 20\%$

si può trovare una seconda cifra significativa fino a 2.qualcosa, dopo no...

- Per il best value, dobbiamo troncare (per difetto o per eccesso a seconda che ...) all'ultima potenza di 10 l'errore.

Supponiamo di aver realizzato un plot di Bode di un filtro passa-basso:



Ricordiamo:

$$|A_v(f)| = \frac{1}{\sqrt{1 + (f/f_s)^2}} \begin{cases} \nearrow & f \ll f_T & |A_v| \sim 1 \\ \searrow & f \gg f_T & |A_v| \sim \frac{f_T}{f} \end{cases}$$

## Regole di propagazione

- $x + y \rightarrow$  somma in quadratura (per misure indipendenti) degli errori assoluti

$$\sqrt{\sigma_x^2 + \sigma_y^2 + 2\sigma_{xy}} = \sqrt{\sigma_x^2 + \sigma_y^2 + 2\rho_{xy}\sigma_x\sigma_y};$$

- $xy, x/y \rightarrow$  somma in quadratura (per misure indipendenti) degli errori relativi;
- $z=f(x,y)$

$$\sigma_z = \sqrt{\left|\frac{\partial f}{\partial x}\right|^2 \sigma_x^2 + \left|\frac{\partial f}{\partial y}\right|^2 \sigma_y^2 + 2\left|\frac{\partial f}{\partial x}\right|\left|\frac{\partial f}{\partial y}\right| \sigma_{xy}}.$$

Per il guadagno l'errore in decibel è

$$A_{dB} = 20 \log_{10} |A_s| = 20 \log_{10} \left| \frac{V_{out}}{V_{in}} \right|$$

$$\begin{aligned} \sigma(A_{dB}) &= 20 \left| \frac{\partial \log_{10} |A_s|}{\partial |A_s|} \right| \\ &= 20 \frac{1}{A_v} \log_{10} e \sigma(A_s) \\ &= 8.7 \frac{\sigma(A_v)}{A_v} = 8.7 \underbrace{\left( \frac{\sigma(V_{in})}{V_{in}} \oplus \frac{\sigma(V_{out})}{V_{out}} \right)}_{\approx 0.7\%} \\ &= 0.06 \text{ dB} \quad \text{traslazione rigida di tutti i punti.} \end{aligned}$$

Quindi se fosse dominato da errori sistematici, l'errore da associare sarebbe 0.06 dB. Nell'analisi del Best-fit, questo errore deve esser tenuto di conto? Nel fare l'interpolazione, non consideriamo tale errore: dobbiamo ricordare come si fa un fit:

- $n$  punti sperimentali  $(x_k, y_k)$ ,  $k = 1, \dots, n$  tali che  $x_k$  abbia errore  $\ll y_k$ ,  $y_k \pm \sigma_k$
- $y_k$  sia gaussiana con media  $\bar{y}_k$  (valore best) e deviazione standard = r.m.s.. La probabilità di avere misure

$$\{y_k\} = p = \prod_{k=1}^n \left( \frac{1}{\sqrt{2\pi}} \right) \frac{1}{\sigma_k} \exp \left( -\frac{1}{2} \left( \frac{y_k - \bar{y}_k}{\sigma_k} \right)^2 \right)$$

- I valori dei parametri sono tali che per  $y_k = f(x_k)$ , la probabilità sia massima (massima likelihood)

Affermare quanto appena detto, equivale a massimizzare  $e_{np} = n \log \frac{1}{\sqrt{2\pi}} - \sum \log_e \sigma_k - \frac{1}{2} \sum_k \left( \frac{\bar{y}_k - f(x_k)}{\sigma_k} \right)^2$ .

Affermare sia minima, equivale a dire che sia minimo il suo opposto ( $\chi^2$ ). Se le misure sono indipendenti.

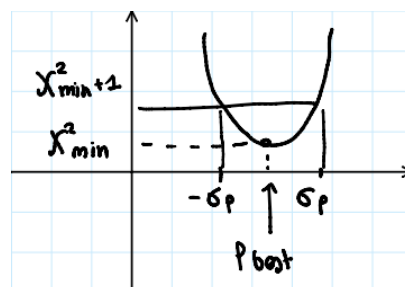
Quando facciamo un fit, gli errori sistematici non ci vanno messi, in quanto tutti i punti sono affetti dallo stesso errore, diamo quell'errore al valore medio! Nella formula del  $\chi^2$  stiamo assumendo che i punti siano indipendenti. Nel best-fit mettiamo solo l'errore casuale.

## Absolute Sigma

**Absolute\_sigma=True**

$\chi^2(p) : p_{\text{best}}$  tale che  $\chi^2 = \text{minimo}$

$\chi^2(p_{\text{best}} \pm \sigma_p) = \chi^2(p_{\text{best}}) + 1$



## Absolute\_sigma=False

Viene calcolato il  $\chi^2$  come sopra, e vengono riscalate le sigma in modo che  $\chi^2_{\text{rid,min}} = 1$  ( $\chi^2$  calcolato in  $p_{\text{best}}$ ).  
Dividere le  $\sigma_k$  per la radice quadrata del  $\chi^2$  ridotto calcolato in  $P_{\text{best}}$ .

I valori dei parametri ottenuti non cambiano, ma se riscaliamo, lo scarto di  $1/n$  non è lo stesso di prima: stessi valori di  $P_{\text{best}}$  ma cambiano gli errori.

Direttiva: utilizzare True senza includere gli errori sistematici (aggiungerli dopo!). Di volta in volta deve essere valutato.

## Errori in laboratorio

- Per gli errori con il multimetro è necessario usare il manuale e sommare in quadratura l'errore di lettura con quello di calibrazione;
- Per gli errori sulla misura della tensione tramite Waveforms e un'onda mandata da Wavegen:

- Se misuriamo tramite i cursori l'errore è la somma in quadratura dell'errore di calibrazione dell'ADC

$$0.5\%,$$

l'errore di lettura

$$0.1\text{div}/\sqrt{12} \approx 3\%;$$

e l'errore di risoluzione dell'ADC

$$\begin{cases} 0.3\text{mV, per fondo - scala} & \leq 0.5 \text{ V/div} \\ 3\text{mV} & \geq 1 \text{ V/div} \end{cases};$$

- Se usiamo la misura automatica abbiamo solo un errore di calibrazione dell'ADC.

- Se misuriamo rispetto ad un riferimento assoluto, come ad esempio una misura di tensione continua (lo zero è il riferimento assoluto), l'errore è lo stesso del caso della misura con i cursori, ma l'errore sulla risoluzione dell'ADC è

$$\begin{cases} 10\text{mV, se fondo scala} & \leq 0.5 \text{ V} \\ 100\text{mV} & \geq 1 \text{ V} \end{cases};$$

- Per gli errori sulle misure temporali e di frequenza tramite Waveforms dobbiamo sommare in quadratura:

- L'errore dovuto alla possibilità che il segnale temporale si trovi tra due Time-Bin=  $\Delta T = 1/f$  dove  $f$  è la frequenza di sampling (la possiamo vedere sull'oscilloscopio), in questo caso l'errore è

$$\Delta t/\sqrt{12};$$

- L'errore casuale dovuto al posizionamento dei cursori pari a

$$0.1\text{div},$$

questo errore è dominante a meno che il fondoscala non sia inferiore a 100 ns;

- Esiste infine un errore di jitter, ovvero la variazione di periodicità del clock

$$10^{-4}\%;$$

- Per l'errore sulle misure di tensione sul network è necessario sommare in quadratura l'errore sulla singola misura del

$$0.5\%$$

con l'errore di lettura corrispondente all'intervallo minimo tra 2 valori diviso  $\sqrt{12}$ .