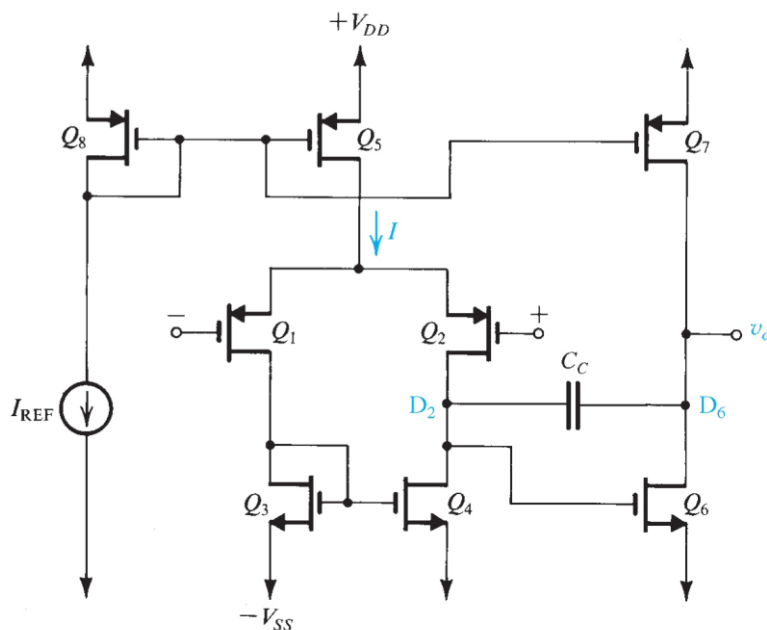


**Fondamenti di Elettronica AA 2020-2021 3a esercitazione SPICE : amplificatore differenziale CMOS, current mirror, amplificatore operazionale; circuiti digitali CMOS – MODIFICATO**

**Esercizio 1**

Il circuito in figura rappresenta un amplificatore operazionale CMOS a due stadi. L'uscita single-ended del primo stadio è rappresentata dalla tensione nel punto D2. L'uscita del secondo stadio è la tensione  $v_o$  ai drain di Q6-Q7.

La corrente  $I_{REF} = 90 \mu A$ ;  $V_{Tn} = 0.7 V$ ,  $k'_n = 160 \mu A/V^2$ ,  $V_{An} = V_{Ap} = 10V$ ,  $V_{Tp} = -0.8 V$ ,  $k'_p = 40 \mu A/V^2$ ,  $V_{DD} = V_{SS} = 2.5V$ . Le dimensioni dei transistor sono specificate nella Tabella

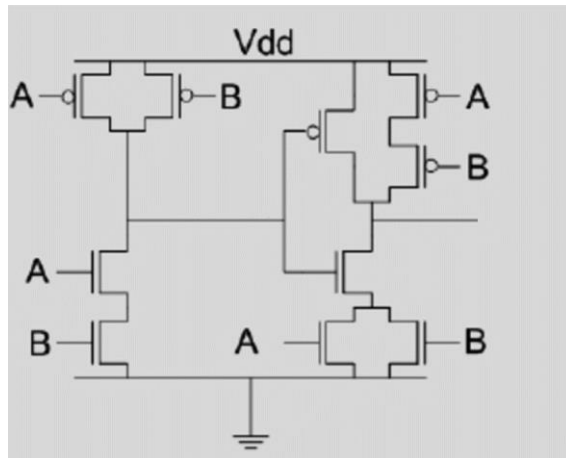


Transistore	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$	$Q_6$	$Q_7$	$Q_8$
W/L	20/0.8	20/0.8	5/0.8	5/0.8	40/0.8	10/0.8	40/0.8	40/0.8

- 1.1 Calcolare il punto di polarizzazione di ogni transistor:  $IDQ$ ,  $V_{GSQ}$ ,  $V_{DSQ}$ , trascurando l'effetto di modulazione della lunghezza di canale
- 1.2 Calcolare  $g_m$  e  $r_o$  per ogni transistor
- 1.3 Calcolare il guadagno complessivo dell'amplificatore
- 1.4 Per quale valore della tensione di uscita Q7 non è più in saturazione ? per quale valore di tensione di uscita Q6 non è più in saturazione ?
- 1.5 Simulare con SPICE il comportamento del circuito. Applicare un segnale differenziale puro  $v_{id}$  di ampiezza crescente e tracciare il grafico di  $v(D2)$  e  $v_o$  in funzione di  $v_{id}$  con  $v_{id}$  tra  $-100 mV$  e  $100 mV$
- 1.6 Simulare con SPICE un segnale di modo comune  $v_{icm}$  di ampiezza crescente e tracciare il grafico di  $v(D2)$  e  $v_o$  in funzione di  $v_{id}$  con  $v_{id}$  tra  $-1V$  e  $1V$
- 1.7 Valutare il guadagno differenziale e il guadagno di modo comune dell'amplificatore con SPICE

1.7 Applicare un segnale differenziale sinusoidale di ampiezza  $v_{id} = 1 \text{ mV}$ , frequenza  $1 \text{ kHz}$  e graficare il segnale di uscita risultante

## Esercizio 2



Il circuito in figura genera la somma di A e B e il corrispondente riporto (entrambi negati). Sia  $V_{Tn} = 0.7 \text{ V}$ ,  $k'_n = 160 \mu\text{A/V}^2$ ,  $V_{An} = 10\text{V}$ ,  $V_{Tp} = -0.7 \text{ V}$ ,  $k'_p = 40 \mu\text{A/V}^2$ . La tensione di alimentazione  $V_{DD}$  è di  $2.5 \text{ V}$ .

2.1 Identificare somma e riporto. Sia  $L = 0.8 \mu\text{m}$  per tutti i transistor. Dimensionare  $W$  per tutti i transistor in modo che nel caso peggiore pull-up e pull-down abbiano la stessa conducibilità (condizione di bilanciamento). Simulare con SPICE la caratteristica DC di trasferimento con  $B = 0 \text{ V}$ ,  $A$  da  $0\text{V}$  a  $V_{DD}$ , out=somma negata

2.2 Applicare all'uscita della somma un condensatore da  $100 \text{ fF}$ , e calcolare la potenza dissipata in uscita nel caso  $B=0$ , con  $A$  che commuta con una frequenza di clock pari al proprio numero di matricola

2.3 Mantenere  $B=0$  e simulare con SPICE il transitorio di uscita della somma negata con  $A$  che commuta tra  $0$  e  $1$  con e senza carico capacitivo; utilizzare una frequenza del segnale di  $A$  e della scala dei tempi del grafico che metta in evidenza i tempi di salita e di discesa del segnale

2.4 Ripetere il punto 2.3 dimensionando tutti i transistor con  $W=6.4 \mu\text{m}$ ,  $L=0.8 \mu\text{m}$ . Cosa cambia ? Perché?