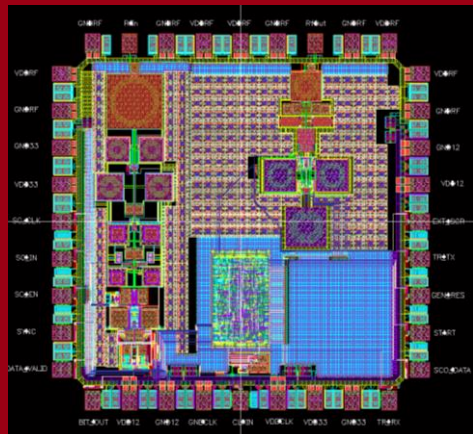


## Fondamenti di Elettronica

28

2da esercitazione SPICE  
Circuiti a diodi  
Amplificatori a MOSFET



Enrico Zanoni

[enrico.zanoni@unipd.it](mailto:enrico.zanoni@unipd.it)

- ❑ modelli SPICE del diodo
  - parametri del modello
  - come simulare un diodo ideale
  - esempi di caratteristiche I-V
- ❑ riassunto delle caratteristiche degli amplificatori di base a transistor MOS – circuiti e formule
- ❑ modello del transistor nMOS LEVEL 1: principali parametri e significato
- ❑ Temi per la seconda esercitazione SPICE

# Modello SPICE del diodo

Il modello del diodo in un listato SPICE è identificato da una scheda .model  
.MODEL nome\_del\_modello del diodo D (parametro1, parametro 2, ...)

In conduzione diretta, la legge utilizzata da SPICE è la seguente

$$i_D = I_s [\exp(qV_D/nkT) - 1]$$

dove  $I_s$  è la corrente di saturazione del diodo,  $V_D$  è la tensione applicata al diodo  
 $k$  è la costante di Boltzmann,  $T$  è la temperatura assoluta

La formula differisce dalla legge del diodo «ideale» per la presenza del parametro  $n$  detto «fattore di idealità», che tiene conto degli effetti che sono stati trascurati nella derivazione della legge del diodo (ad esempio la generazione o ricombinazione di portatori nella regione di carica spaziale)

$n$  viene ricavato sperimentalmente; il suo valore varia generalmente tra 1 e 2

# Fattore di idealità n

Il parametro n può essere anche per simulare diodi con caratteristiche I-V arbitrarie (entro una qualche misura).

La caduta di tensione ai capi del diodo si ottiene invertendo la formula:

$$v_D = n \frac{kT}{q} \ln \left( \frac{i_D}{I_S} + 1 \right)$$

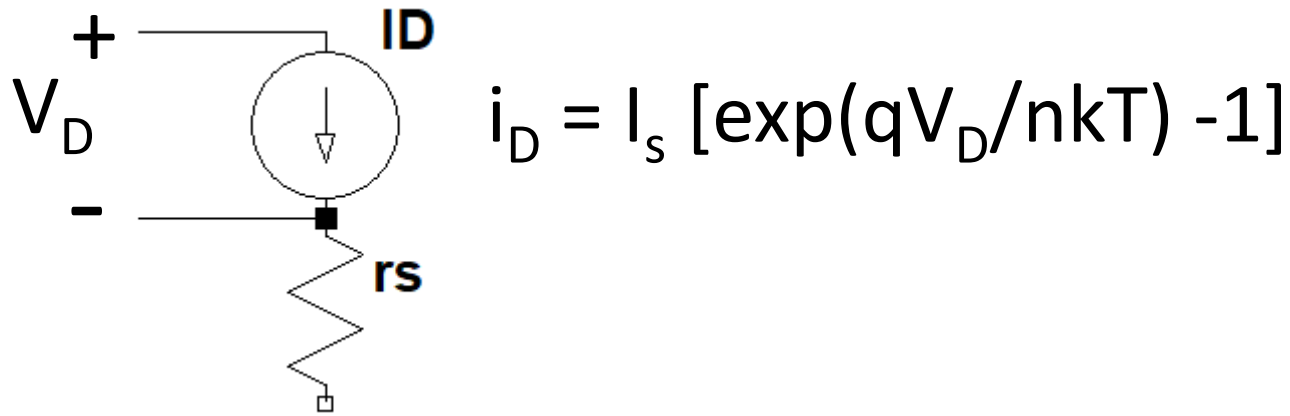
Quindi il valore di n può essere utilizzato per ottenere tensioni di ginocchio  $V_\gamma$  arbitrarie entro certi limiti. Dato che la caratteristica I-V del diodo è quasi esponenziale, non esiste di fatto una tensione al di sotto della quale il diodo sia «spento», cioè  $I_D = 0$  (basta graficare le caratteristiche  $\ln(I_D)$  vs  $V_D$  per rendersene conto).

$V_\gamma$  è di fatto definita come la caduta di tensione ai capi del diodo alla corrente diretta di interesse fissata ad es.  $v_D$  tale che  $i_D = 10$  mA.

Il modello SPICE del diodo può inoltre comprendere la resistenza «parassita» in serie al diodo nel modello per largo segnale,  $r_s$

# Modello per largo segnale del diodo

Il modello per largo segnale del diodo in SPICE è quindi dato da un generatore di corrente pilotato in tensione con in serie una resistenza:



Il modello permette inoltre di definire la tensione di breakdown del diodo, e la corrente inversa che corrisponde alla condizione di breakdown

La tensione di breakdown è la tensione inversa per la quale il diodo non è più in grado di bloccare il passaggio di corrente inversa (per effetto «Zener» o per ionizzazione da impatto, o moltiplicazione a valanga)

I parametri da specificare sono BV e IBV (rispettivamente tensione di breakdown e corrente inversa di breakdown in corrispondenza di  $V_D = -BV$ )

Notare il segno - !!!

# Modello del breakdown del diodo

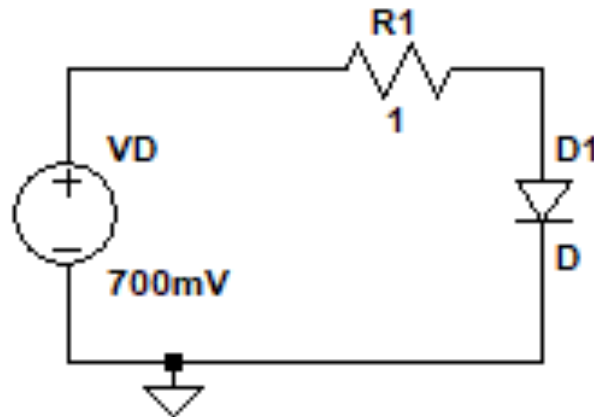
Nel modello SPICE la corrente inversa è pari a  $I_s$  per  $V_D > -BV$

Per  $V_D = -BV$ ,  $I_D = -IBV$

Per  $V_D < -BV$  la corrente inversa  $I_D$  è limitata principalmente dalla resistenza serie  $r_s$ . La corrente del diodo è modellata come

$$I_D = I_s \left[ \exp - \frac{q}{kT} (-BV + V_D) - 1 + \text{un fattore di correzione dipendente da } BV \right]$$

Nel seguito la simulazione LTSpice delle caratteristiche I-V in diretta, inversa e breakdown

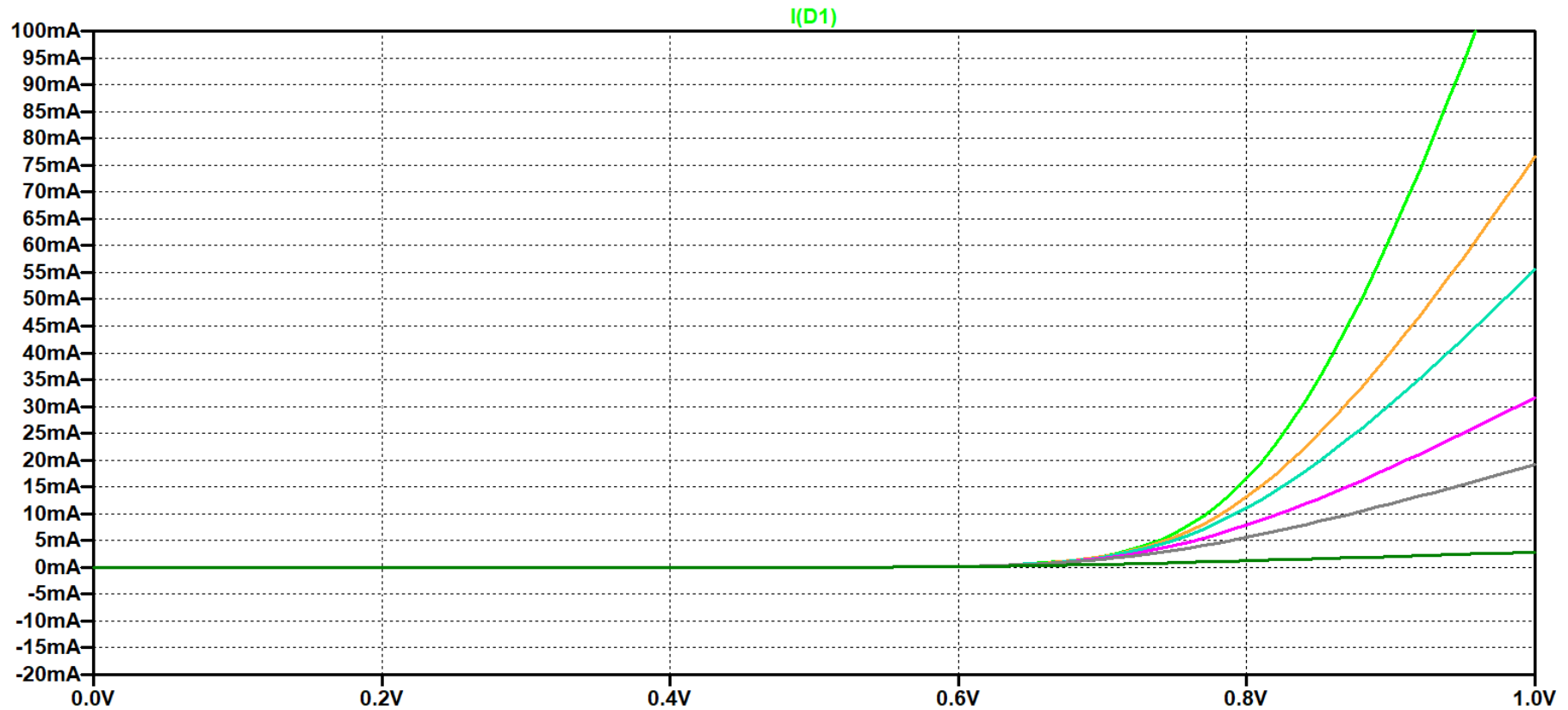


```
.model D D Is=100pA n=1.6 BV=10V IBV=1m rs={res_serie}
```

```
.dc VD -12V 1V 10mV
```

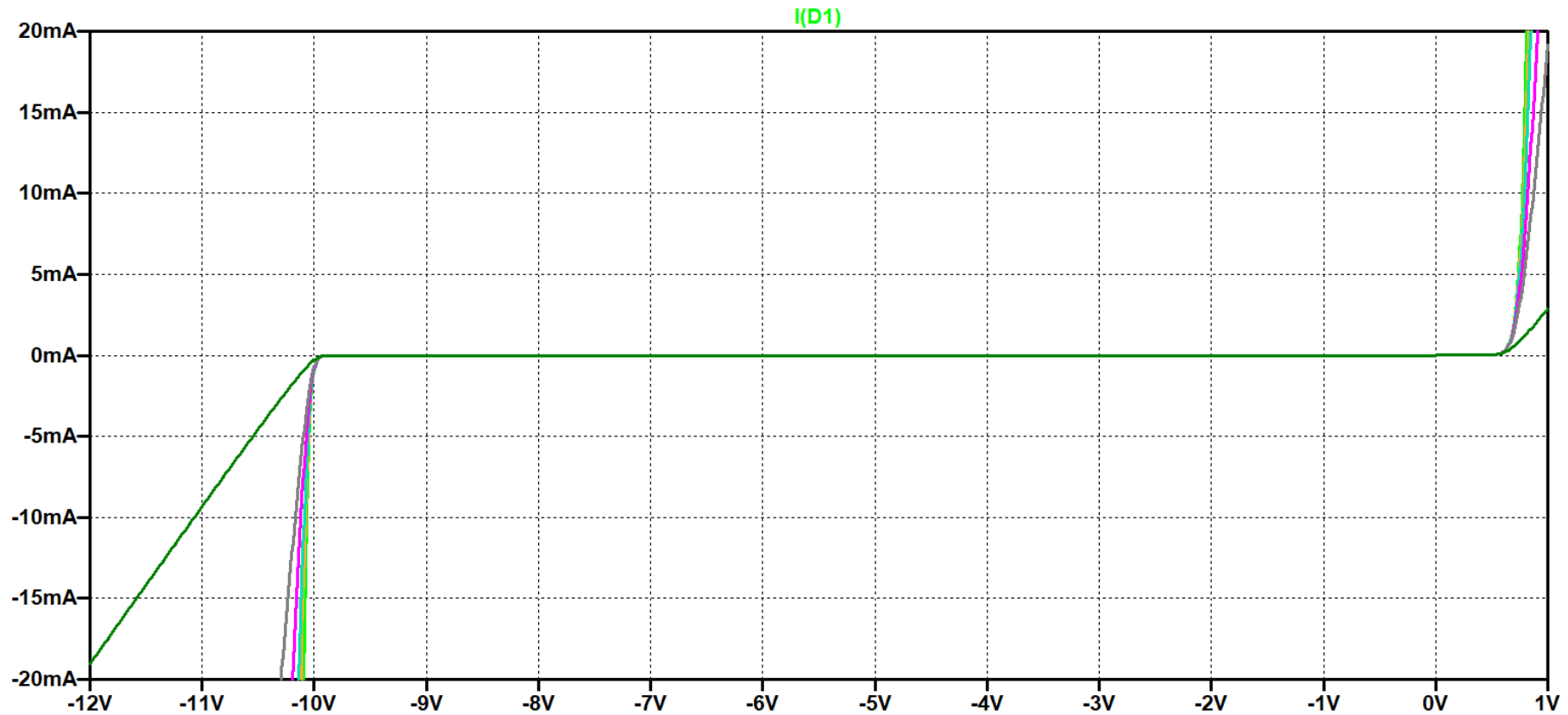
```
.step param res_serie list 0.01 1 2 5 10 100
```

# Effetto della resistenza serie – polarizzazione diretta



$I_S = 100\text{pA}$   $n=1.6$   $BV=10\text{V}$   $I_{BV}=1\text{m}$   $r_s = 0.01\Omega, 1\Omega, 2\Omega, 5\Omega, 10\Omega, 100\Omega$

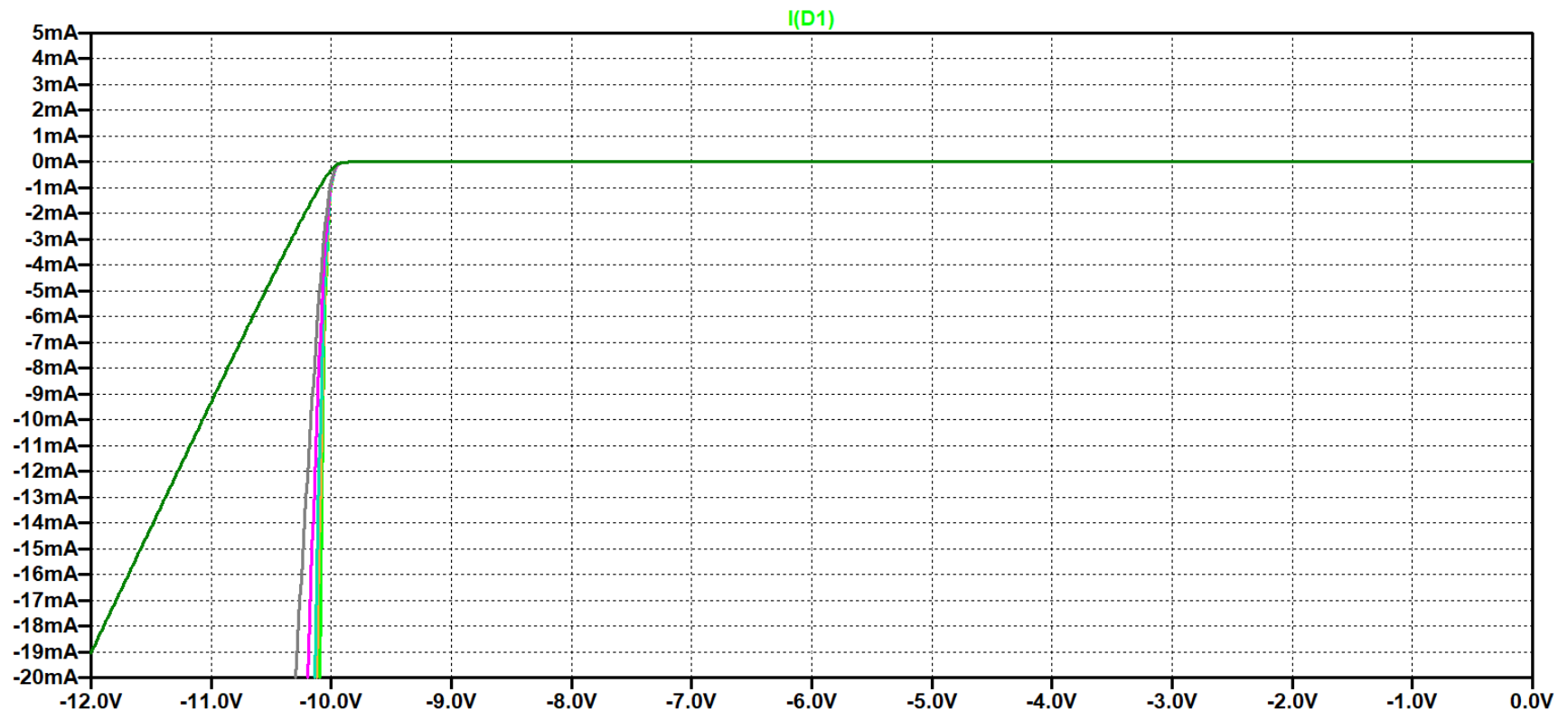
# Caratteristica I-V del diodo inversa e diretta



$I_S = 100\text{pA}$   $n=1.6$   $BV=10V$   $I_{BV}=1\text{m}$   $r_s = 0.01\Omega, 1\Omega, 2\Omega, 5\Omega, 10\Omega, 100\Omega$



# Effetto della resistenza serie – in breakdown



$I_S = 100\text{pA}$   $n=1.6$   $BV=10\text{V}$   $I_{BV}=1\text{m}$   $r_s = 0.01\Omega, 1\Omega, 2\Omega, 5\Omega, 10\Omega, 100\Omega$

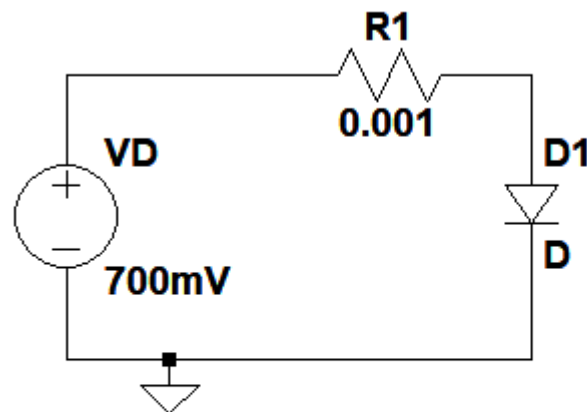
# Modello per diodi con tensione di ginocchio $V_\gamma$ definita

Dato che

$$v_D = n \frac{kT}{q} \ln \left( \frac{i_D}{I_S} + 1 \right)$$

uno dei modi per variare la caduta di tensione ai capi del diodo, a parità di corrente  $i_D$ , è quello di variare  $n$ . Per ottenere un diodo ideale, con caduta  $V_\gamma = 0$  V, si può usare  $I_S = 100$  pA,  $r_s = 0 \Omega$ ,  $n = 0.01$ .

Nella simulazione i valori di  $n$  utilizzati sono 0.01, 0.1, 0.5, 1, 1.5

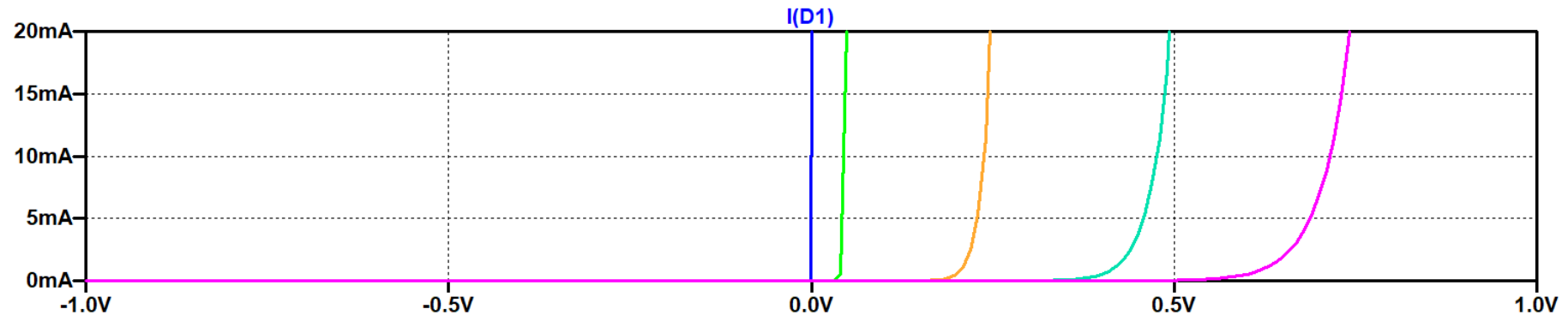


```
.model D D Is=100pA n={enne} BV=10V
```

```
.dc VD -12V 1V 10mV
```

```
.step param enne list 0.01 0.1 0.5 1 1.5
```

# Definizione delle caratteristiche del diodo in base al fattore di idealità $n$



Parametri del diodo:  $I_s = 100\text{pA}$ ,  $r_s = 0\Omega$ ,  $n = 0.01$ .

Nella simulazione i valori di  $n$  utilizzati sono 0.01, 0.1, 0.5, 1, 1.5. La resistenza da  $0.001\Omega$  inserita nel circuito è ininfluente.

Si noti come il modello con  $n=0.01$  (curva blu) rappresenti abbastanza fedelmente le caratteristiche di un diodo ideale con  $V_\gamma = 0\text{V}$ .

Si noti che il fattore di idealità  $n$  in questo caso non corrisponde ad un modello fisico, ma rappresenta solo un parametro di «fitting» che serve per ottenere determinate caratteristiche I-V per il diodo.

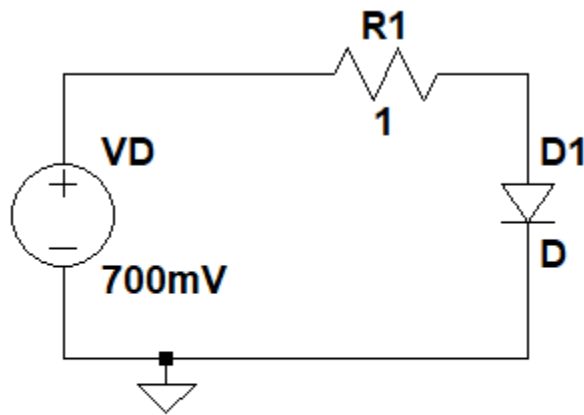
# Diodo ideale in LTSpice

In LTSpice esiste anche la possibilità di definire un «diodo ideale» rappresentato da una caratteristica lineare a tratti identificata da quattro parametri: RON, ROFF, VFWD e VREV;

ROFF è una resistenza in parallelo al diodo; utile per simulare il comportamento delle celle solari, che non sono diodi ideali. Nel nostro caso  $ROFF = \infty$ .

VFWD è la tensione di ginocchio,

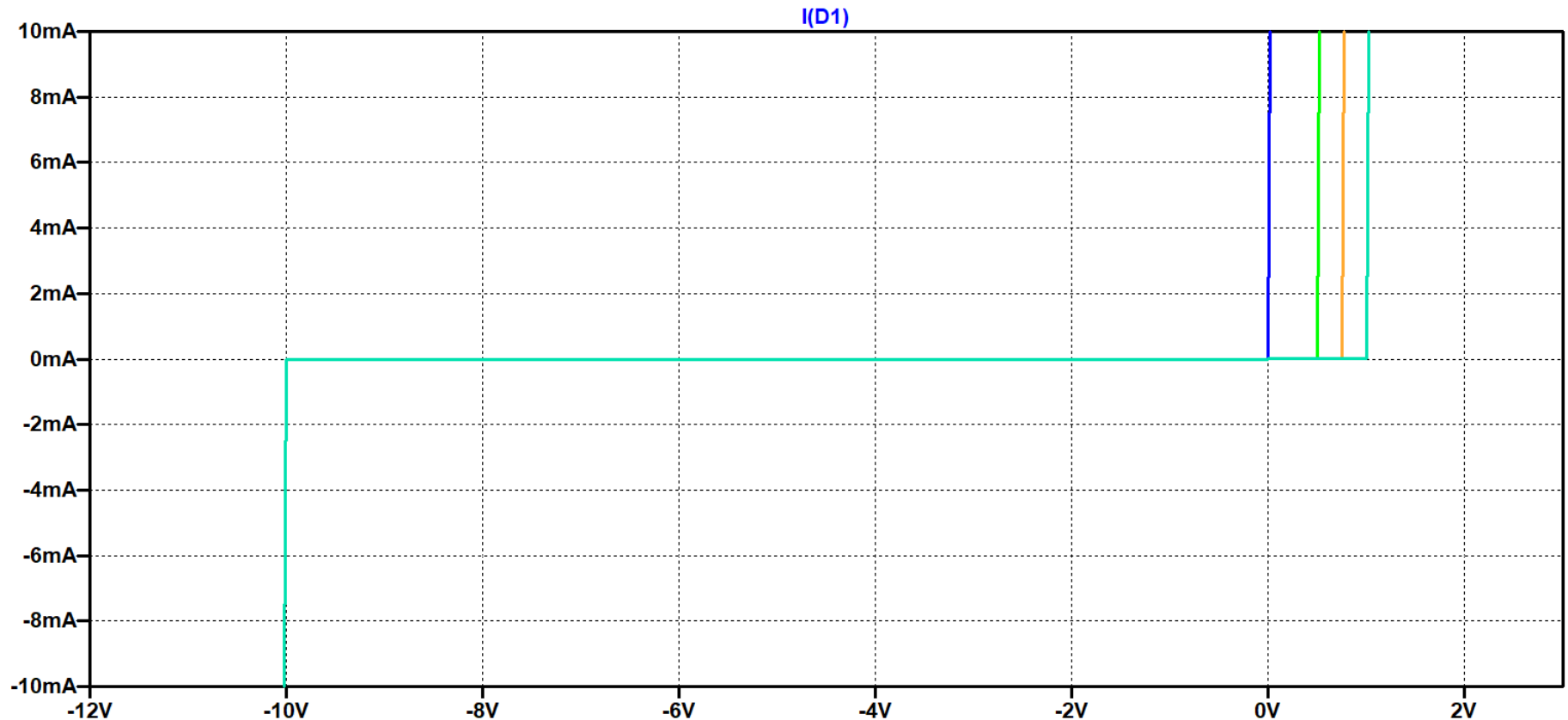
VREV è la tensione di breakdown; sia in polarizzazione diretta che in breakdown, in serie al diodo c'è una resistenza parassita pari a RON



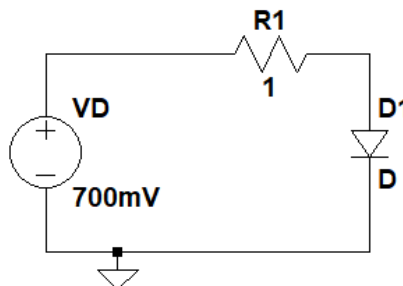
Il modello emula diodi  
con tensione di ginocchio  
 $V_\gamma$  pari a 0, 0.5V, 0.75V, 1V

```
.model D D RON=1 VREV=10V VFWD={VGAMMA}  
.dc VD -12V 3V 10mV  
.step param VGAMMA list 0 0.5 0.75 1.0
```

# Modello del diodo ideale in LTSpice

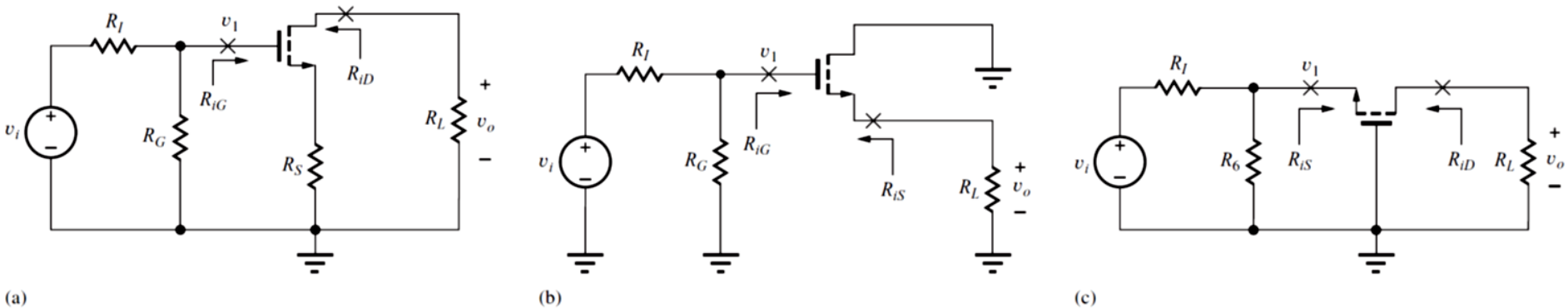


Negli esercizi con  $V_\gamma$  fissata conviene usare questo modello, con  $R_{ON}=R_f$ .  
Se  $R_f$  non è specificata, si pone  $R_{ON}=0.001$



```
.model D D RON=1 VREV=10V VFWD={VGAMMA}  
.dc VD -12V 3V 10mV  
.step param VGAMMA list 0 0.5 0.75 1.0
```

# Caratteristiche degli amplificatori MOS



**Figure 14.28** The three FET amplifier configurations: (a) common-source, (b) common-drain, and (c) common-gate.

**TABLE 14.11**

**Single-Transistor FET Amplifiers**

	COMMON-SOURCE AMPLIFIER	COMMON-DRAIN AMPLIFIER	COMMON-GATE AMPLIFIER
Terminal voltage gain $A_{vt} = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S}$	$+\frac{g_m R_L}{1 + g_m R_L} \cong +1$	$+g_m R_L$
Signal-source voltage gain $A_v = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S} \left( \frac{R_G}{R_I + R_G} \right)$	$+\frac{g_m R_L}{1 + g_m R_L} \left( \frac{R_G}{R_I + R_G} \right) \cong +1$	$+\frac{g_m R_L}{1 + g_m (R_I \parallel R_6)} \left( \frac{R_6}{R_I + R_6} \right)$
Input terminal resistance	$\infty$	$\infty$	$1/g_m$
Output terminal resistance	$r_o(1 + g_m R_S)$	$1/g_m$	$r_o[1 + g_m (R_I \parallel R_6)]$
Input signal range	$0.2(V_{GS} - V_{TN})(1 + g_m R_S)$	$0.2(V_{GS} - V_{TN})(1 + g_m R_L)$	$0.2(V_{GS} - V_{TN})[1 + g_m (R_I \parallel R_6)]$
Terminal current gain	$\infty$	$\infty$	$+1$

# Caratteristiche degli amplificatori MOS

**TABLE 14.11**

**Single-Transistor FET Amplifiers**

	COMMON-SOURCE AMPLIFIER	COMMON-DRAIN AMPLIFIER	COMMON-GATE AMPLIFIER
Terminal voltage gain $A_{vt} = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S}$	$+\frac{g_m R_L}{1 + g_m R_L} \cong +1$	$+g_m R_L$
Signal-source voltage gain $A_v = \frac{v_o}{v_i}$	$-\frac{g_m R_L}{1 + g_m R_S} \left( \frac{R_G}{R_I + R_G} \right)$	$+\frac{g_m R_L}{1 + g_m R_L} \left( \frac{R_G}{R_I + R_G} \right) \cong +1$	$+\frac{g_m R_L}{1 + g_m (R_I \parallel R_6)} \left( \frac{R_6}{R_I + R_6} \right)$
Input terminal resistance	$\infty$	$\infty$	$1/g_m$
Output terminal resistance	$r_o(1 + g_m R_S)$	$1/g_m$	$r_o[1 + g_m (R_I \parallel R_6)]$
Input signal range	$0.2(V_{GS} - V_{TN})(1 + g_m R_S)$	$0.2(V_{GS} - V_{TN})(1 + g_m R_L)$	$0.2(V_{GS} - V_{TN})[1 + g_m (R_I \parallel R_6)]$
Terminal current gain	$\infty$	$\infty$	$+1$

# Caratteristiche degli amplificatori MOS

Source comune con  $R_S$

$$R_G = R_1 // R_2; R_L = R_D // R_3$$

$$A_V = - \frac{g_m R_L}{1 + g_m R_S} \frac{R_G}{R_I + R_G}$$

$$R_{IN} = R_G$$

$$R_{OUT} = r_o (1 + g_m R_S) // R_D$$

$$v_g < 0.2(V_{GS} - V_T) (1 + g_m R_S)$$

Drain comune

$$R_G = R_1 // R_2$$

$$R_L = R_6 // R_3$$

$$A_V = \frac{g_m R_L}{1 + g_m R_L} \frac{R_G}{R_I + R_G}$$

$$R_{IN} = R_G$$

$$R_{OUT} = (1/g_m) // R_6 \cong 1/g_m$$

$$v_g < 0.2(V_{GS} - V_T) (1 + g_m R_L)$$

Gate comune

$$R_{TH} = R_6 // R_1$$

$$R_L = R_D // R_3$$

$$A_V = \frac{g_m R_L}{1 + g_m R_{th}} \frac{R_6}{R_I + R_6}$$

$$R_{IN} = 1/g_m // R_6 \cong 1/g_m$$

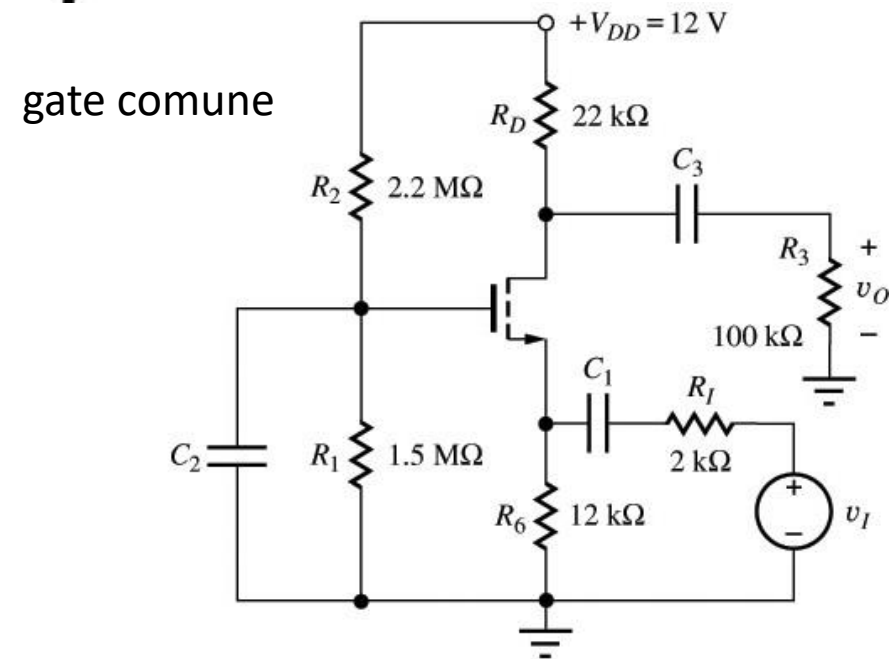
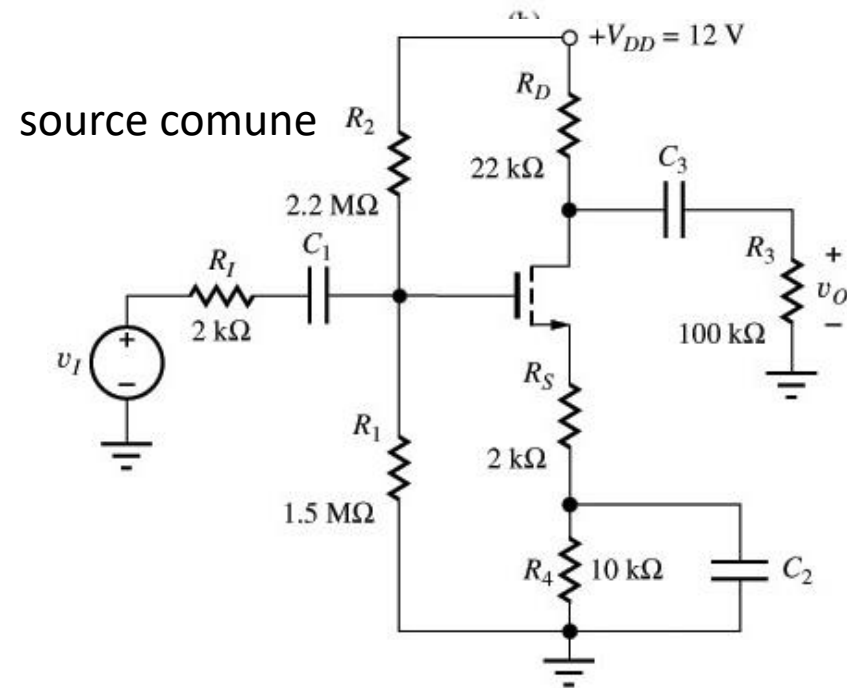
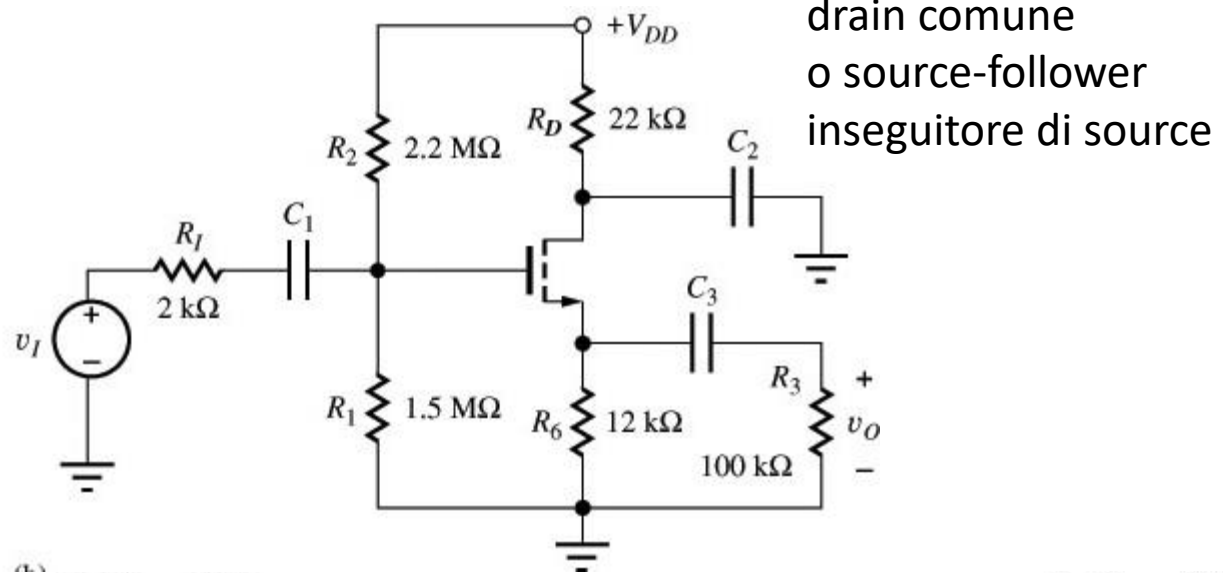
$$R_{OUT} = r_o (1 + g_m R_{th})$$

$$v_g < 0.2(V_{GS} - V_T) (1 + g_m R_{TH})$$

NB:  $R_3$  = resistenza di carico esterna;  $R_1$  resistenza da G a massa  $R_2$  resistenza da G a  $V_{DD}$   
 $R_6$  = resistenza di source negli schemi a drain comune e gate comune



# Caratteristiche degli amplificatori MOS



# modello SPICE di un transistor MOSFET

Per inserire un transistor MOS in un listato SPICE:

<nome transistor Mx...> <nodo drain> <nodo gate> <nodo source> <nodo sub> <modello>  
<lunghezza del canale> <larghezza del canale>

M1 3 2 1 4 NMOS L=10u W=100u

Il modello citato ha il nome «NMOS»; ci deve essere un'istruzione che ne definisce le caratteristiche:

.MODEL NMOS <tipo> <soglia> <kp, kn> < $\lambda$ >

.MODEL NMOS NMOS VTO= 1 V KP = 0,5m LAMBDA = 0.0133

NOTA BENE: IL PARAMETRO KP RAPPRESENTA QUELLO CHE ABBIAMO CHIAMATO  $k'_n = \mu_n C_{ox}$   
PER SPICE IL PARAMETRO SI CHIAMA SEMPRE KP ANCHE SE IL TRANSISTOR E' A CANALE N

Il modello utilizzato per il transistor MOS (SPICE LEVEL 1) è lo stesso modello visto a lezione,

$I_D = 1/2 k'_n (W/L) (V_{GS} - V_{Tn})^2 (1 + \lambda V_{DS})$  in saturazione;

$I_D = k'_n (W/L) [(V_{GS} - V_{Tn}) - (1/2) V_{DS}] V_{DS}$  in zona lineare;

# SPICE-list degli amplificatori base

Nel seguito, i circuiti e listati SPICE degli amplificatori di base (come esempi) e i due esercizi da svolgere

Caratteristiche del MOS enhancement a canale N  
amplificatore a source comune con doppia alimentazione  
amplificatore a source comune, a drain comune e a gate comune con 4R

Esercizio 1 – Circuito a diodi

obiettivo: verificare il comportamento di un diodo Zener in un circuito a diodi; il diodo Zener è modellato come un diodo qualsiasi con tensione di breakdown fissata.

(nota: questo non sarebbe del tutto corretto, perchè in questo modo la resistenza in serie in polarizzazione diretta è uguale a quella in breakdown, mentre solitamente la resistenza in breakdown è molto più bassa).

Esercizio 2 – Amplificatore con circuito di autopolarizzazione

obiettivo: studiare come variano le condizioni di linearità (in senso generale, non solo quelle dettate dalla «linearizzazione» dell'espressione della corrente) introducendo una resistenza tra gate e massa nel circuito di autopolarizzazione del MOSFET.

# caratteristiche $I_D$ - $V_D$ del MOSFET

MOS transistor transfer characteristics

.MODEL CMOSN1 NMOS LEVEL=1 VTO=0.8184 KP=45.1u LAMBDA=0.0332

VG 1 0 DC 1

VDD 4 0 DC 5

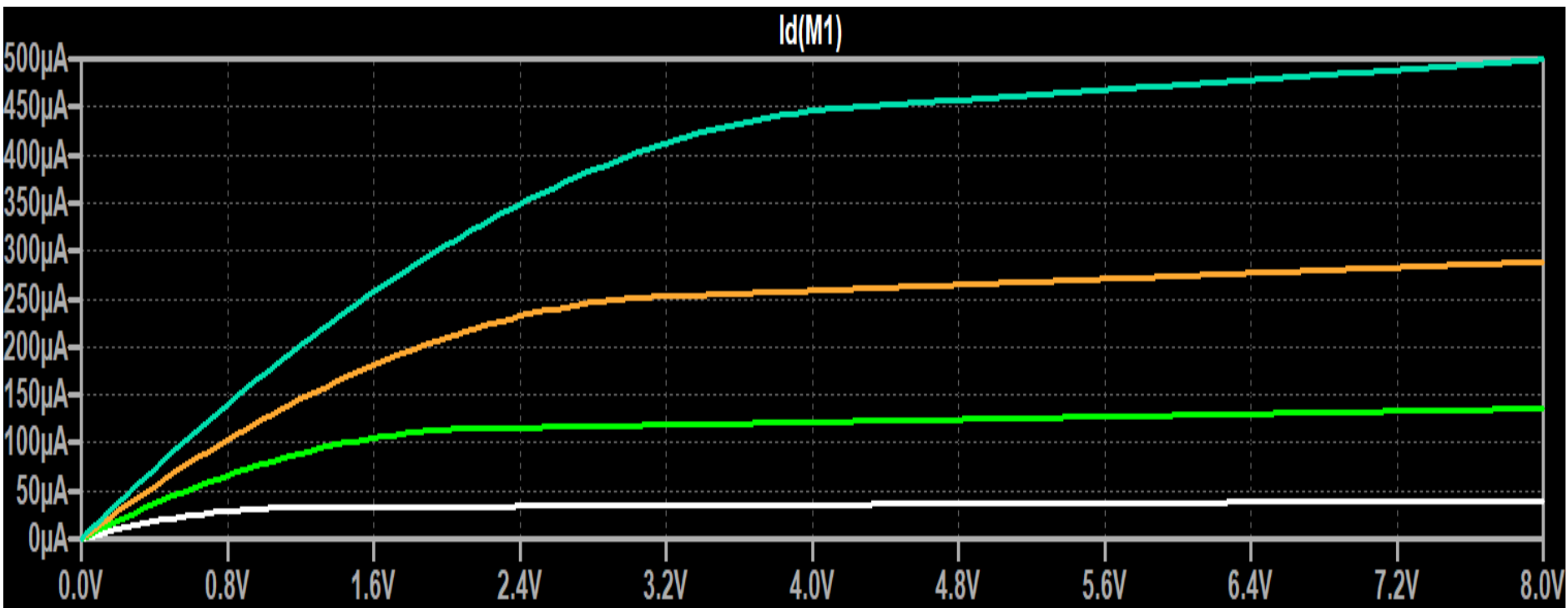
VM1 4 2

M1 2 1 0 0 CMOSN1

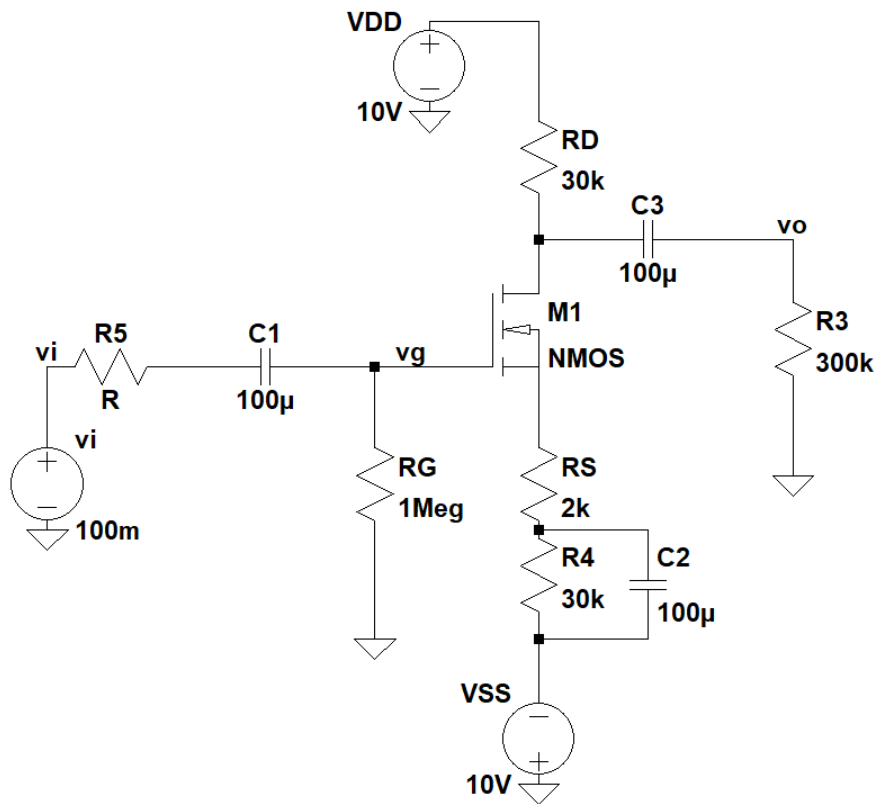
.DC VDD 0 8 0.05 VG 2 5 1

.backanno

.end



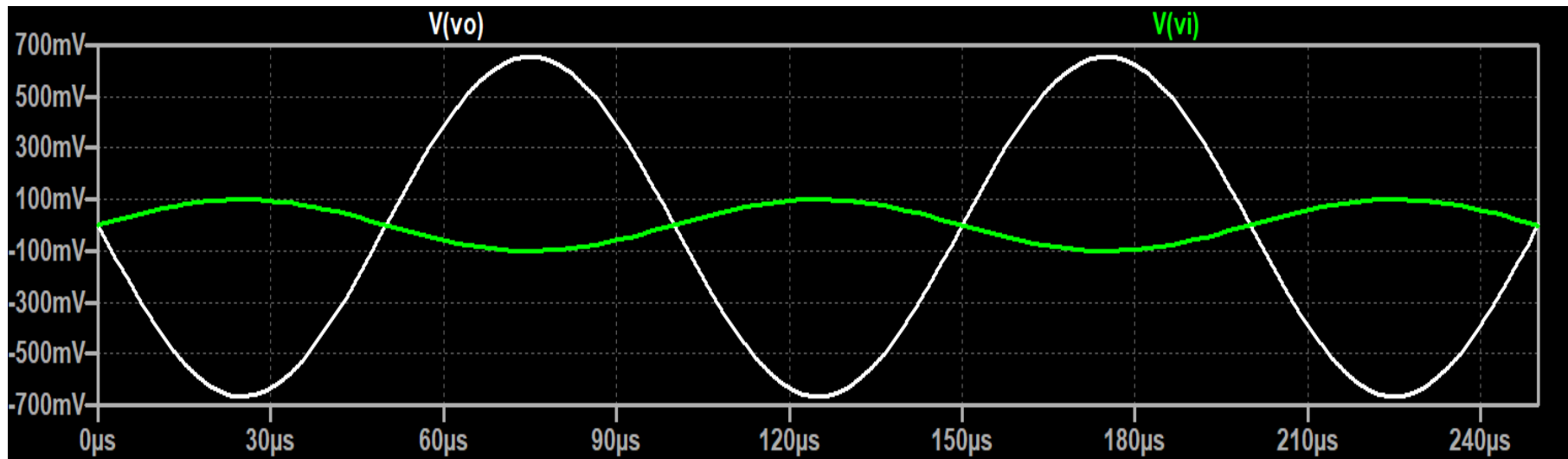
# amplificatore a source comune con doppia alimentazione



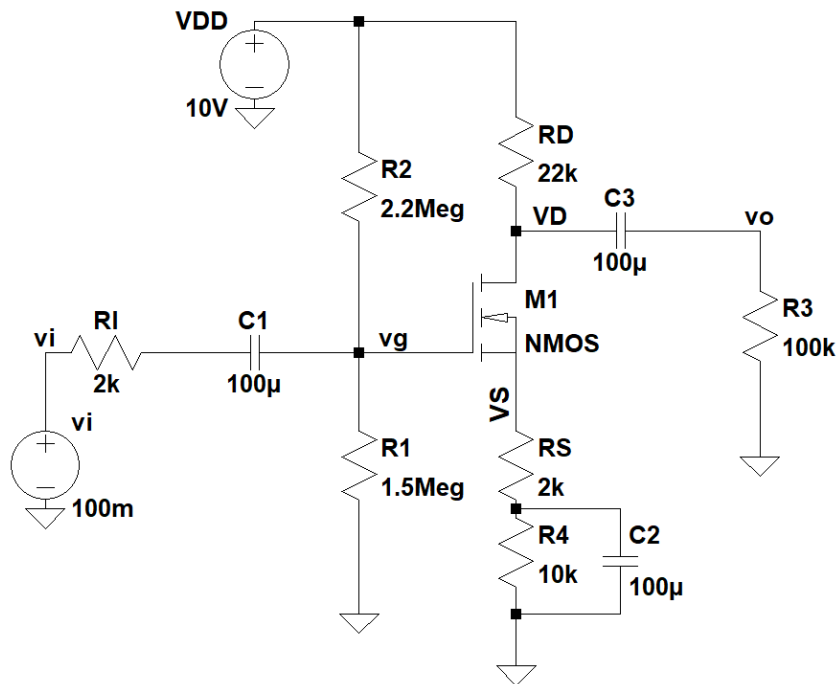
```

* D:\@FONDAMENTI DI ELETTRONICA\2017-
*2018\file SPICE con circuiti\common source MOS
*amplifier with RS.asc
M1 N002 vg N004 N004 NMOS
RD N001 N002 30k
RS N004 N005 2k
C3 vo N002 100µ
R3 vo 0 300k
RG vg 0 1MEG
C1 vg N003 100µ
RI vi N003 20k
R5 N003 vi 50
vi vi 0 DC 0 AC 100m sin(0 0.1V 10kHz 0 0 0)
VDD N001 0 10V
VSS 0 N006 10V
R4 N005 N006 30k
C2 N005 N006 100µ
.model NMOS NMOS VTO=1 Kp=0.5m
LAMBDA=0.0133
.model PMOS PMOS
*.ac DEC 10 10 10MEG
.TRAN 1u 250u 0 1u
*.op
.backanno
.end
    
```

# amplificatore a source comune con doppia alimentazione



# Amplificatore a source comune con 4R



\*common source MOS amplifier 4R.asc

M1 VD vg VS VS NMOS

RD N001 VD 22k

RS VS N003 2k

C3 vo VD 100µ

R3 vo 0 100k

R1 vg 0 1.5Meg

C1 vg N002 100µ

RI N002 vi 2k

vi vi 0 DC 0 AC 100m sin(0 0.1V 10kHz 0 0 0)

VDD N001 0 10V

R4 N003 0 10k

C2 N003 0 100µ

R2 N001 vg 2.2Meg

.model NMOS NMOS VTO=1 Kp=0.5m

+ LAMBDA=0.0133

.model PMOS PMOS

\*.ac DEC 10 10 10MEG

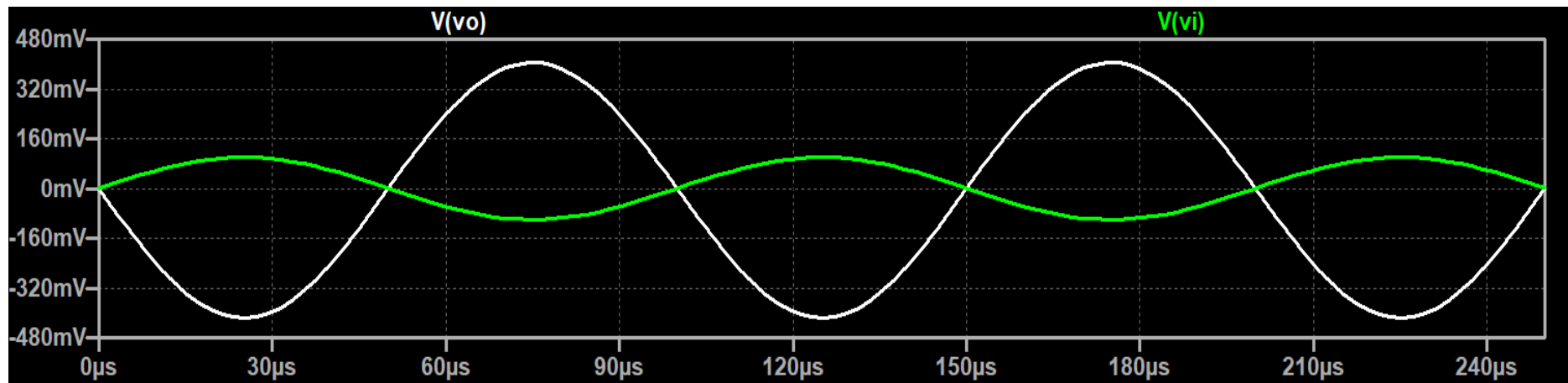
.TRAN 1u 250u 0 1u

\*.op

.backanno

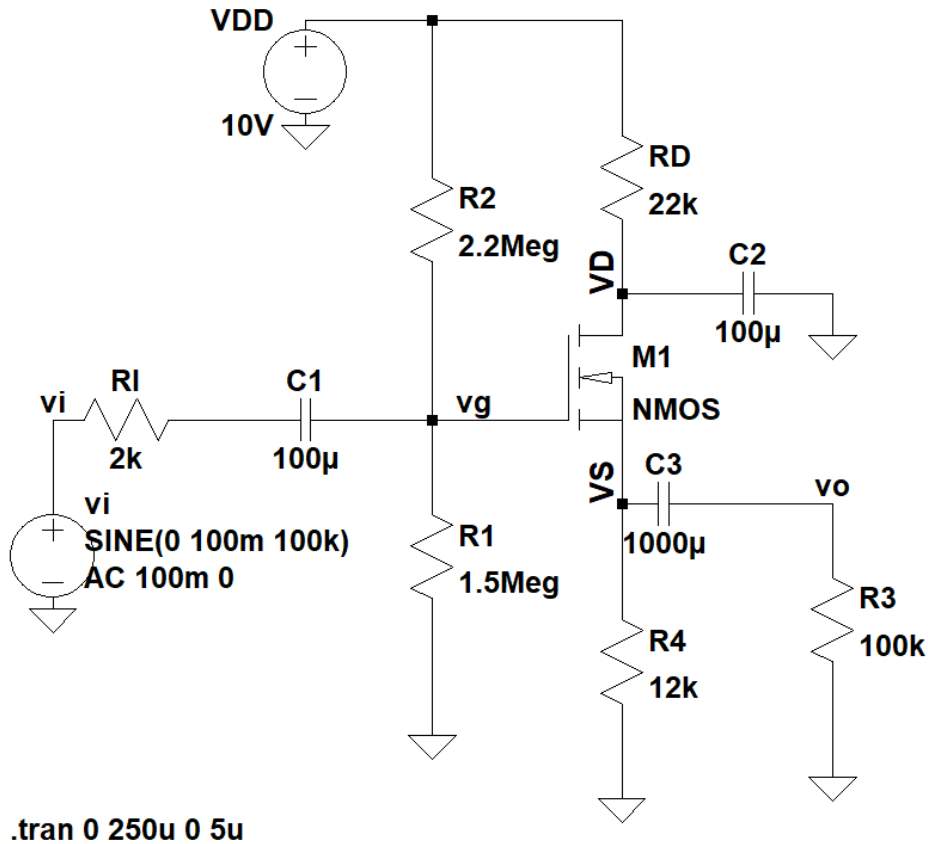
.end

# Amplificatore a source comune con 4R





# Amplificatore MOS a drain comune 4R



common drain MOS amplifier 4R.asc

M1 VD vg VS VS NMOS

RD N001 VD 22k

C3 vo VS 100u

R3 vo 0 100k

R1 vg 0 1.5Meg

C1 vg N002 100u

RI N002 vi 2k

Vi vi 0 SINE(0 100m 100k) AC 100m 0 DC 0

VDD N001 0 10

R4 VS 0 12k

R2 N001 vg 2.2Meg

C2 0 VD 100u

.model NMOS NMOS VTO=1 Kp=0.5m

+ LAMBDA=0.0133

.model PMOS PMOS

.TRAN 0u 250u 0 5u

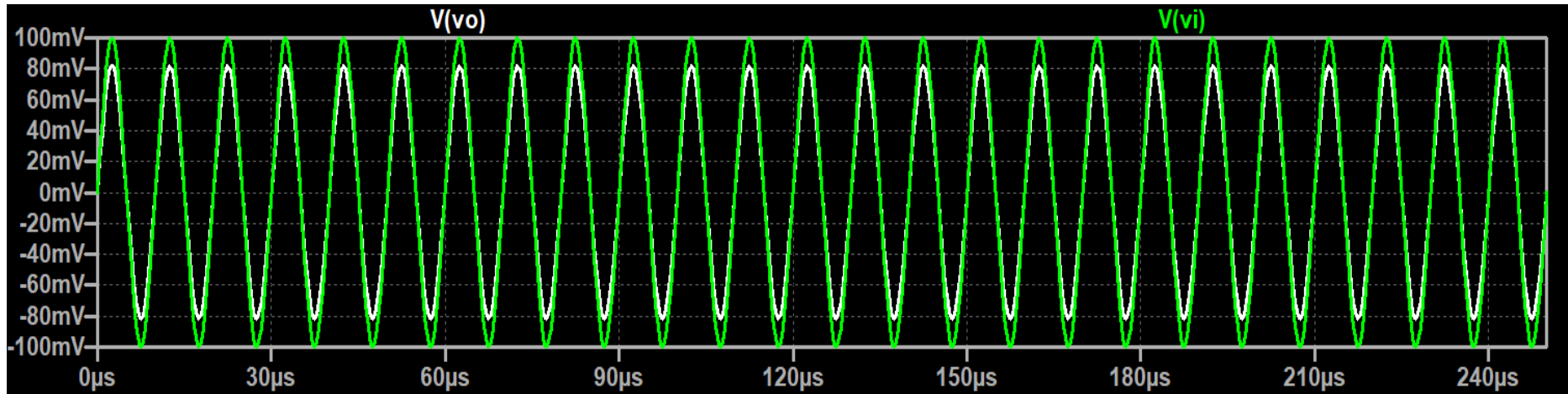
\*.ac DEC 10 10 10MEG

.op

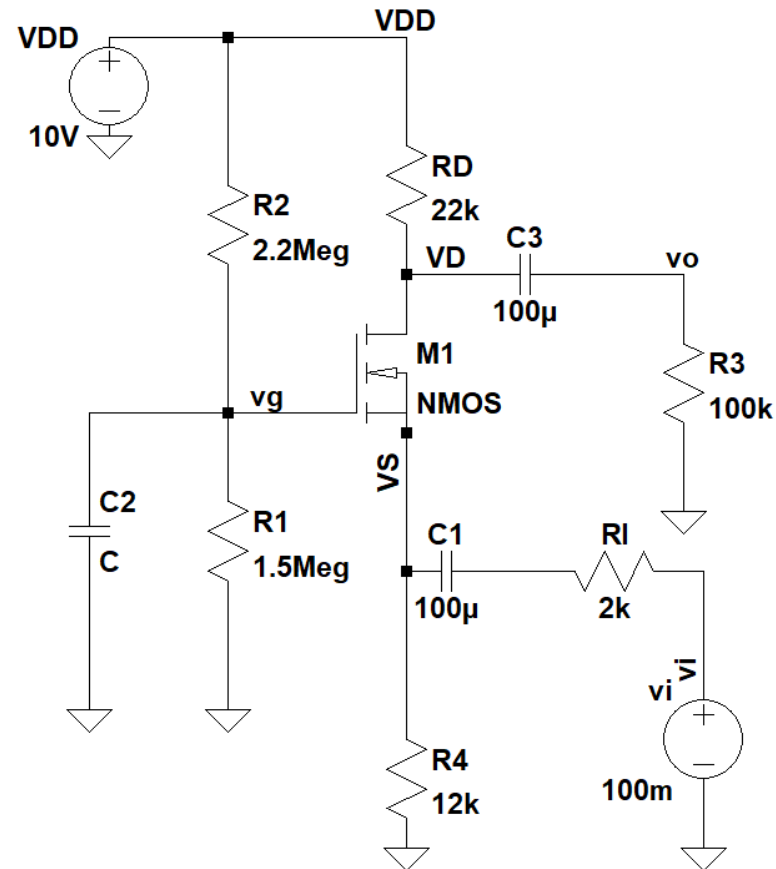
.backanno

.end

# Amplificatore MOS a drain comune 4R



# Amplificatore MOS gate comune 4R



\*common gate MOS amplifier 4R.asc

M1 VD vg VS VS NMOS

RD VDD VD 22k

\*RD VDD VD {RDRAIN}

C3 vo VD 100U

R3 vo 0 100k

R1 vg 0 1.5Meg

C1 VS N002 100U

RI N002 vi 2k

Vi vi 0 SIN(0 100m 100k) AC 100m 0 DC 0

VDD VDD 0 10V

R4 VS 0 12k

R2 VDD vg 2.2Meg

C2 vg 0 100U

.model NMOS NMOS VTO=1 Kp=0.5m LAMBDA=0.0133

.model PMOS PMOS

\*.STEP PARAM RDRAIN 2k 44k 8k

.TRAN 0u 25u 0 0.5u

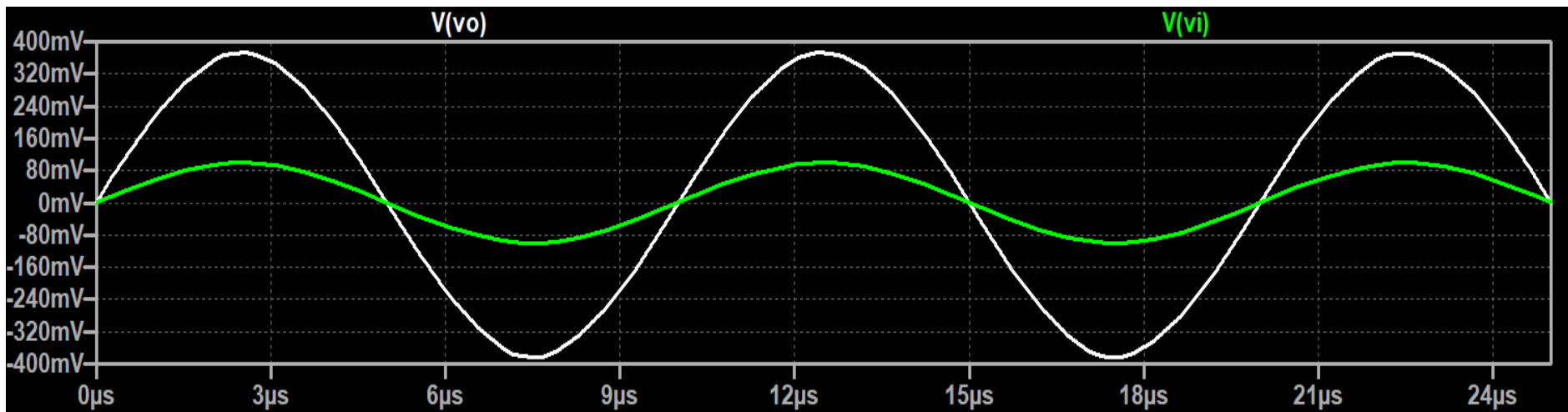
\*.ac DEC 10 10 10MEG

.op

.backanno

.end

# Amplificatore MOS gate comune 4R

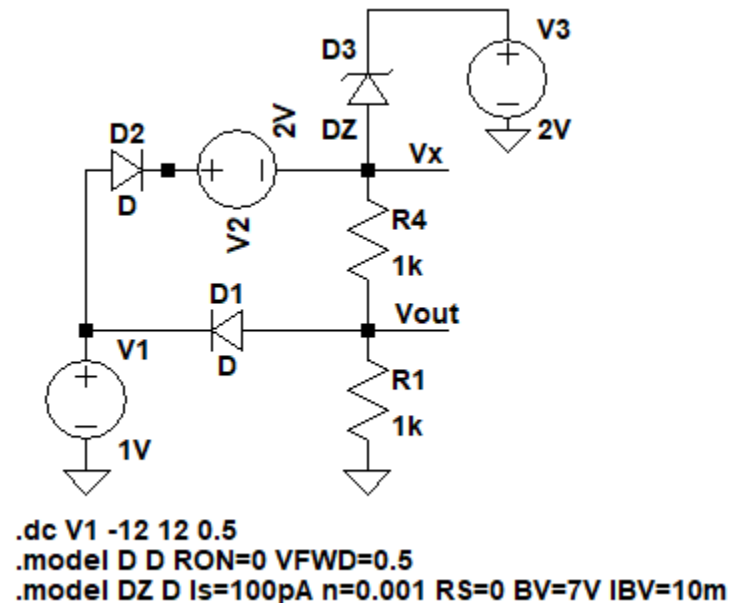


# Esercizio 1 Circuito a diodi

Nel circuito in figura, D1 e D2 sono diodi ideali con una caduta di tensione in diretta  $V_\gamma = 0.5 \text{ V}$  e resistenza serie nulla. D3 è un diodo Zener con tensione di breakdown (o tensione di Zener) di  $7 \text{ V}$ , mentre la tensione di ginocchio in diretta è nulla:  $V_{\gamma_{\text{Zener}}} = 0 \text{ V}$ . Queste caratteristiche sono già realizzate nelle .model SPICE inserite.

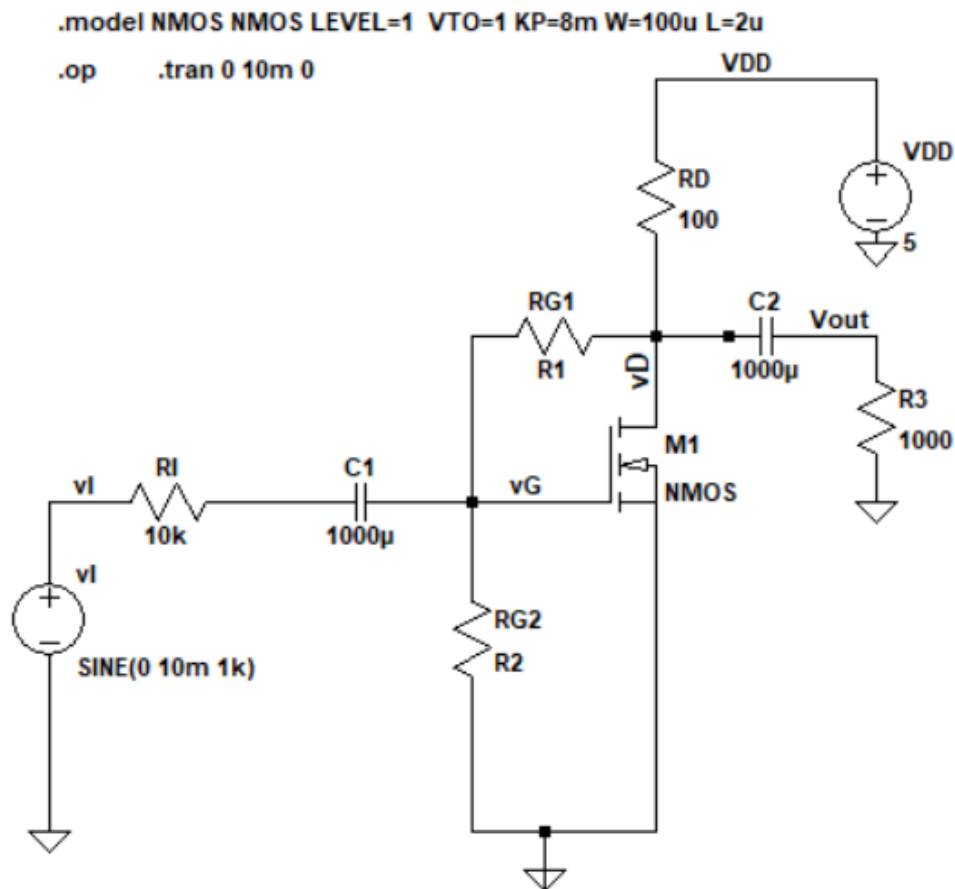
V2 e V3 sono generatori di tensione DC  $V = 2 \text{ V}$ , costante, mentre V1 varia tra  $-12 \text{ V}$  e  $+12 \text{ V}$ .

- A) Tracciare i grafici di  $V_{\text{out}}$  vs  $V_1$  e  $V_x$  vs  $V_1$  tra  $-12 \text{ V}$  e  $+12 \text{ V}$ , calcolati analiticamente
- B) simulare le caratteristiche  $V_{\text{out}}$  vs  $V_1$  e  $V_x$  vs  $V_1$  tra  $-12 \text{ V}$  e  $+12 \text{ V}$  con SPICE
- C) qual è la massima potenza dissipata dal diodo Zener ? (con qualunque metodo)



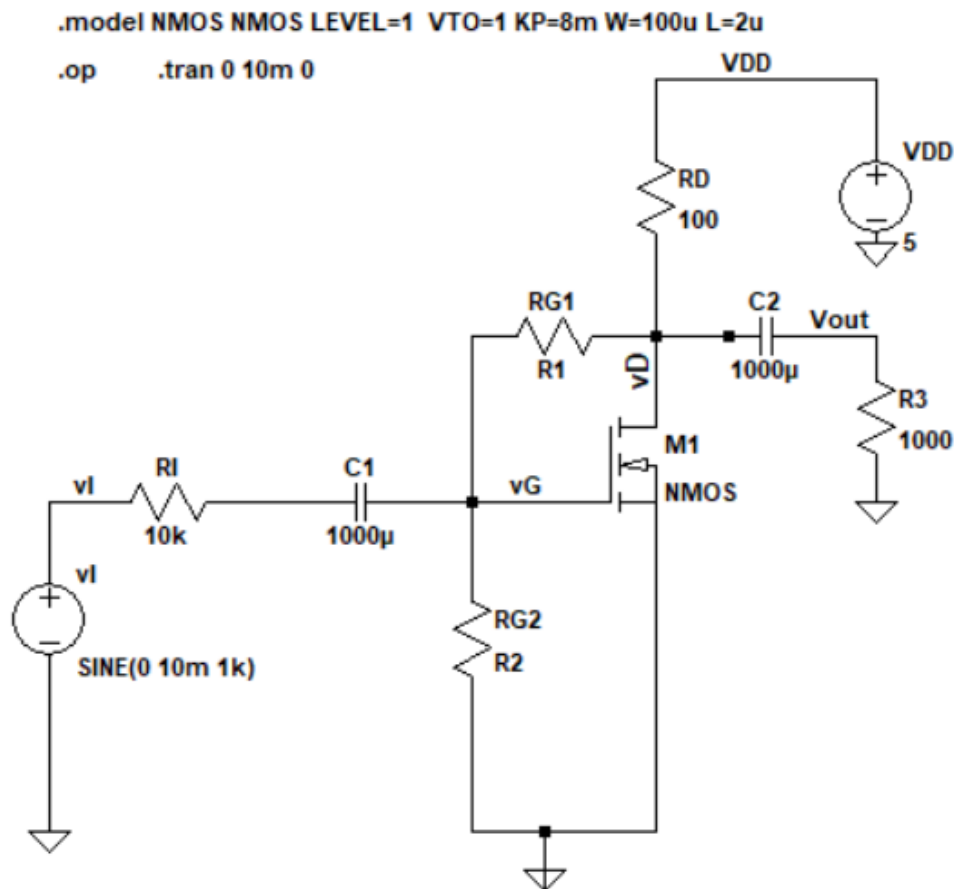
# Esercizio 2

Il circuito in figura rappresenta un amplificatore a source comune con circuito di autopolarizzazione. Il transistor nMOS ha una tensione di soglia  $V_{Tn}$  pari a 1V,  $k'_n=8\text{mA/V}^2$ ,  $W=100\text{ }\mu\text{m}$  e  $L=2\text{ }\mu\text{m}$ ,  $\lambda=0$ . All'ingresso è connesso un generatore di tensione sinusoidale di ampiezza 10 mV, frequenza 1kHz; all'uscita una resistenza di carico da  $1\text{k}\Omega$ .



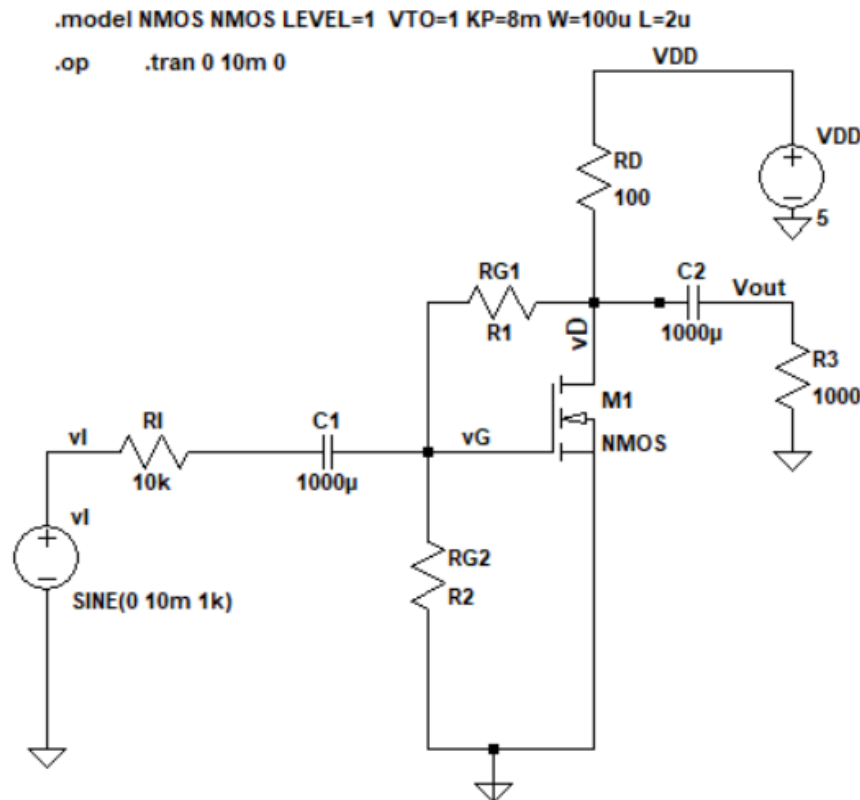
# Esercizio 2

1. Porre  $R_{G1}$  pari al proprio numero di matricola,  $R_{G2} = \infty$ 
  - 1.1 Calcolare analiticamente il punto di polarizzazione DC del transistor ( $V_I=0$ ):  $V_{GSQ}$ ,  $V_{DSQ}$ ,  $I_{DQ}$
  - 1.2 Calcolare  $g_m$ ; ( $r_o = \infty$ )
  - 1.3 Disegnare il modello per piccolo segnale dell'amplificatore e calcolare il guadagno in tensione  $A_v = v_{out}/v_i$ , la resistenza di ingresso  $R_{in}$ , la resistenza di uscita vista da  $V_{out}$  senza  $R_3$ .



# Esercizio 2

- 1.4 Simulare con SPICE il punto operativo (DC) del circuito e verificare i valori trovati analiticamente
- 1.5 Con  $f(v_I) = 1$  kHz, simulare con SPICE 10 periodi di  $v_I$ ,  $v_{out}$ ; simulare  $A_v = V_{out}/v_I$  e confrontare il valore ottenuto con i risultati analitici
- 1.6 Ripetere il punto 1.5 con ampiezza del segnale  $v_I$  pari a 100 mV: spiegare cosa avviene
- 1.7 Calcolare analiticamente e verificare tramite simulazioni il massimo valore dell'ampiezza del segnale  $v_I$  che garantisce una risposta lineare dell'amplificatore





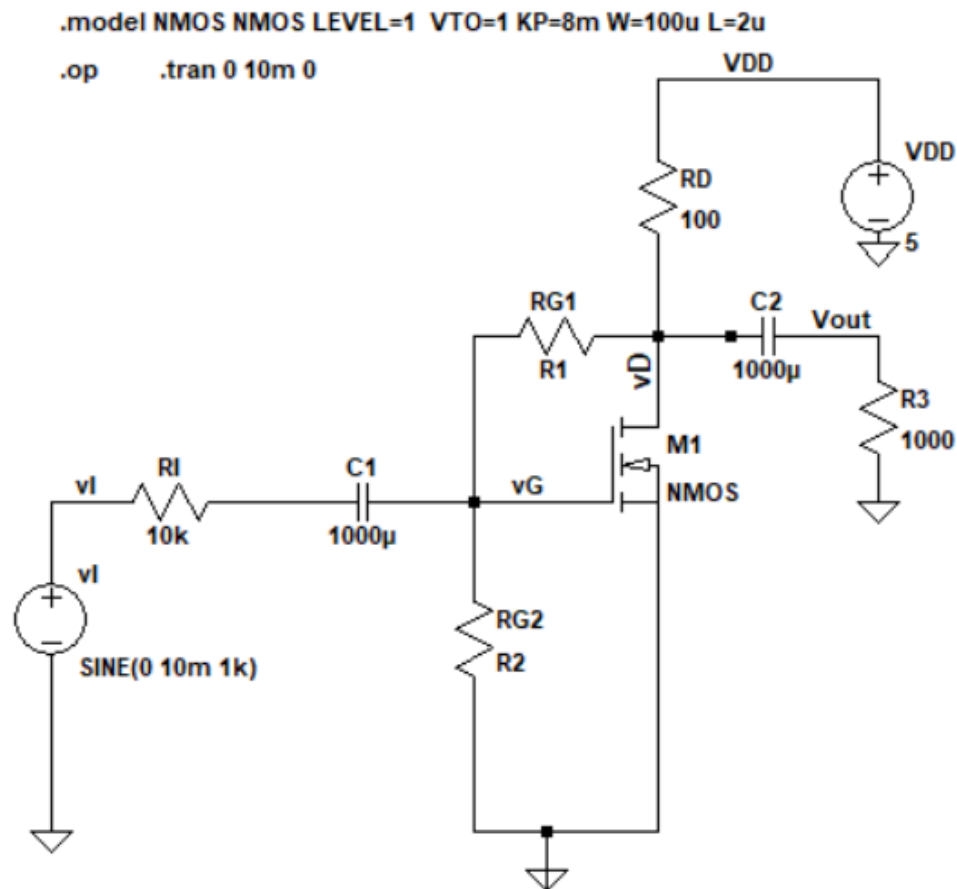
# Esercizio 2

2. Porre  $R_{G1}=R_{G2}$ =al proprio numero di matricola

2.1 Calcolare analiticamente il punto di polarizzazione DC del transistor ( $V_I=0$ ):  $V_{GSQ}$ ,  $V_{DSQ}$ ,  $I_{DQ}$

2.2 Calcolare  $g_m$  ; ( $r_o = \infty$ )

2.3 Disegnare il modello per piccolo segnale dell'amplificatore e calcolare il guadagno in tensione  $A_v = v_{out}/v_i$ , la resistenza di ingresso  $R_{in}$ , la resistenza di uscita vista da  $V_{out}$  senza  $R_3$ .

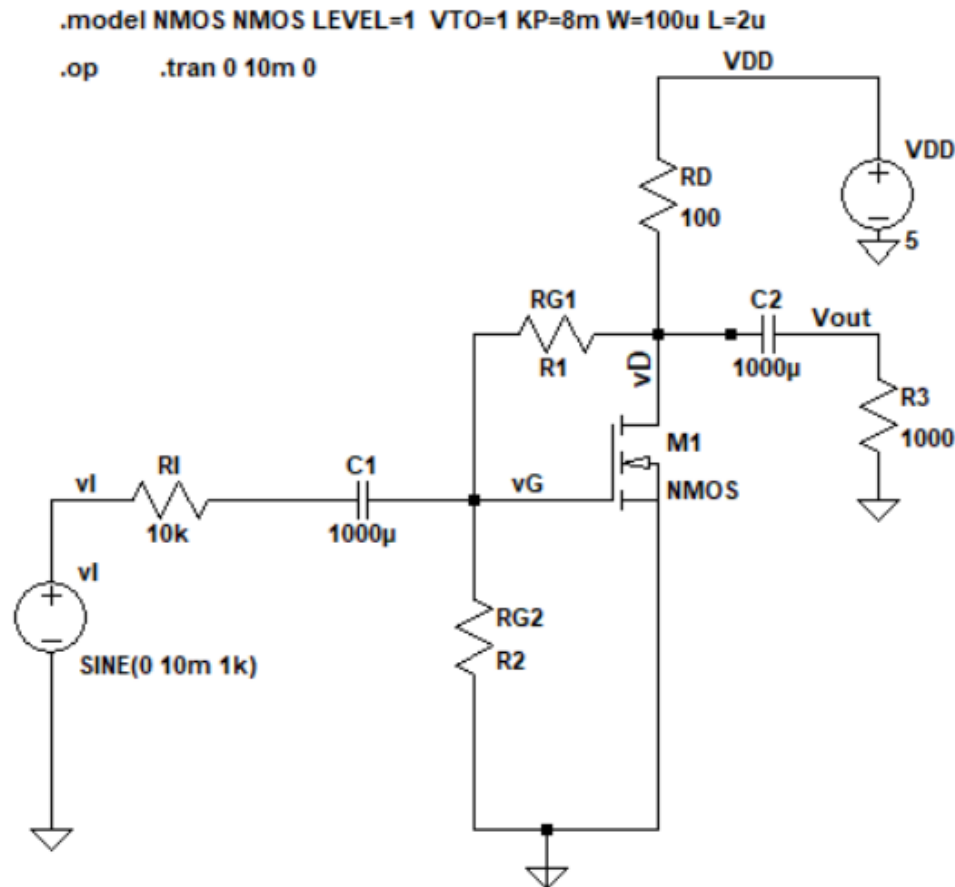


# Esercizio 2

2.4 Simulare con SPICE il punto operativo (DC) del circuito e verificare i valori trovati analiticamente

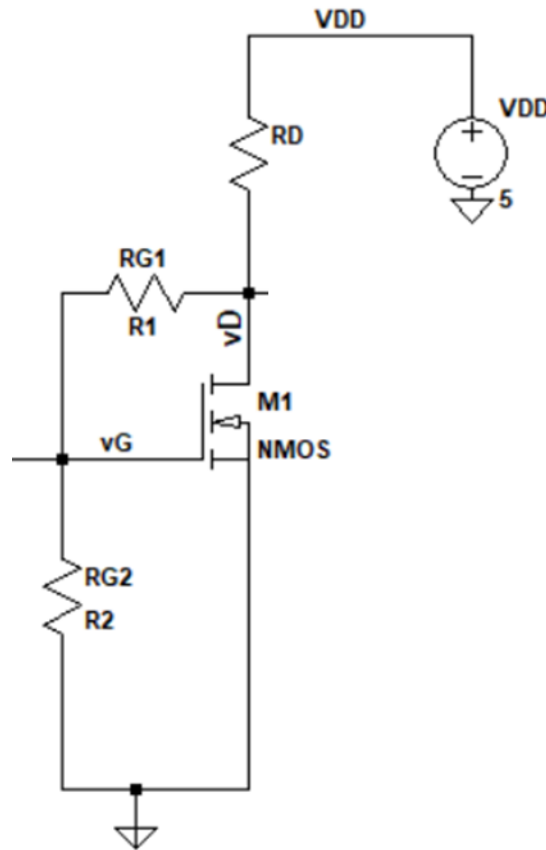
2.5 Con  $f(v_I) = 1$  kHz, simulare con SPICE 10 periodi di  $v_I$ ,  $v_{out}$ ; simulare  $A_v = V_{out}/v_I$  e confrontare il valore ottenuto con i risultati analitici

2.6 Calcolare analiticamente e verificare tramite simulazioni il massimo valore dell'ampiezza del segnale  $v_I$  che garantisce una risposta lineare dell'amplificatore



# Esercizio 2

3. Ora ricalcolare il punto di lavoro come segue: **porre  $W=L=10\mu\text{m}$** ,  $k'_n=8 \text{ mA/V}^2$ ,  $V_{Tn}=1\text{V}$ ,  
3.1 riprogettare il circuito ( $R_{G1}$ ,  $R_{G2}$  e  $R_D$ ) in modo che la corrente di drain sia  $I_D=1 \text{ mA}$ ,  
che  $V_{DS} = V_{OV} + 2\text{V} = V_{GS} - V_{Tn} + 2\text{V}$ , e che la corrente attraverso  $R_{G1}$  e  $R_{G2}$  sia  $100\text{nA}$



# Esercizio 2

Con il nuovo circuito:

3.2 Simulare con SPICE il punto operativo (DC) del circuito e verificare i valori trovati analiticamente

3.3 Con  $f(v_I) = 1$  kHz, simulare con SPICE 10 periodi di  $v_I$ ,  $v_{out}$ ; simulare  $A_v = V_{out}/v_I$  e confrontare il valore ottenuto con i risultati analitici

3.4 Verificare, solo tramite simulazioni il massimo valore dell'ampiezza del segnale  $v_I$  che garantisce una risposta lineare dell'amplificatore

4. Confrontare  $A_v$ ,  $R_{in}$ ,  $R_{out}$  nei tre amplificatori.

