ГУАП

КАФЕДРА № 44

ОТЧЕТ ЗАЩИЩЕН С ОЦЕНКОЙ ПРЕПОДАВАТЕЛЬ															
доц., канд. техн. наук, доц. должность, уч. степень, звание	подпись, дата	О.О. Жаринов инициалы, фамилия													
ОТЧЕТ О Ј	ТАБОРАТОРНОЙ РАБО	TE № 6													
РАЗРАБОТКА МОДУЛЯ СЧЁТНОГО УСТРОЙСТВА С ЗАДАННЫМ АЛГОРИТМОМ РАБОТЫ В СРЕДЕ QUARTUS															
по ку	урсу: СХЕМОТЕХНИКА	инициалы, фамилия БОТЕ №6 ОЙСТВА С ЗАДАННЫМ E QUARTUS КА													
РАБОТУ ВЫПОЛНИЛ															
СТУДЕНТ ГР. № 4143	подпись, дата	Е.Д.Тегай инициалы, фамилия													

Цель работы

Разработать проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus.

Вариант задания

Индивидуальный вариант задания №1 продемонстрирован на рисунках 1-2, где на рисунке 2 изображена таблица с необходимым значением М из лабораторной работы №3. Следует отметить, что все необходимые данные выделены для удобства жёлтым цветом.

Таблица (начало)* - Последовательность выходных кодов устройства

Mo	№ порядковый номер входного импулься счетного молуля																		
.JNº	порядковый номер входного импульса счетного модуля																		
варианта	0	1	2		M-2	M-1	M	M+1	M+2		2M-1	2M	2M+1	2M+2		3M-1	3M	3M+1	3M+2
1	0	1	2	•••	M-2	M-1	M	M-1	M-2	•••	1	0	1	2		M-1	M	M-1	M-2
2	0	1	2	•••	M-2	M-1	M	M	M		M	0	1	2		M-1	M	M	M
3	0	1	2	•••	M-2	M-1	M	M	M	•••	M	M	M-1	M-2	•••	1	0	1	2
4	0	1	2		M-2	M-1	0	0	0		0	0	1	2		M-1	0	0	0
5	0	1	2		M-2	M-1	M	M-1	M-2		1	0	0	0		0	0	1	2
6	0	1	2		M-2	M-1	0	0	0		0	0	0	0	•••	0	0	1	2
7	0	0	0	•••	0	0	0	1	2	•••	M-1	M	M-1	M-2	•••	1	0	0	0
8	0	1	2	•••	M-2	M-1	M	M	M	•••	M	0	0	0	•••	0	0	1	2
9	0	0	0		0	0	0	1	2		M-1	M	0	0	•••	0	0	0	0
10	0	1	2	•••	M-2	M-1	0	1	2	•••	M-1	0	0	0	•••	0	0	1	2

Рисунок 1 – Индивидуальный вариант

	Гаолица вариантов задании														
Bap.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
M	15	17	18	19	20	21	22	23	24	14	3	5	6	7	9
Bap.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
M	10	11	12	13	25	26	27	28	29	30	31	33	34	35	36

Рисунок 2 – Индивидуальный вариант

Ход работы

Для начала изобразим наглядно полную последовательность чисел, например, из 45 тактов, так как в этом промежутке показан полный период «оборота» последовательности. Это показано в таблице 1.

Таблица 1

№ такта	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	1 5	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Выход	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
№ такта	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45			Π.													
Выход	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																

Грубо говоря, необходимо реализовать зеркальную последовательность из чисел от 0 до 15. Собственно, в Quartus существует такое понятие, как

мегафункция, а lpm-счётчик в частности, является ярким и одним из самых распространённых представителей данного функционала. Работа lpm-счётчика облегчит работу над составлением схемы ещё и потому, что он может быть и счётчиком на увеличение, и счётчиком на уменьшение в одном устройстве - так называемый updown lpm-счётчик.

Он имеет множество параметров, но в целом в лабораторной работе требуется лишь 4 (и то потому, что необходимо увеличивать и уменьшать числа в поставленной задаче). На рисунке 3 изображён счётчик из разработанной схемы.

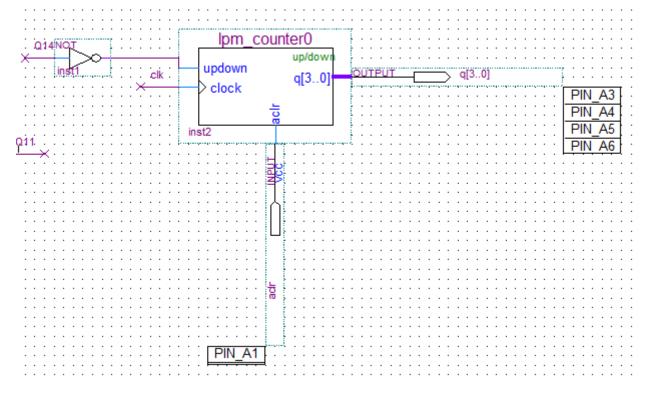


Рисунок 3 – Lpm-счётчик

Рассмотрим подробнее каждый из параметров. Updown — параметр, который отвечает за переключение с режима «увеличение» на режим «уменьшение». Clock — давно известные тактовые импульсы. Aclr — асинхронный сброс, а q[3..0] — некий массив разрядов. Он может быть сколь угодно большим, число 3 взято из тех соображений, что максимальным числом в последовательности является 15, которое в двоичной записывается как:

11112

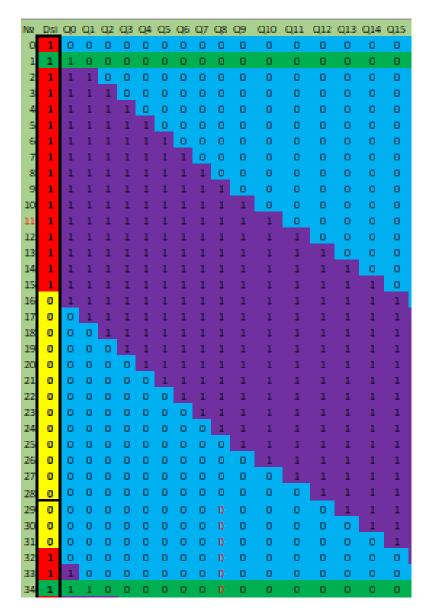
И, соответственно, максимально возможное число разрядов - 4,

которому и соответствует массив [3 2 1 0]. В процессе более подробного изучения работы счётчика выяснилось, что, во-первых, в момент сброса счётчик с последнего значения снова начинает считать с нуля (касательно счётчика «на увеличение»), а во-вторых, чтобы после достижения 15 счётчик смог начать считать в обратную сторону, нужно подать 0 на параметр updown (логично, что подача 1 = увеличение).

Честно говоря, мне довольно тяжко далось прийти к какой-либо идее, которая реализовывала бы подачу на один вход такого значения, которое в зависимости от номера такта могло бы быть как и 1, так и 0, чтобы обеспечить корректное переключение счётчика. Спустя продолжительное время единственное, к чему пришли мои мысли — обращение к прошлой лабораторной работе.

В прошлой лабораторной работе использовалась табличка с начальными данными, где были известны такие параметры, как: начальная задержка, количество тактов с 1 и количество тактов с 0. Для подачи на updown нужен такое выходное значение, которое бы держалось по 16 тактов на 1 и 0 с нулевой начальной задержкой. Это обеспечит корректный переход счётчика, так как именно на 15 – 16 тактах должен осуществляться переход на обратное значение.

По аналогии с прошлой лабораторной работой была составлена довольно массивная таблица 2.



Для визуального восприятия таблица — цветная. Необходимые для составления итогового логического выражения единицы выделены красным. Количество триггеров — 16. Итоговое выражение имеет вид:

$$\overline{Q_{14}} = Dsi$$

Это выражение и подаётся на updown счётчика.

Схема

Схема устройства состоит из двух частей. В первой – череда D-триггеров и составленное выражение для Dsi, а во второй – лишь счётчик. Соответствующие рисунки приведены ниже.

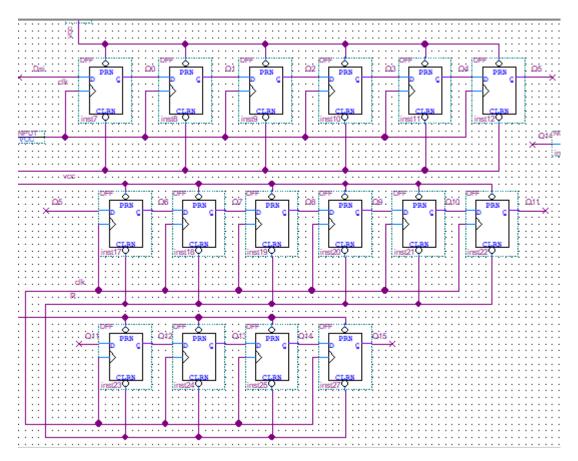


Рисунок 4 — Цепочка D — триггеров

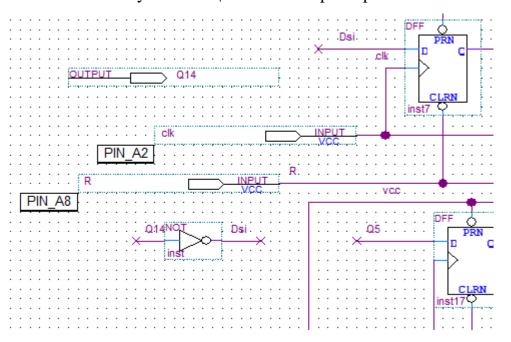


Рисунок 5 – Выражение для Dsi и входы-выходы

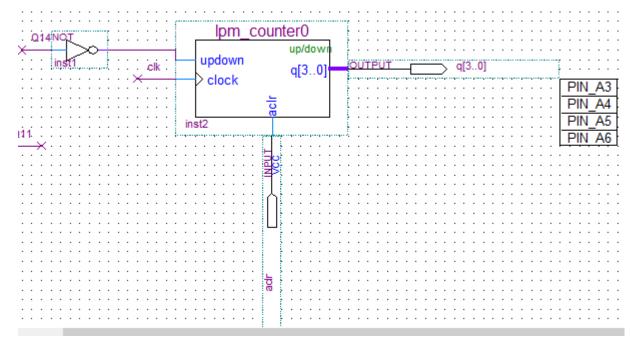


Рисунок 6 – Lpm-счётчик

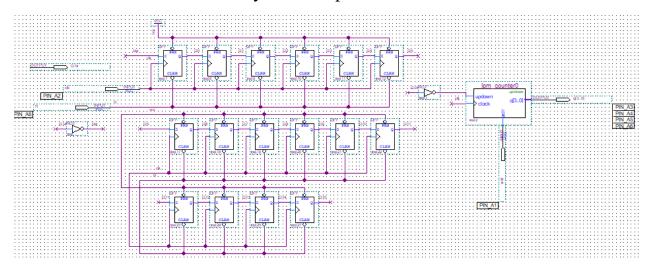


Рисунок 7 – Общая схема

Следует добавить, что входы и выходы у счётчика могут заполняться автоматически, чем и было принято воспользоваться, лишь отредактировав пару параметров относительно схемы, чтобы не было лишних входоввыходов.

Временная диаграмма

Соответствующая временная диаграмма показана на рисунках 8 - 9.

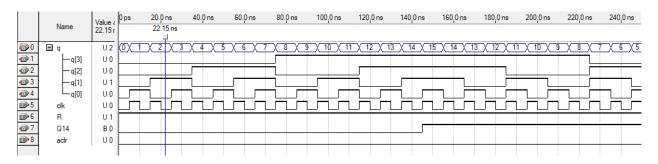


Рисунок 7 — Временная диаграмма

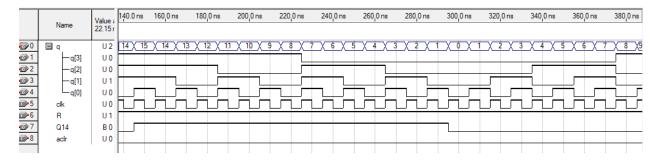


Рисунок 8 — Временная диаграмма

Вдобавок хочется подробнее показать, почему в качестве логической функции Dsi был взят именно выход Q14. Рассмотрим таблицу 2. При каждом нуле у Q14 функция Dsi принимает значение 1 КРОМЕ последнего такта. Это выделено красным на рисунке 9.

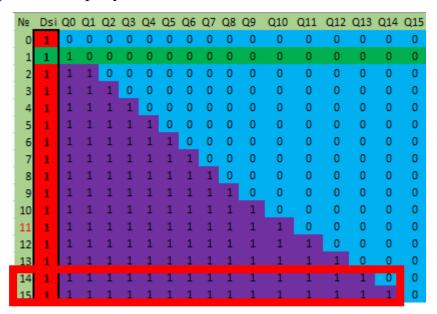


Рисунок 9 – Часть таблицы 2

На самом деле сначала я взяла Q15 в качестве выражения для Dsi, ведь в таком случае действительно без исключений все совпадает. Но по итогу получилась такая диаграмма, как на рисунке 10.

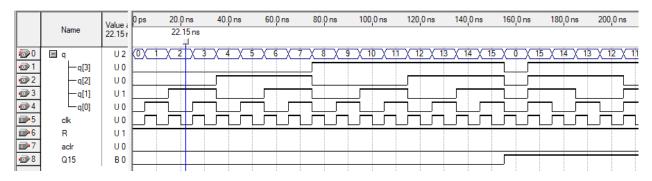


Рисунок 10 – Некорректная временная диаграмма

Как видно из диаграммы, очень не к месту возникающий 0 на переходе с увеличения на спад. Присмотревшись, можно увидеть далее, что при очередной смене с уменьшения на увеличения «лишнего» значения нет, поэтому и получается красивое чередование 1 -> 0 -> 1.

Напрашивалось сместить единичный выход у взятого ранее Q15 буквально на такт вправо, а этим «смещением» из таблицы 2 и получилось Q14. Эту ошибку я заметила визуально благодаря диаграмме, но на самом деле всё и так довольно логично: необходим был переход с 0 на 1 у логического выражения именно в момент перехода от 14 к 15, а не тактом позже, чтобы счётчик не успел сброситься в 0 и не стал скакать из крайности в крайность.

ПЛИС

Искомая ПЛИС изображена на рисунке 11.

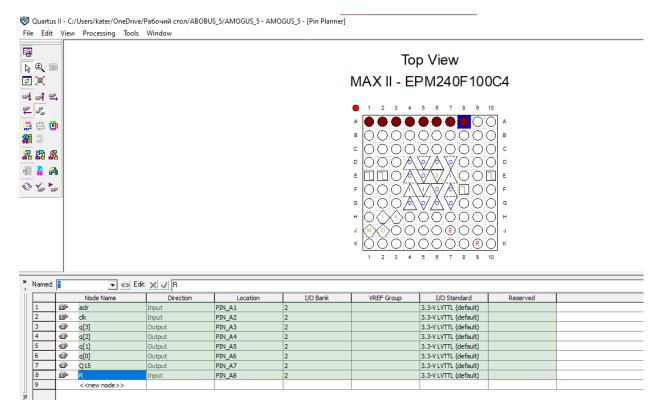


Рисунок 11 - ПЛИС

Выводы

В данной лабораторной работе был разработан проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus.

По итогу нет сомнений в том, что созданная схема довольно массивна. Возможно, она может выглядеть куда компактнее или же может состоять из большего числа различных мегафункций, дабы не загромождать проводами, триггерами и иными элементами схему, но и этот вариант имеет место быть, так как он довольно примитивен в своём содержании относительно типов элементов.

Список используемых источников

- 1. Проектирование встраиваемых систем на ПЛИС. / 3. Наваби; перев. с англ. В.В. Соловьева. М.: ДМК Пресс, 2016. 464 с.
- 2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. СПб: Лань, 2022. 408 с.
- 3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. М.: ДМК Пресс, 2018. -

- 4. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В В. Соловьев, А. Климович. М.: Горячая линия Телеком, 2008. 376 с. [Библиотечный шифр 681.3 С 60].
- 5. Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. М.: ДОДЭКА-ХХІ, 2007. 408 с. [Библиотечный шифр 004.4 М 17].
- 6. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д.С. Потехин, И.Е. Тарасов. М.: Горячая линия Телеком, 2007. 248 с. [Библиотечный шифр 004 П 64]