

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.

должность, уч. степень, звание

подпись, дата

О.О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №7

РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСОВ, УПРАВЛЯЕМОГО
ЦИФРОВЫМ КОДОМ

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ гр. №

4143

подпись, дата

Е.Д. Тегай

инициалы, фамилия

Санкт-Петербург 2023

Цель работы

Разработать проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus.

Вариант задания

Содержание индивидуального варианта №28 продемонстрировано на рисунке 1. Для удобства необходимая информация выделена жёлтым цветом.

Var.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
K _i	8	N	N	9	N	10	N	11	N	12	N	13	N	14	N
K ₀	N	8	9	N	10	N	11	N	12	N	13	N	14	N	15

Рисунок 1 – Индивидуальный вариант

Описание концепции проектирования

После длительных раздумий над созданием концепции было решено реализовать необходимую схему следующим образом: необходимо было устройство, которое бы выводило определённое количество нулей (в данном случае – 14) в одном случае, а единицы – в другом. В качестве реализации данной задумки был выбран обычный компаратор. В качестве первого аргумента будет идти число, состоящее из 7 (в maximume) разрядов. А в качестве второго аргумента было взято заданное число нулей – 14. Суть такова: если число (первый аргумент) больше 14, то выводится единица. Как только число меньше 14 – выводится ноль. Графически компаратор изображён на рисунке 2.

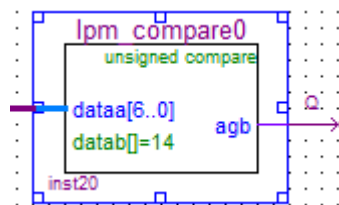


Рисунок 2 - Компаратор

Но это число, подающееся на компаратор, не является константой, оно с каждым разом должно уменьшаться на единицу. Для этого в схему был добавлен счётчик на убавление. В качестве входящих проводов были выбраны:

- sload (синхронный вход загрузки). Является результирующим проводом элемента «ИЛИ» между двумя аргументами: провода загрузки ld, значения которого относительно каждого такта задаётся пользователем, и A – выходом из счётчика. Следует отметить, что при отсутствии на выходе этого параметра и, соответственно, провода, на временной диаграмме был неверный вывод при задании различных параметров, поэтому в ходе различных поисков решений этой проблемы было принято добавить еще один провод на выход;
- result[6..0] – результирующий провод после сложения двух аргументов (о чём далее);
- clk – обычный входящий тактовый импульс.

В качестве выходов идут уже упомянутый провод A, а также результирующий провод, который сразу подаётся на компаратор. Он является 7-разрядным числом – меньшим на единицу в отличие от числа на входе. Графически счётчик изображён на рисунке 3.

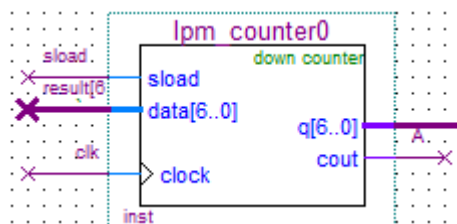


Рисунок 3 – Счётчик

Ранее было упомянуто сложение. Для этого был выбран сумматор, который складывает 2 числа: число нулей – 14 и исходное 7-разрядное число. Почему вообще была выбрана именно эта вместимость, если максимальное значение кода равняется 63, а для этого хватает 6 разрядов? Ну ровно для того, чтобы сложение в целом было реализуемо. Возможно, в качестве реализации поставленной задачи можно заменить сумматор на какое-либо другое устройство и не задумываться о такой мелочи, но размышления упирались только в сумматор. Графически сумматор изображён на рисунке 4.

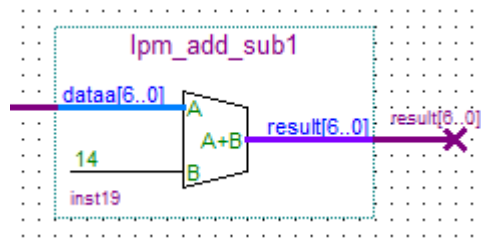


Рисунок 4 – Сумматор

Последним существенным элементом схемы является D-триггер (в контексте мегафункций для удобства реализации задачи и более компактного вида схемы). Суть работы такова: в качестве входа есть два аргумента: загрузка *ld*, значение которой задаётся пользователем, и некоторое число вместимостью 7 разрядов. Как только на загрузке возникает единица, то D-триггер реагирует и передаёт число далее на сумматор. Следует отметить, что в качестве сброса также подаётся провод загрузки *ld*. Если на загрузке наблюдается ноль, то в результате всей работы схемы будет выводиться одно и то же число единиц (число, равное N). Графически триггер изображён на рисунке 5.

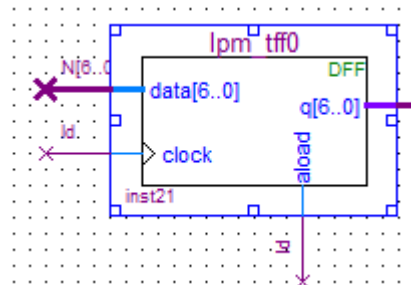


Рисунок 5 – Триггер

Все входы, необходимые для работы схемы, изображены на рисунке 6.

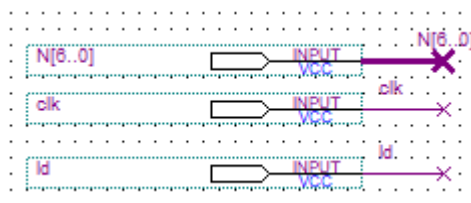


Рисунок 6 – Входы

Также на рисунке 7 изображён логический элемент «ИЛИ» и результирующее выходное значение.

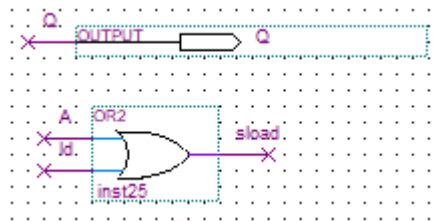


Рисунок 7 – «ИЛИ» и вывод

Схема устройства

Искомая схема устройства продемонстрирована на рисунке 8.

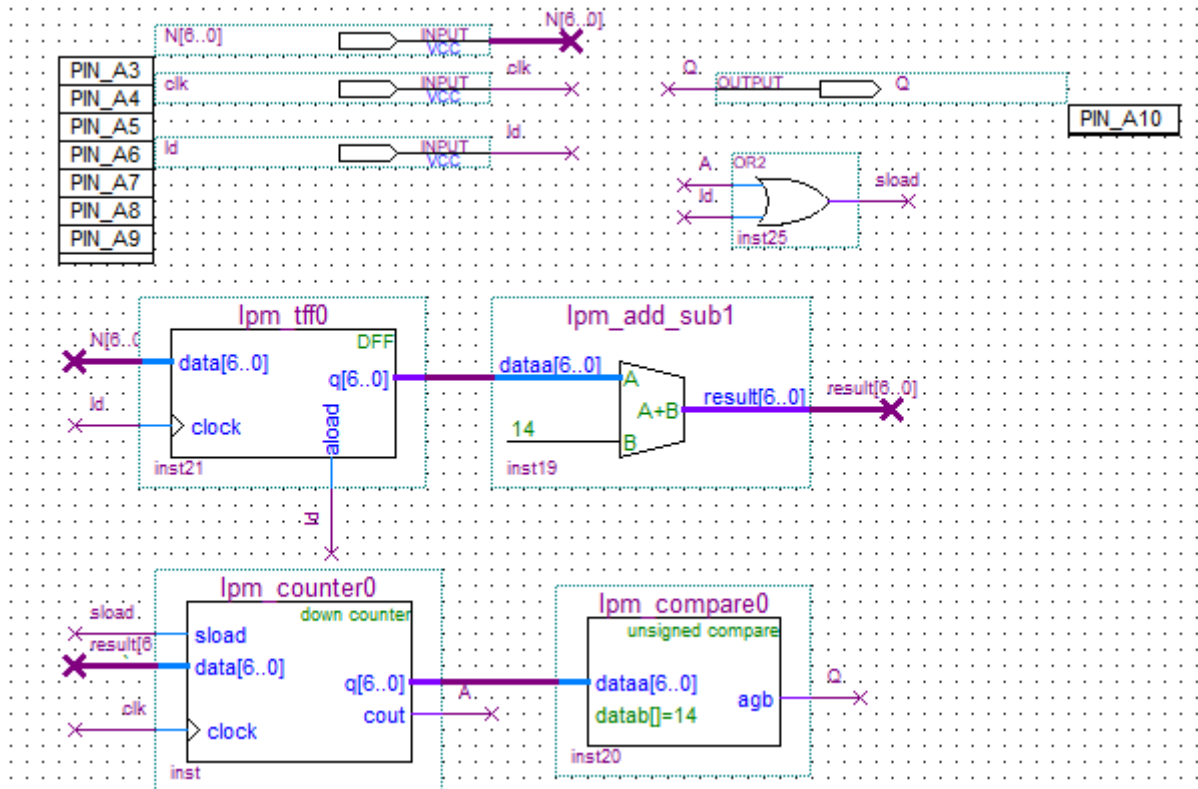


Рисунок 8 – Схема устройства

Временные диаграммы

Результаты работы схемы продемонстрированы на рисунках 9 - 16.

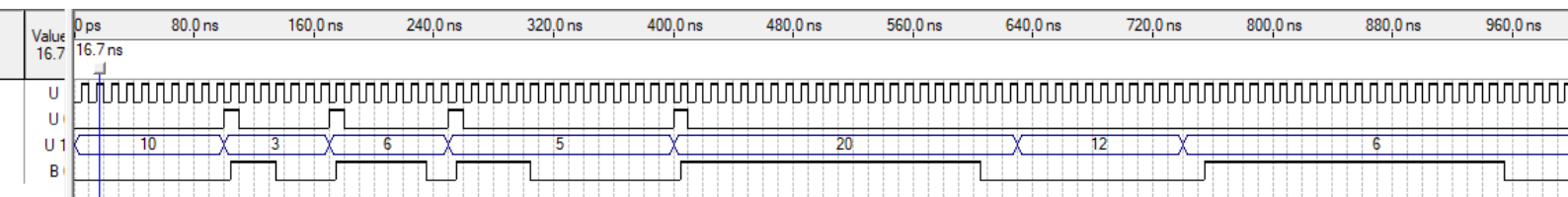


Рисунок 9 – Результат работы схемы

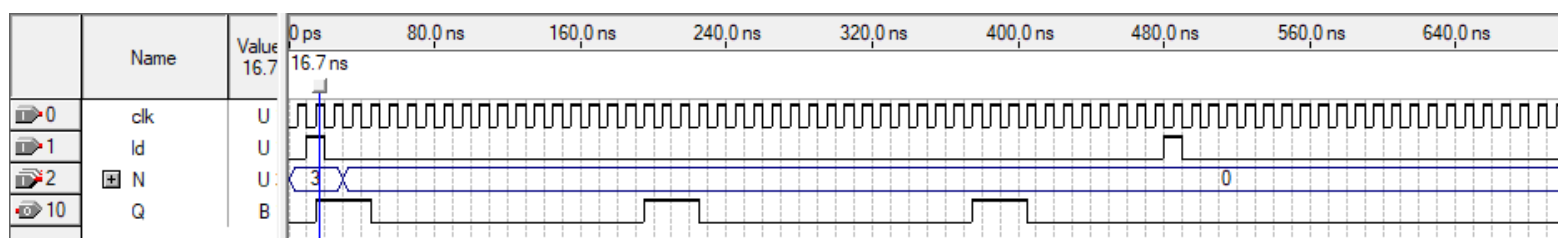


Рисунок 10 – Результат работы схемы

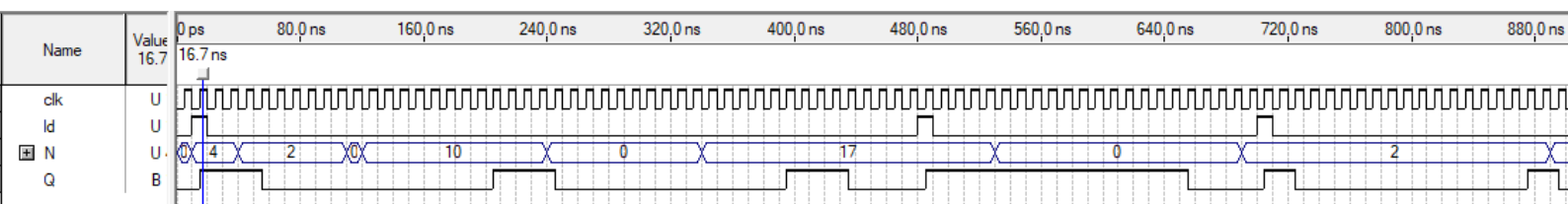


Рисунок 11 – Результат работы схемы

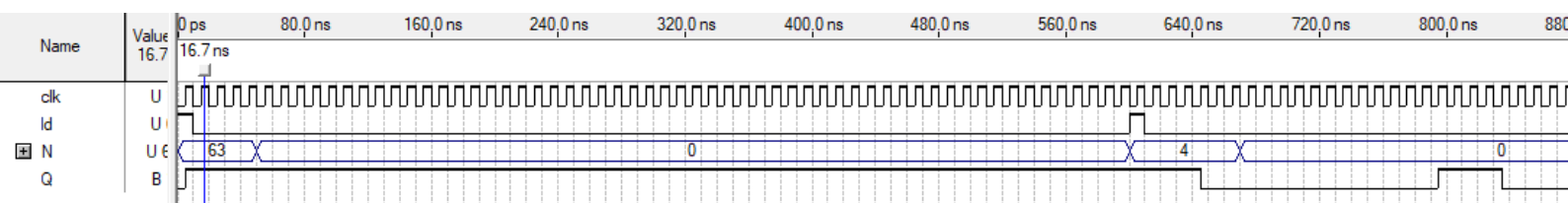


Рисунок 12 – Результат работы схемы

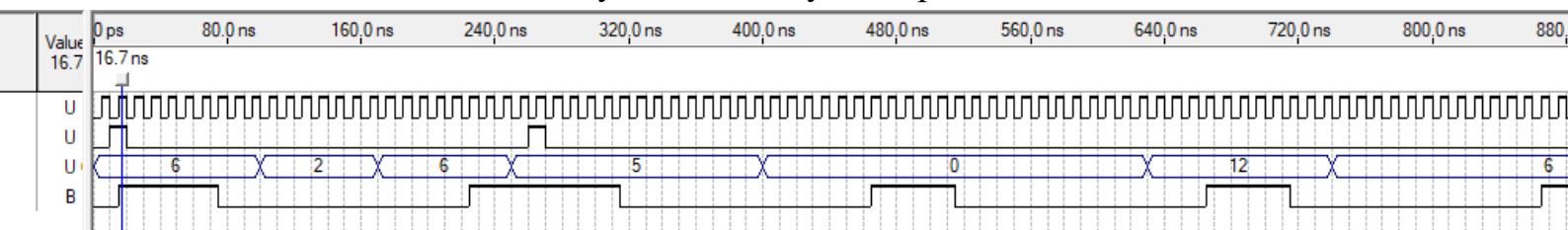


Рисунок 13 – Результат работы схемы

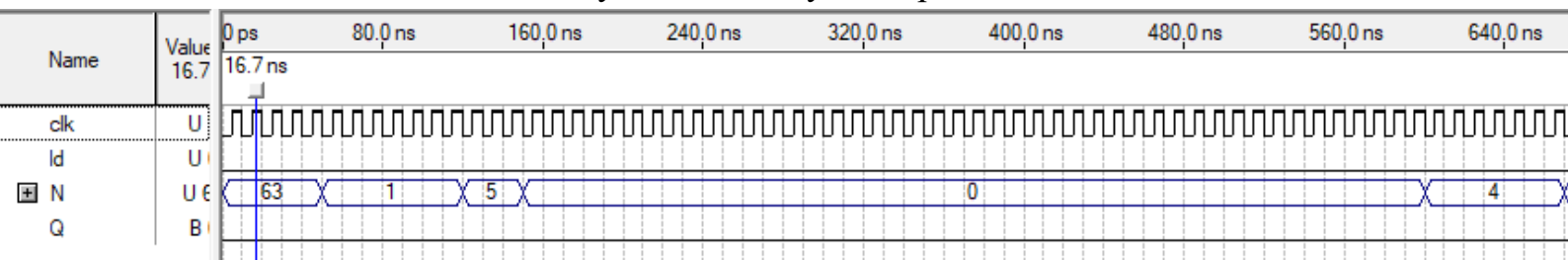


Рисунок 14 – Результат работы схемы

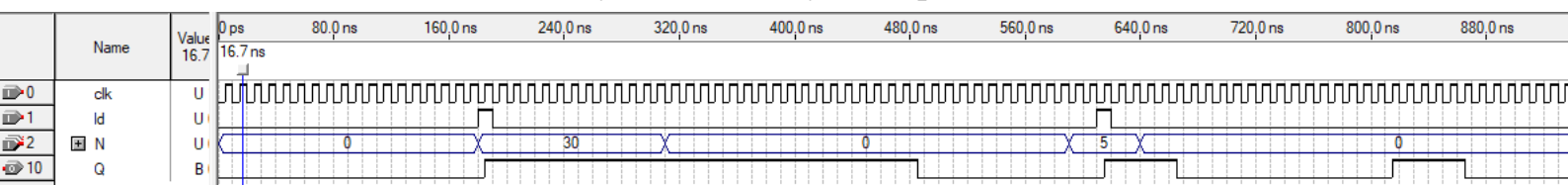


Рисунок 15 – Результат работы схемы

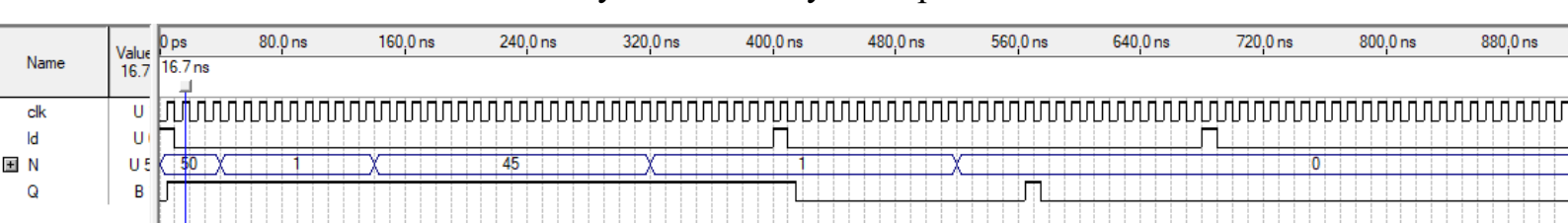


Рисунок 16 – Результат работы схемы

ПЛИС

Искомая ПЛИС изображена на рисунке 17.

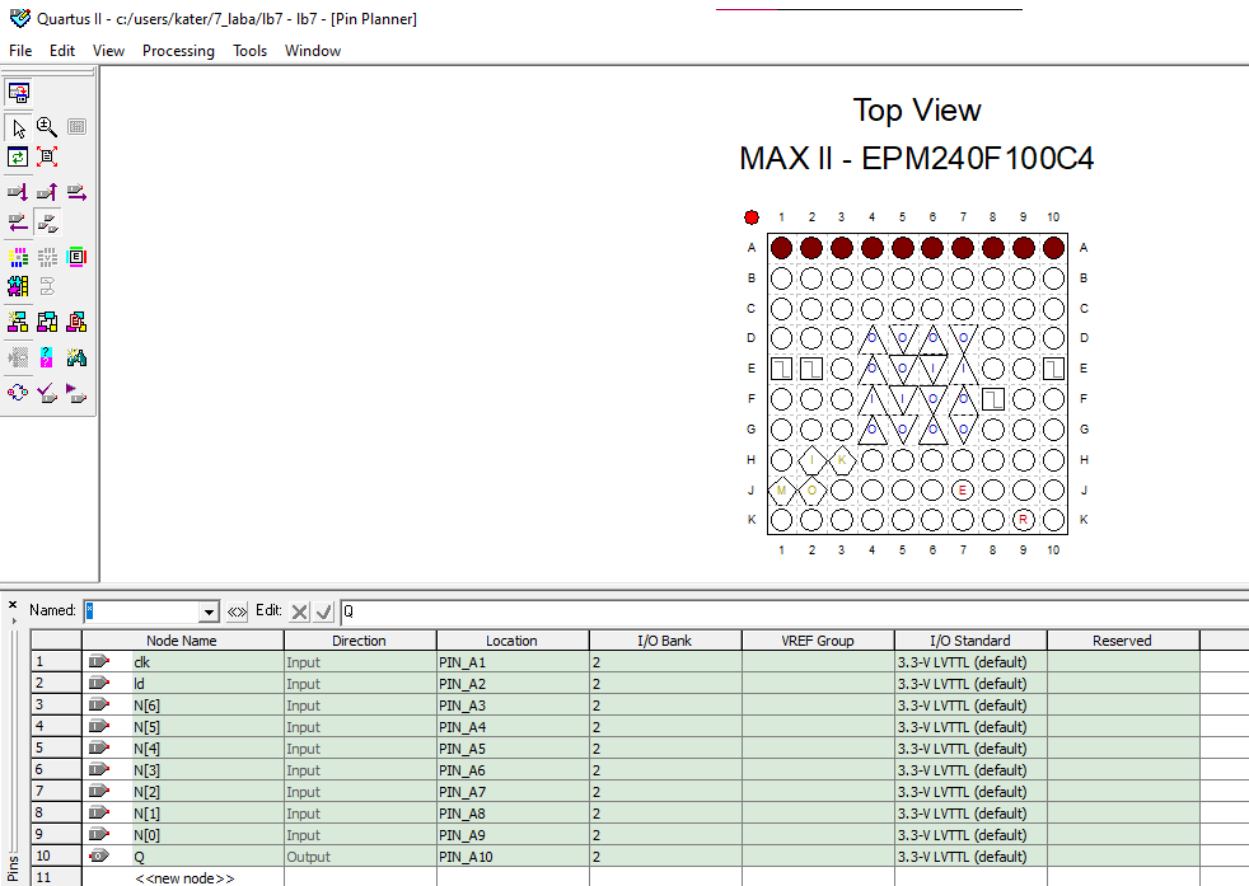


Рисунок 17 – ПЛИС

Вывод

В данной лабораторной работе был разработан проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus.

Список используемых источников

1. Проектирование встраиваемых систем на ПЛИС. / З.Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.

4. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В. В. Соловьев, А. Климович. - М.: Горячая линия - Телеком, 2008. - 376 с. [Библиотечный шифр 681.3 С 60].
5. Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. - М.: ДОДЭКА-XXI, 2007. - 408 с. [Библиотечный шифр 004.4 М 17].
6. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д. С. Потехин, И.Е. Тарасов. - М.: Горячая линия - Телеком, 2007. - 248 с. [Библиотечный шифр 004 П 64]