

ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.  
должность, уч. степень, звание

подпись, дата

О.О. Жаринов  
инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №5

РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСНОЙ  
ПОСЛЕДОВАТЕЛЬНОСТИ С ЗАДАННЫМИ СВОЙСТВАМИ

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. №

4143

подпись, дата

Е.Д.Тегай  
инициалы, фамилия

Санкт-Петербург 2023

## Цель работы

Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus.

## Вариант задания

Соответствующий вариант задания выделен для удобства жёлтым цветом на рисунке 1.

Таблица вариантов заданий

Вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
К <sub>нач</sub>	0	1	2	1	0	2	0	1	2	3	1	2	0	1	2
К <sub>1</sub>	3	12	1	4	5	6	9	8	14	13	1	3	4	2	1
К <sub>0</sub>	14	5	16	13	12	11	8	9	3	4	6	4	3	3	4
Вар.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
К <sub>нач</sub>	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
К <sub>1</sub>	3	4	3	1	5	9	8	7	6	5	5	4	3	2	1
К <sub>0</sub>	2	1	6	8	1	2	3	4	5	4	6	7	7	7	7
Вар.	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
К <sub>нач</sub>	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
К <sub>1</sub>	1	2	3	10	9	10	7	7	7	7	8	8	2	10	2
К <sub>0</sub>	10	10	10	1	2	3	1	2	3	4	1	2	8	2	9

Рисунок 1 – Индивидуальный вариант

## Описание концепции разработки схемы

Для создания схемы воспользуемся таблицей, изображённой на рисунке 2.

№	Dsi	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	1	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0
2	1	1	1	0	0	0	0	0	0
3	1	1	1	1	0	0	0	0	0
4	0	1	1	1	1	0	0	0	0
5	0	0	1	1	1	1	0	0	0
6	0	0	0	1	1	1	1	0	0
7	1	0	0	0	1	1	1	1	0
8	1	1	0	0	0	1	1	1	1
9	1	1	1	0	0	0	1	1	1
10	1	1	1	1	0	0	0	1	1
11	0	1	1	1	1	0	0	0	1
12	0	0	1	1	1	1	0	0	0

Рисунок 2 – Таблица истинности

Рассмотрим её подробнее. Схема заполнения таблицы проста: в

столбике  $Dsi$  проставляются значения 1 и 0 в таком порядке, какой был задан индивидуальным вариантом, при этом учитывается начальная «задержка». Так как в данном случае она равна 0, то заполнение относительно единичного и нулевого выходов начинается с самого начала. Количество выходов (триггеров) берётся в соответствии с 1 периодом. В данном случае будет использоваться 8 D-триггеров (4 единицы + 3 нуля + первая единица = 8).

Далее заполняются строки выходов. Грубо говоря, везде, где на  $Dsi$  стоит единица, всё те же единицы проставляются далее по диагонали вниз. Это заполнение строк и столбцов длится до тех пор, пока не появится повторная строка, она выделена красным цветом на рисунке 2.

Затем для удобства на рисунке 2 выделены следующие области:

- Жёлтым выделены все необходимые для построения логического выражения единицы у  $Dsi$ ;
- Зелёным выделены все выходы, которым соответствует единица по  $Dsi$ ;
- Фиолетовым выделены необходимые для вычисления логического выражения единицы в рамках выходов.

Приступим к выводу логического выражения. Если присмотреться, то можно заметить то, что при 1 на  $Q_6$  гарантированно будет 1 на  $Dsi$ . Это показано на рисунке 3.

№	Dsi	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	1	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0
2	1	1	1	0	0	0	0	0	0
3	1	1	1	1	0	0	0	0	0
4	0	1	1	1	1	0	0	0	0
5	0	0	1	1	1	1	0	0	0
6	0	0	0	1	1	1	1	0	0
7	1	0	0	0	1	1	1	1	0
8	1	1	0	0	0	1	1	1	1
9	1	1	1	0	0	0	1	1	1
10	1	1	1	1	0	0	0	1	1
11	0	1	1	1	1	0	0	0	1
12	0	0	1	1	1	1	0	0	0

Рисунок 3 – Вспомогательная таблица

Соответственно, «убираются» 6 из 10 возможных единиц. Осталось «убрать» последние 4 единицы. Это можно сделать двумя способами: просто расписать «уникальную» комбинацию, обращая внимание на «ненужные» выходы с сохранением корректности итогового выражения. Такими будут 4 комбинации для каждой единицы размером в 4, потому что если брать меньшее количество, то на какой-то да повторный случай тех же значений вывод на Dsi будет 0, чего не требуется.

Можно также заметить то, что при каждом нулевом значении выхода  $Q_3$  на Dsi будет так же 1.

Итоговое выражение для каждого из случаев имеет вид:

$$Dsi = Q_6 \vee \overline{Q_3}(Q_0 \vee \overline{Q_1})(Q_1 \vee \overline{Q_2}) \quad (1)$$

$$Dsi = Q_6 \vee \overline{Q_3} \quad (2)$$

### Схема устройства

Искомая схема для каждого из вариантов изображена на рисунках 4 – 5.

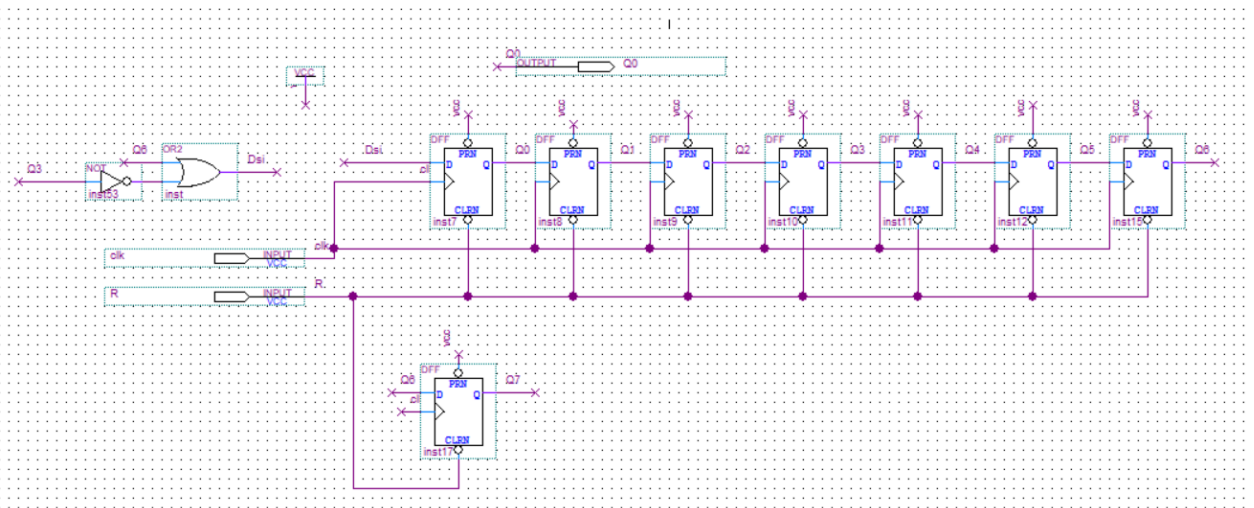


Рисунок 4 – Созданная схема первого варианта

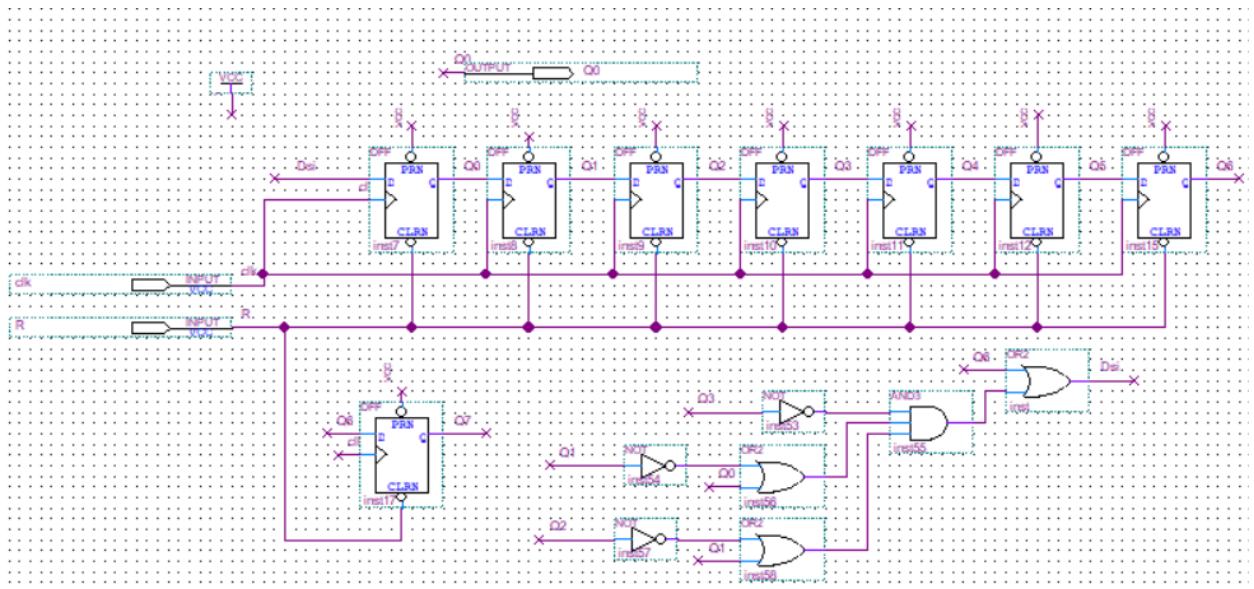


Рисунок 5 – Созданная схема второго варианта

На самом деле никакой разницы нет между полученными схемами, кроме как в экономии времени и ресурсов – итог будет тот же.

## Временная диаграмма

Искомая диаграмма изображена на рисунке 6.

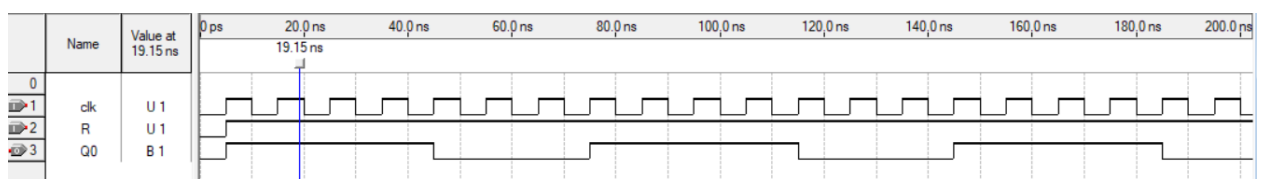


Рисунок 6 – Временная диаграмма

## ПЛИС

Искомая ПЛИС изображена на рисунке 7.

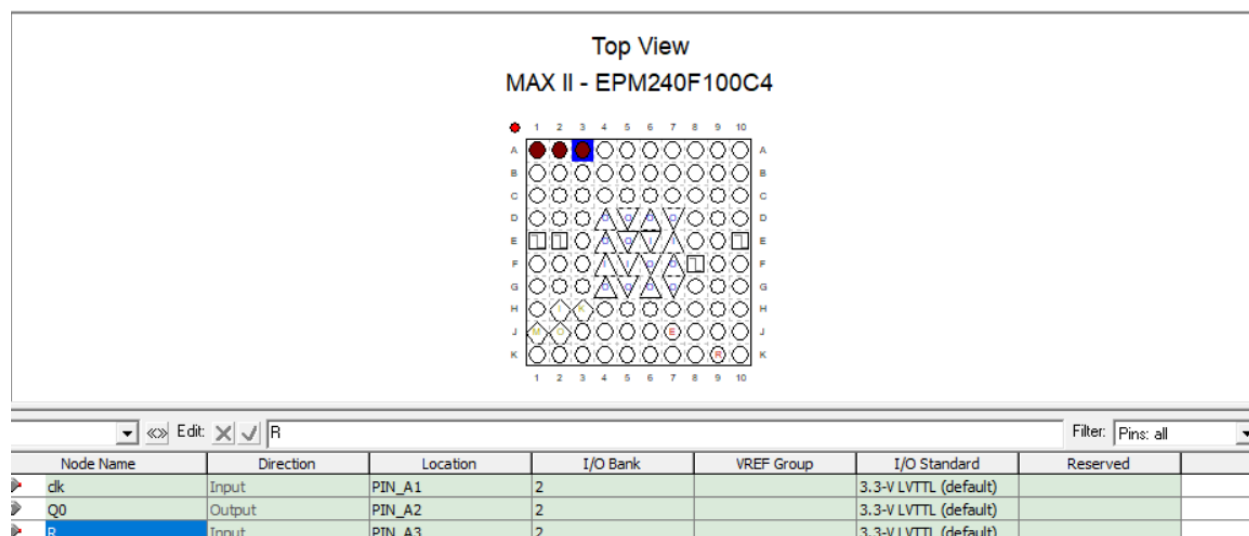


Рисунок 7 - ПЛИС

## Выводы

В данной лабораторной работе был разработан проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus.

## Список используемых источников

1. Проектирование встраиваемых систем на ПЛИС. / З. Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.
4. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В. В. Соловьев, А. Климович. - М.: Горячая линия - Телеком, 2008. - 376 с. [Библиотечный

шифр 681.3 С 60].

5. Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. - М.: ДОДЭКА-XXI, 2007. - 408 с. [Библиотечный шифр 004.4 М 17].

6. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д. С. Потехин, И.Е. Тарасов. - М.: Горячая линия - Телеком, 2007. - 248 с. [Библиотечный шифр 004 П 64]