

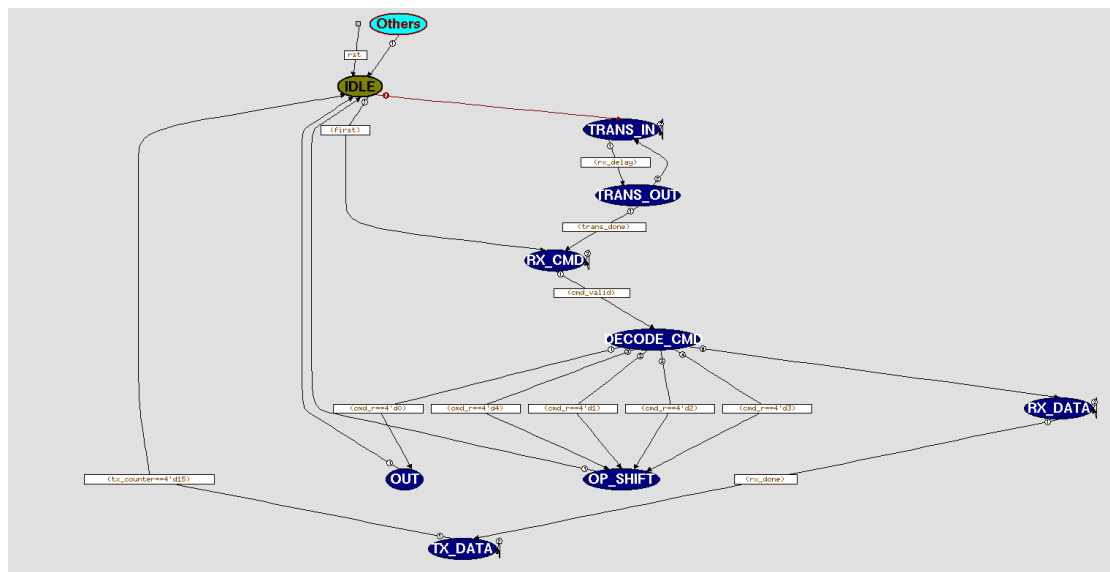
2025 Digital IC Design Homework 2

NAME	童品綸			
Student ID	M16131111			
Functional Simulation Result				
Pattern1	Pattern2	Pattern3	Pattern4	Pattern5
Pass	Pass	Pass	Pass	Pass
Pattern 1				
<pre># All data have been generated successfully! # #                               // #                               /       __    #                               /  Congratulations !!  /      / 0.0   #                               /      /              /      /_____  #                               /  Simulation PASS !!  /      / ^ ^ ^ \   #                               /      /              /    ^ ^ ^ ^  w  #                               //              \m__m_ _  # # # ** Note: \$finish      : C:/Users/t/Documents/DIC_Cheng/HW2/M16131111/file/testfixture.sv(162) #    Time: 1975 ns  Iteration: 0  Instance: /testfixture</pre>				
Pattern 2				
<pre># All data have been generated successfully! # #                               // #                               /       __    #                               /  Congratulations !!  /      / 0.0   #                               /      /              /      /_____  #                               /  Simulation PASS !!  /      / ^ ^ ^ \   #                               /      /              /    ^ ^ ^ ^  w  #                               //              \m__m_ _  # # # ** Note: \$finish      : C:/Users/t/Documents/DIC_Cheng/HW2/M16131111/file/testfixture.sv(162) #    Time: 2425 ns  Iteration: 0  Instance: /testfixture</pre>				
Pattern 3				
<pre># All data have been generated successfully! # #                               // #                               /       __    #                               /  Congratulations !!  /      / 0.0   #                               /      /              /      /_____  #                               /  Simulation PASS !!  /      / ^ ^ ^ \   #                               /      /              /    ^ ^ ^ ^  w  #                               //              \m__m_ _  # # # ** Note: \$finish      : C:/Users/t/Documents/DIC_Cheng/HW2/M16131111/file/testfixture.sv(162) #    Time: 2585 ns  Iteration: 0  Instance: /testfixture</pre>				
Pattern 4				
<pre># All data have been generated successfully! # #                               // #                               /       __    #                               /  Congratulations !!  /      / 0.0   #                               /      /              /      /_____  #                               /  Simulation PASS !!  /      / ^ ^ ^ \   #                               /      /              /    ^ ^ ^ ^  w  #                               //              \m__m_ _  # # # ** Note: \$finish      : C:/Users/t/Documents/DIC_Cheng/HW2/M16131111/file/testfixture.sv(162) #    Time: 2745 ns  Iteration: 0  Instance: /testfixture</pre>				

## Pattern 5

```
# All data have been generated successfully!
#
#
#          ///////////////////////////////////////////////////
#          / Congratulations !! / / 0.0 |
#          / Simulation PASS !! / / ^ ^ ^ \ |
#          /                      / | ^ ^ ^ |w|
#          /////////////////////////////////////////////////// \m_m_|_
#
#
# ** Note: $finish      : C:/Users/t/Documents/DIC_Cheng/HW2/M16131111/file/testfixture.sv(162)
#          Time: 3815 ns Iteration: 0 Instance: /testfixture
```

## LCD\_CTRL Finite-State Machine Design:



附圖是我用 verdi 開我的狀態機的狀態轉換圖，因為想趕著寫完所以沒特別再去簡化狀態，底下各個狀態用途以及轉換條件。

**IDLE:**讓電路回到閒置模式，通常是在這個狀態重置一些需要重置的暫存器，他的下個狀態取決於是否剛 reset 過，如果有了話，他會先去把 IROM 的資料全搬去 IRAM，於是乎就會去往 TRANS\_IN 狀態，這個狀態是去讀資料並且讀進來後馬上進去 TRAS\_OUT 把資料寫回 IRAM，若不是剛 reset 則會直接去 RX\_CMD 狀態接受指令。

**TRANS\_IN:**電路 reset 後去 IROM 讀資料的狀態

**TRANS\_OUT:**把從 IROM 讀的資料寫去 IRAM，寫完判斷有無整張圖寫完，還沒則回到 TRANS\_IN 去取資料來寫，寫完則是跳往接受指令的 RX\_CMD 狀態。

**RX\_CMD:**接受指令並暫存。

**DECODE\_CMD:**解碼指令，判斷要去做甚麼事，如果要移操作點，就去移操作點的 OP\_SHIFT，write 指令則跳去 OUT，其他則是去 RX\_DATA，從 IRAM 抓資料來根據 CMD 看要做甚麼運算

**RX\_DATA:**去 IRAM 取資料以及根據 CMD 做對應運算。

**TX\_DATA;**將 RX\_DATA 做完運算資料寫回。

OUT:如果是寫指令，則跳來此狀態，發出 done，告知已做完。