

LAB1-Carry Look-Ahead adder(CLA)

設計背景

一般的漣波進位加法器(Ripple-Carry Adder)在多位元運算時，由於 Carry bit 逐位傳遞的緣故，加法器的傳輸延遲會隨著運算位元數呈線性增加的關係，導致加法運算速度受限。而加速進位加法器(Carry-Look Ahead Adder)透過提前計算進位的方式避免逐位傳遞，提高運算速度。在 CLA 中有 2 個重要的變數來預測進位，分別是 G (Generate Carry) 和 P (Propagate Carry)。

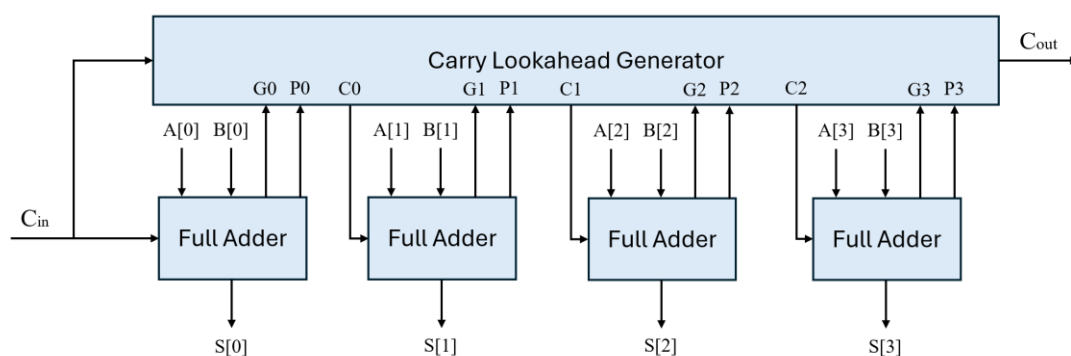
G (Generate Carry) $G_i = A_i \cdot B_i$ 代表的意義是如果兩個輸入位元 A_i 和 B_i 皆為 1，則該位元一定會產生進位，無論前一位的進位為何。

P (Propagate Carry) $P_i = A_i \oplus B_i$ 代表如果 A_i 和 B_i 其中之一為 1，則該位元會「傳遞」前一位的進位。

因此我們可以得到進位的計算公式: $C_{i+1} = G_i + (P_i \cdot C_i)$ ，可以看到不論是幾位元的運算，Carry bit 都可以展開至只與第一個 Carry bit C_{in} 有關，CLA 即是透過這種方法減少傳輸延遲所帶來的負面效應。

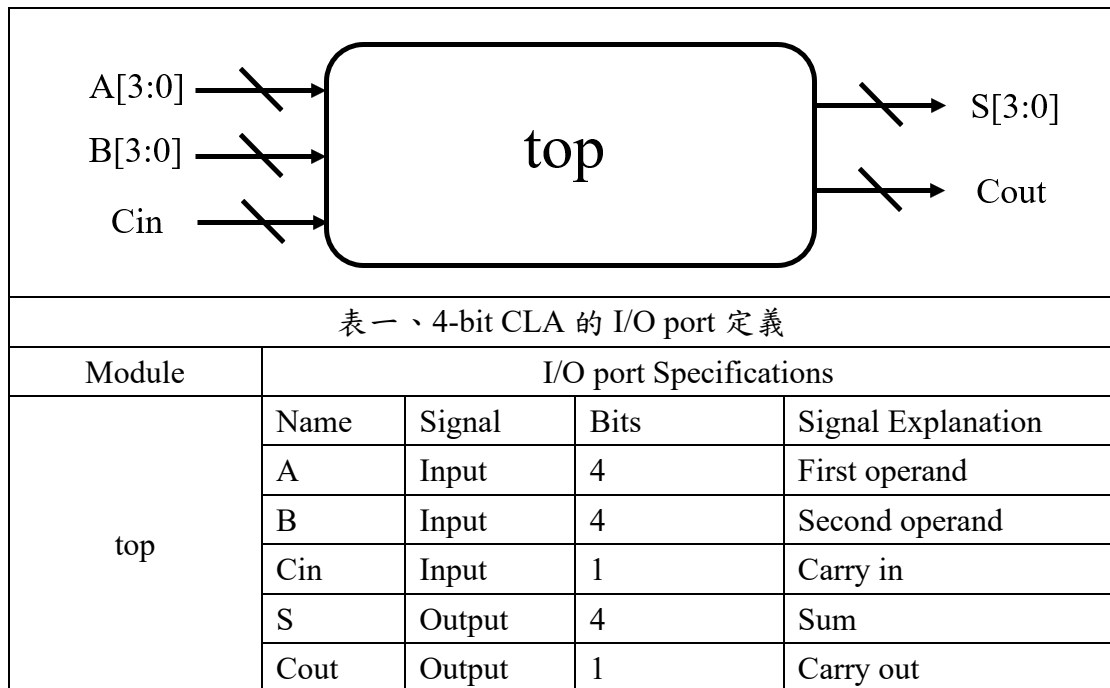
設計規格

本次 Lab 要求在 **gate-level** 下設計一個 4-bit 的 Carry Look-Ahead adder。



圖一、4 bit CLA

4-bit CLA 的 I/O port 定義如表一：



設計繳交相關資料

1. 此 Lab 繳交期限為兩週後，在 2025/3/18 星期二下午 2 點以前。
2. 作業繳交格式請參考上課投影片。

Lab 學習重點

1. 本次 Lab 希望同學能理解基本的組合電路設計。
2. 熟悉 HDL 如何在 gate-level 層級上做設計。

Reference

<https://www.geeksforgeeks.org/carry-look-ahead-adder/>