



Fundamentos Físicos y Tecnológicos (G.I.I.)

Curso 2011/2012

Relación de problemas 5

1. Escribe las tablas de verdad para las siguientes funciones donde las variables son binarias:

a) $f(A, B, C) = A + B \cdot C$

b) $f(A, B, C) = \overline{A + B \cdot C}$

c) $f(A, B) = \overline{A \cdot (A + B)}$

d) $f(A, B, C) = \overline{A \cdot (B + C)}$

2. Suponiendo que la respuesta del inversor de una cierta tecnología es la representada en la Figura 1, determinar los márgenes de ruido en estado alto y bajo.

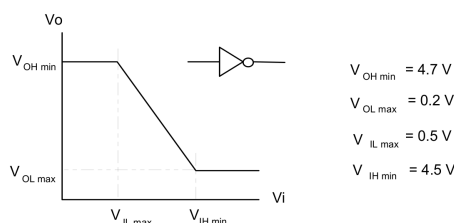


Figura 1:

3. Una posibilidad para construir un inversor con un transistor NMOS es usar una resistencia como carga. Si a la resistencia se coloca una fuente de $V_{DD} = 15V$, calcula V_{OL} , V_{OH} , el margen de ruido en estado alto y el margen de ruido en estado bajo si:

a) $R_D = 1k\Omega$

b) $R_D = 1M\Omega$

Datos: $k = 10^{-3} \frac{A}{V^2}$, $V_T = 2V$.

4. Una posibilidad para construir un inversor con un transistor NMOS es usar un transistor NMOS con la puerta y el drenador cortocircuitados como carga. Si al drenador de este segundo transistor se le coloca una fuente de $V_{DD} = 15V$, calcula V_{OL} , V_{OH} y la expresión de la característica de transferencia si la entrada se pone en la puerta del primer transistor NMOS y la salida en el drenador del mismo. Datos: los dos transistores NMOS son idénticos con $k = 2 \cdot 10^{-3} \frac{A}{V^2}$ y $V_T = 2V$.

5. Calcula los márgenes de ruido en estado alto y en estado de bajo de un inversor CMOS construido con un transistor NMOS ($k_n = 10^{-3} \frac{A}{V^2}$ y $V_T = 2V$) y un transistor PMOS ($k_p = 10^{-3} \frac{A}{V^2}$ y $V_T = -2V$) con sus drenadores y puertas cortocircuitados, la fuente del transistor NMOS conectada a tierra y la del PMOS a una fuente de valor 15V.

6. Diseñar con tecnología CMOS, comentando el estado de cada transistor, una puerta que realice la función lógica $A \cdot B + C$.

7. Diseñar con el mínimo número de transistores posibles un circuito que realice la función lógica $V_o = A \cdot (B + C) + D$. Indíquese y analícese el estado de cada transistor para las distintas combinaciones de entradas.
8. En el circuito de la Figura 2 determinar el estado de cada transistor y el valor (analógico) de salida cuando $V_i = 0V$ y cuando $V_i = 5V$.

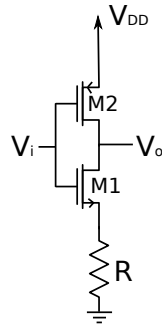


Figura 2:

9. ¿Qué función realiza el circuito de la Figura 3 en el ámbito de la lógica positiva, teniendo en cuenta que $V_{DD} > 0$? Explica razonadamente el estado en el que se encuentran cada uno de los transistores representados.

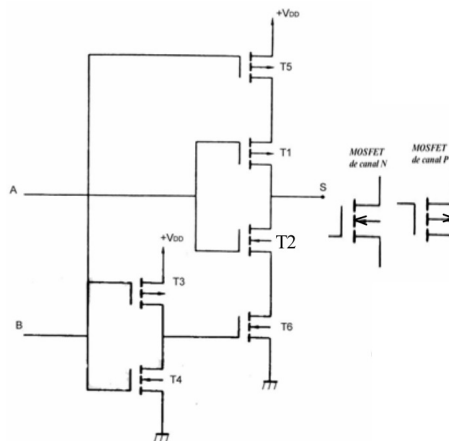


Figura 3:

10. Dado el circuito lógico de la Figura 4 determinar la función lógica que realiza.

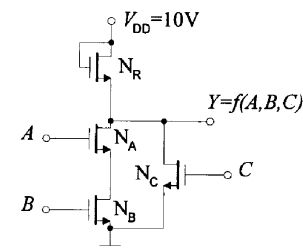


Figura 4: