

UNIVERSIDAD DE GRANADA.

**ESCUELA TECNICA SUPERIOR DE
INGENIERIAS INFORMATICA Y DE
TELECOMUNICACIÓN.**



**Departamento de Arquitectura y
Tecnología de Computadores.**

**TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES.**

**PRÁCTICA 5.
COMPROBACIÓN EXPERIMENTAL DEL
FUNCIONAMIENTO DE LOS BIESTABLES BÁSICOS.
IMPLEMENTACIÓN Y FUNCIONAMIENTO DE
REGISTROS.**

11 GRADO EN INGENIERÍA INFORMÁTICA.

PRÁCTICA 5.

COMPROBACIÓN EXPERIMENTAL DEL FUNCIONAMIENTO DE LOS BIESTABLES BÁSICOS. IMPLEMENTACIÓN Y FUNCIONAMIENTO DE REGISTROS.

Objetivos:

- *Comprobar el funcionamiento de biestables y registros.*
- *Construir un registro con posibilidad de carga paralelo y desplazamiento.*

5.1. Utilización de los biestables del equipo de prácticas:

En el equipo entrenador de prácticas SIDAC DET 2020 existen dos módulos conteniendo, cada uno de ellos, 4 biestables J-K (FF-JK), con entrada de reloj (C) y puesta a cero asíncrona (R). Su símbolo se representa en la Figura 5.1. La entrada externa asíncrona R (CLEAR) se activa por nivel alto, es decir, cuando se pone $CLEAR=1$ la salida del biestable toma el valor cero ($Q = 0$).

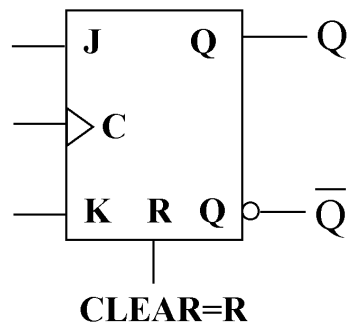


Figura 5.1

Durante el desarrollo de esta práctica y en todas aquellas en la que no se indique lo contrario, la señal de reloj de los biestables del equipo entrenador de prácticas se va a generar de forma manual utilizando uno de los conmutadores “sin rebote” de los que dispone el equipo de prácticas (referido como “PULSOS” en el panel de éste). La justificación es bien simple: en un conmutador convencional, cada vez que se realiza una conmutación se genera un tren de pulsos hasta alcanzar su valor estable, esto es

debido al “rebote” mecánico de sus contactos. Por tanto, si se usa este tipo de conmutador como señal de reloj en un biestable disparado por flanco, éste cambiará de estado por cada flanco del tren de pulsos falseando los resultados experimentales y comportamientos de los circuitos secuenciales que se realicen.

Monte los circuitos de las Figuras 5.2 y 5.3 utilizando los biestables J-K de que se dispone en el quipo de prácticas DET 2020 y asigne un conmutador sin rebotes para la entrada de reloj Ck (“PULSOS”) y un conmutador convencional para la entrada X (referido como “PROGRAMADORES” en el panel del equipo). Reproduzca con dichos conmutadores las secuencias de entradas X y Ck del cronograma de la Figura 5.4 representando en éste las correspondientes salidas Q₁ y Q₂ de los circuitos de las Figuras 5.2 y 5.3.

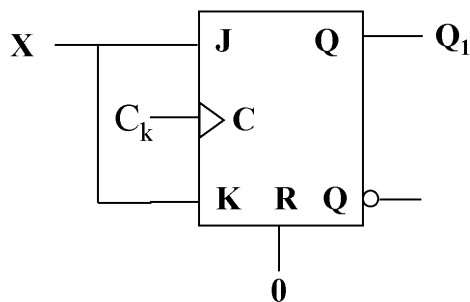


Figura 5.2

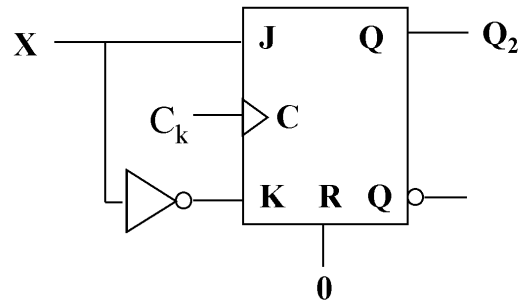


Figura 5.3

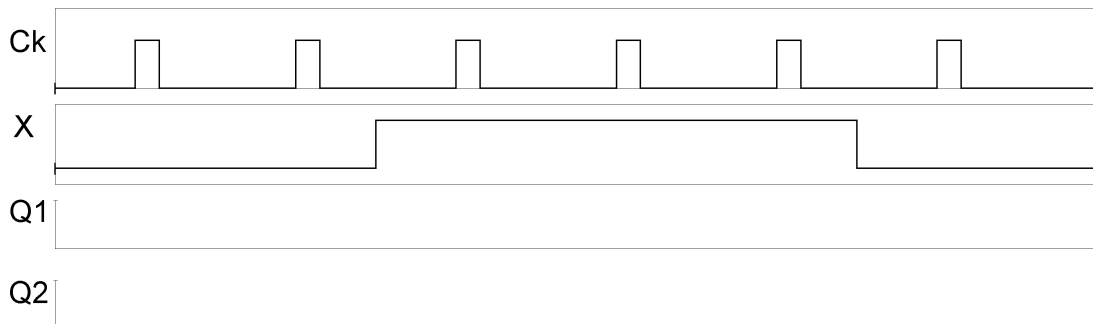


Figura 5.4

A la vista de los resultados obtenidos, responda a las siguientes cuestiones:

- ¿Son los biestables J-K del equipo de prácticas activos por flanco de subida, flanco de bajada o por nivel alto o bajo? Razone su respuesta.
- Indique a qué tipo de biestables (T ó D) corresponden las configuraciones de las Figuras 5.2 y 5.3. Razone su respuesta.

5.2. Registro de desplazamiento con recirculación:

Un registro de desplazamiento con recirculación de 4 bits tiene la estructura dada en la Figura 5.5.

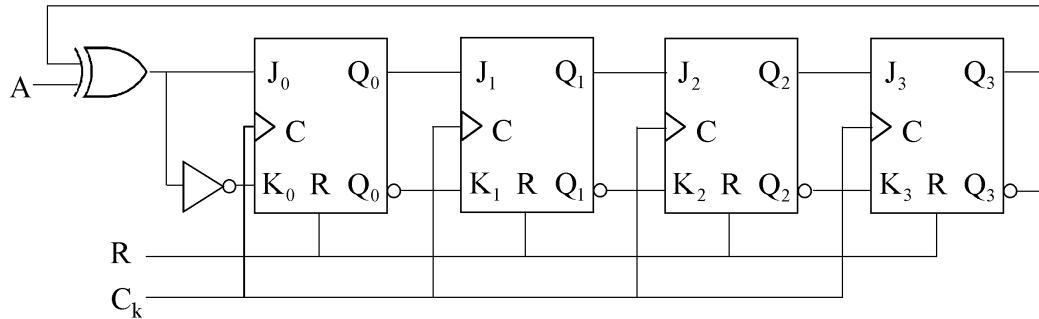


Figura 5.5

La información que se genera por Q_3 se vuelve a introducir al biestable Q_0 modificada o no por la puerta XOR, según sea el valor de la señal A.

Monte en el entrenador de prácticas SIDAC DET 2020 el circuito de la Figura 5.5, y con estado inicial $Q_0Q_1Q_2Q_3 = 1000$, realice las siguientes cuestiones:

- Manteniendo $A = 0$ obtenga las salidas $Q_3Q_2Q_1Q_0$ durante 8 pulsos de reloj.
- Manteniendo $A = 1$ obtenga las salidas $Q_3Q_2Q_1Q_0$ durante 8 pulsos de reloj.

Realice en ambos casos los cronogramas de las salidas $Q_3Q_2Q_1Q_0$ durante dichos 8 ciclos de reloj en las Figuras 5.6 y 5.7 y comente el resultado obtenido. Como cuestión adicional, explique el procedimiento que ha utilizado para inicializar el registro al valor: $Q_0Q_1Q_2Q_3 = 1000$.

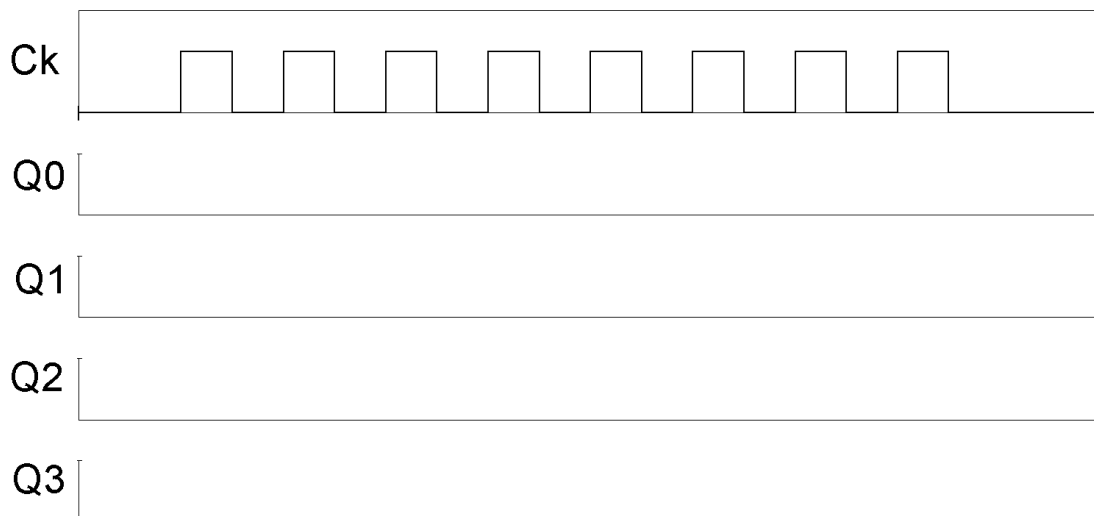


Figura 5.6. Cronograma para $A=0$

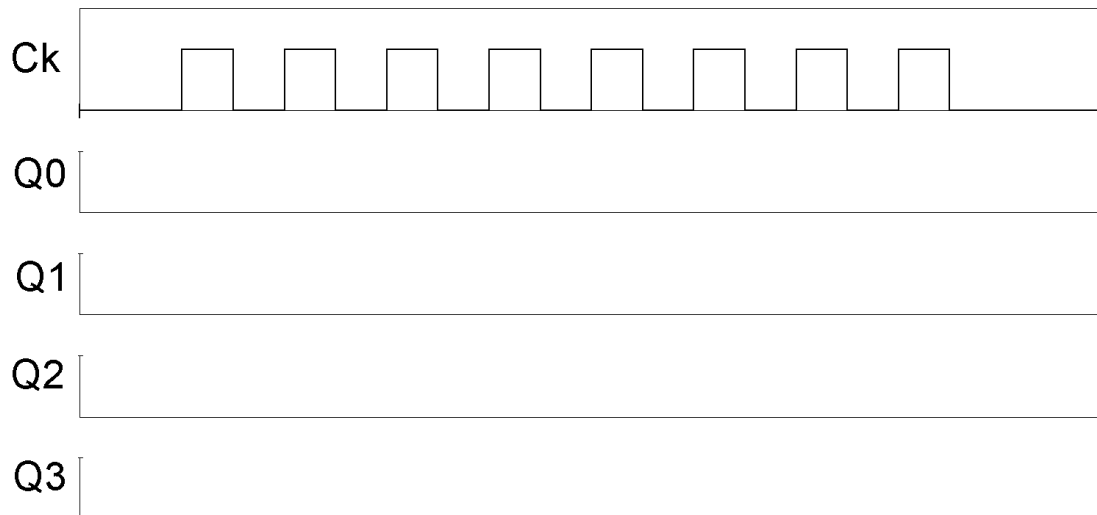


Figura 5.7. Cronograma para $A=1$

5.3. Registro de desplazamiento con carga paralelo síncrona:

Con frecuencia, es necesario disponer de un registro de desplazamiento con la posibilidad de cargar datos en paralelo. Esto permite, por ejemplo, realizar conversiones no sólo de serie-paralelo o serie-serie, sino además conversiones paralelo-paralelo y paralelo-serie. La carga paralelo síncrona se obtiene añadiendo circuitos que permiten configurar las conexiones de las entradas de los biestables D, bien para conectar en cascada los biestables (operación de desplazamiento) o bien para conectar entradas externas con las entradas D de los biestables (carga paralelo síncrona).

Utilizando puertas lógicas y biestables de Logic Works, realice un registro de 2 bits con desplazamiento hacia la derecha y posibilidad de carga paralelo síncrona. El circuito final debe tener 2 entradas de control que denominadas Reset y Load, dos entradas X_1 y X_0 para introducir un dato de dos bits para la carga paralelo, y una entrada A para introducir datos en serie. Respecto a las señales de control, éstas deben operar del siguiente modo:

- Si Reset es 1, entonces se ponen a cero los biestables de forma asíncrona, esto es, independientemente de la señal de reloj, en caso contrario (Reset = 0) el biestable opera según el valor que tome la entrada "Load".

- b) Con $\text{Reset} = 0$, si Load es 1 se produce la carga paralelo y si Load es 0 se desplaza el contenido del registro, ambas operaciones ocurrirán de forma síncrona, es decir, tendrán lugar coincidiendo con el siguiente flanco activo de la señal de reloj.

El esquema simplificado del circuito se muestra en la Figura 5.8.

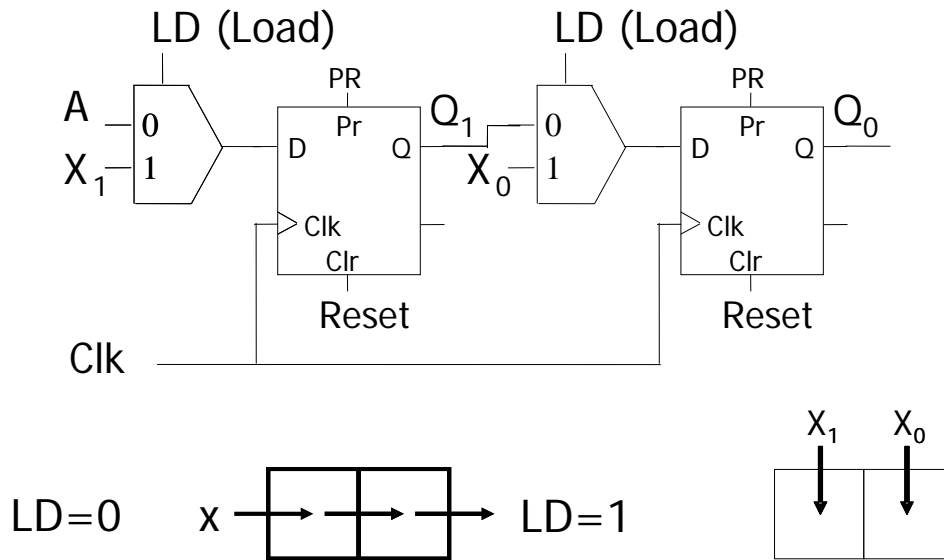


Figura 5.8

Implemente los dos multiplexores 2 a 1 del circuito utilizando las puertas lógicas de que dispone en el simulador lógico.

Para comprobar el buen funcionamiento del circuito obtenga experimentalmente el cronograma de la Figura 5.9.

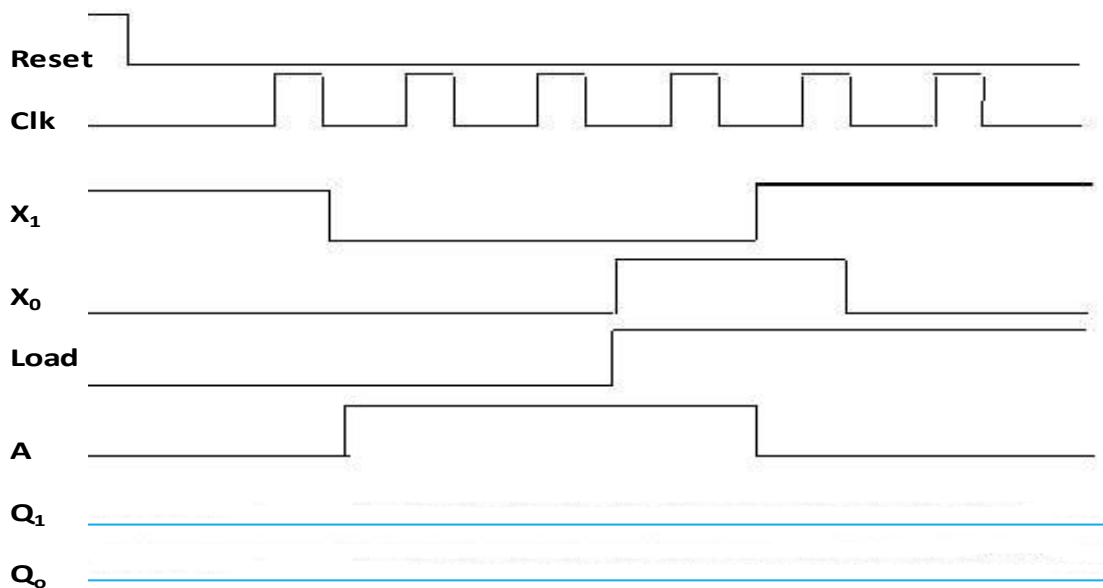


Figura 5.9