

Fundamentos Físicos y Tecnológicos

Tema 5. Fundamentos de Electrónica Digital

Isabel M. Tienda Luna

Departamento de Electrónica y Tecnología de Computadores
Universidad de Granada

isabelt@ugr.es

Grado en Informática
Curso 2012-2013

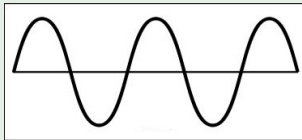
- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

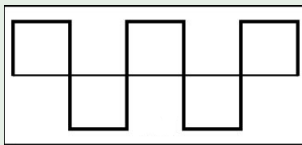
Señales Analógicas y Señales Digitales

- Una **señal analógica** es aquella que puede tomar infinitos valores a lo largo del tiempo, esto es, que cambia de forma continua.
- Una **señal digital** es aquella que tiene un número finito de valores definidos y cambia de valor por saltos. A esos valores se les llama *estados* o *niveles lógicos*.
- ¿Por qué se ha impuesto la electrónica digital?
 - Inmunidad frente al ruido.
 - Menor complejidad en el diseño.
 - Facilidad de acoplamiento de unos bloques con otros.
 - Integración. Escalas de integración:
 - *SSI*: 100 componentes/chip
 - *MSI*: 100-1000 componentes/chip
 - *LSI*: 1000-10000 componentes/chip
 - *VLSI*: más de 10000 componentes/chip

Señal Analógica



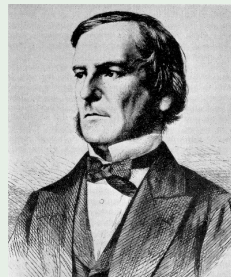
Señal Digital



Álgebra de Boole

- George Boole desarrolló un álgebra para investigar las leyes fundamentales de las operaciones de la mente humana que rigen los razonamientos (*Álgebra de Boole*).
- *Objetivo*: definir una serie de símbolos para representar objetos o fenómenos que, encadenados convenientemente, dan lugar a expresiones matemáticas más complejas (*funciones* \Rightarrow tabla de verdad).
- *Herramientas*: relaciones lógicas.
- *Variables binarias*: pueden tomar sólo dos valores distintos, verdadero (1) y falso (0). El 1 y el 0 **no** expresan cantidades sino estados de las variables.

George Boole



Álgebra de Boole

- Operadores en álgebra de Boole ($+$), (\cdot) y ($\overline{}$)

A	B	$A+B$
1	1	1
1	0	1
0	1	1
0	0	0

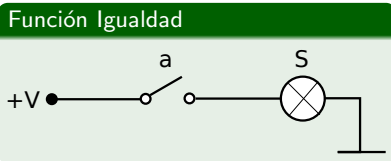
A	B	$A \cdot B$
1	1	1
1	0	0
0	1	0
0	0	0

A	\overline{A}
1	0
0	1

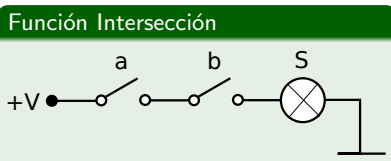
- Propiedad conmutativa: $A + B = B + A$ y $A \cdot B = B \cdot A$
- Propiedad distributiva: $A \cdot (B + C) = A \cdot B + A \cdot C$ y $A + B \cdot C = (A + B) \cdot (A + C)$
- Elementos neutros: $A + 0 = A$ y $A \cdot 1 = A$
- Propiedades del operador ($\overline{}$): $A + \overline{A} = 1$ y $A \cdot \overline{A} = 0$
- Propiedad de los elementos nulos: $A + 1 = 1$ y $A \cdot 0 = 0$
- Propiedad de idempotencia: $A + A = A$ y $A \cdot A = A$
- Propiedad de involución: $A + A \cdot B = A$ y $A \cdot (A + B) = A$
- $\overline{\overline{A}} = A$

Funciones Lógicas: ejemplos.

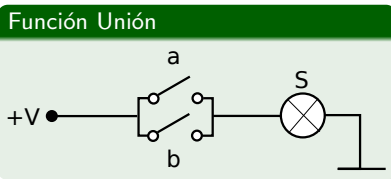
① $S = a$



② $S = a \cdot b$

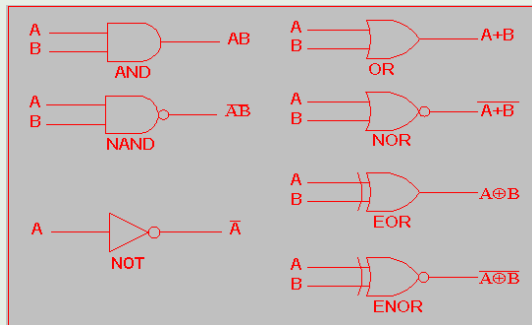


③ $S = a + b$



Funciones Lógicas: representación. Puertas Lógicas

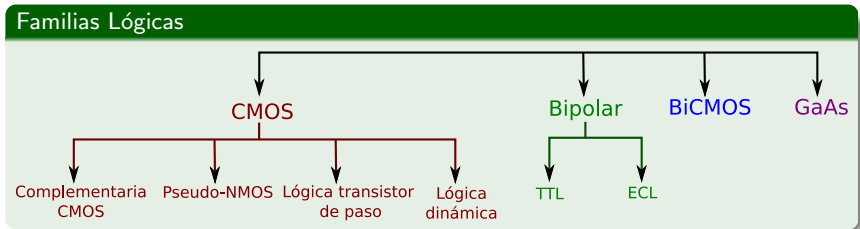
Puertas Lógicas



Links interesantes: [http : //www.autoshop101.com/trainmodules/logicgate/101.html](http://www.autoshop101.com/trainmodules/logicgate/101.html),

[http : //www.opamp - electronics.com/tutorials/digital.theory_ch.007.htm](http://www.opamp-electronics.com/tutorials/digital.theory_ch.007.htm)

Familias Lógicas

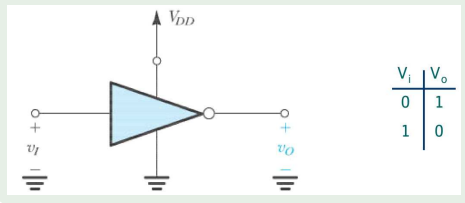


- En este tema estudiaremos los circuitos básicos que constituyen las familias lógicas.
- En el tema anterior ya vimos cómo se comportaban inversores básicos creados con BJTs y MOSFETs.
- Estudiaremos las características estáticas y dinámicas de esos inversores.
- Normalmente trabajaremos con lógicas positivas: al mayor valor lógico se le asocia un 1.

- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET

Niveles lógicos

Ejemplo: inversor básico



- Para un inversor ideal la transición desde el estado alto (que llamaremos V_H) al bajo (que llamaremos V_L) es abrupta.
- El estado alto, V_H , representa el 1 lógico.
- El estado bajo, V_L , representa el 0 lógico.

Características de transferencia estáticas

- Característica de transferencia de un inversor ideal:

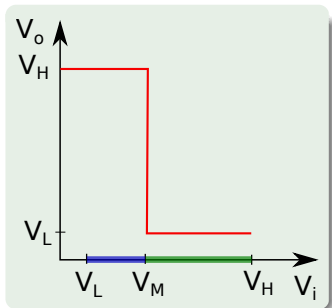
Para cuantificar la inmunidad al ruido de un circuito lógico:

- Margen de ruido de estado alto:

$$NM_H = V_H - V_M$$

- Margen de ruido en estado bajo:

$$NM_L = V_M - V_L$$

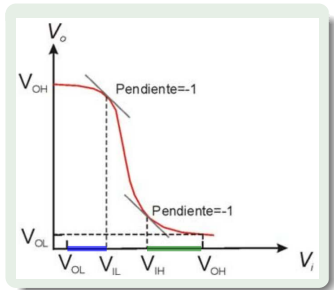


- La diferencia no tendría que ser elevada, pero la posibilidad de que se superpongan ruidos obliga a que este margen lógico sea más elevado para garantizar la fiabilidad de la puerta.

- Para cuantificar la inmunidad al ruido de un circuito lógico:

- $$NM_H = V_{OH} - V_{IH}$$

- $$NM_L = V_{IL} - V_{OL}$$



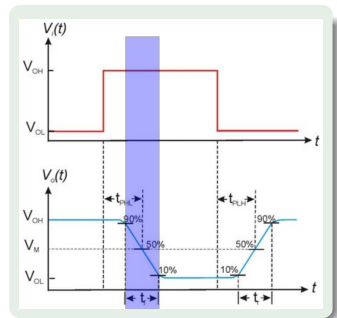
- Es necesario que $V_{OL} < V_{IL}$ y que $V_{IH} < V_{OH}$ para asegurar que el nivel de salida de una puerta lógica es un nivel de entrada apropiado para una segunda puerta.

Características de transferencia dinámicas

- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:

- 1 Tiempo de bajada o de caída t_f .
- 2 Tiempo de subida t_r .
- 3 Tiempo de propagación del nivel alto al bajo t_{PHL} .
- 4 Tiempo de propagación del nivel bajo al alto t_{PLH} .
- 5 Tiempo de propagación

$$t_P = 0,5 \cdot (t_{PHL} + t_{PLH})$$

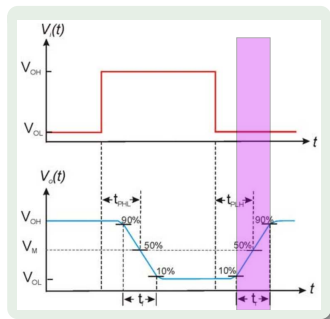


Características de transferencia dinámicas

- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:

- 1 Tiempo de bajada o de caída t_f .
- 2 Tiempo de subida t_r .
- 3 Tiempo de propagación del nivel alto al bajo t_{PHL} .
- 4 Tiempo de propagación del nivel bajo al alto t_{PLH} .
- 5 Tiempo de propagación

$$t_P = 0,5 \cdot (t_{PHL} + t_{PLH})$$

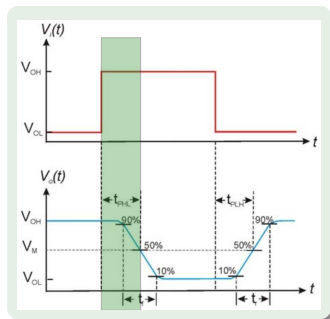


Características de transferencia dinámicas

- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:

- 1 Tiempo de bajada o de caída t_f .
- 2 Tiempo de subida t_r .
- 3 Tiempo de propagación del nivel alto al bajo t_{PHL} .
- 4 Tiempo de propagación del nivel bajo al alto t_{PLH} .
- 5 Tiempo de propagación

$$t_P = 0,5 \cdot (t_{PHL} + t_{PLH})$$

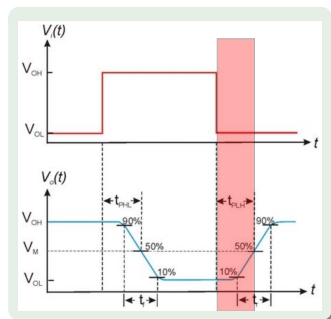


Características de transferencia dinámicas

- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:

- 1 Tiempo de bajada o de caída t_f .
- 2 Tiempo de subida t_r .
- 3 Tiempo de propagación del nivel alto al bajo t_{PHL} .
- 4 Tiempo de propagación del nivel bajo al alto t_{PLH} .
- 5 Tiempo de propagación

$$t_P = 0,5 \cdot (t_{PHL} + t_{PLH})$$



Fan-in y Fan-out

Característica de entrada: Fan-in

- Número máximo de puertas que se pueden conectar a la entrada sin estropear el funcionamiento.
- Si se excede este valor la puerta lógica producirá una salida es un estado indeterminado o incorrecto.
- La señal de entrada puede resultar deteriorada por la carga excesiva.

Característica de salida: Fan-out

- Número máximo de puertas que se pueden conectar a la salida de la puerta.
- Debido a la energía máxima que una puerta puede absorber o consumir se impone un límite en el número máximo de salidas que puede tener una puerta lógica.
- El fan-out depende de la cantidad de corriente que una puerta es capaz de suministrar o consumir al estar conectada a otras puertas.
- Un fan-out mayor que el recomendado puede producir aumento de la temperatura del dispositivo (perjudicando su funcionamiento), aumento de los tiempos de subida y bajada, aumento del retardo, etc..

Otras características de los circuitos lógicos

- Disipación de potencia. Potencia estática y potencia dinámica.
 - Ventajas de tipo funcional : fuentes menos costosas, mayor autonomía, menor coste en refrigeración.
 - Cuanto más reducido sea el consumo por puerta, más puertas se podrán integrar en un mismo circuito manteniendo constante la capacidad de disipación de calor del mismo.
- Producto retardo-potencia.
 - Cuando uno de ellos aumenta el otro disminuye y viceversa.
 - Parámetro que resume las características mas relevantes de una determinada tecnología.
 - Interesan valores tan pequeños como sea posible.
- Área de Silicio.

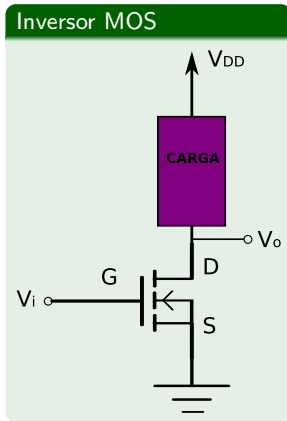
- 1 Introducción
- 2 Caracterización de un circuito lógico
- 3 Puertas Lógicas básicas con tecnología MOSFET**

Lógica MOS

- Es una de las cuatro tecnologías más utilizadas para hacer circuitos digitales.
- Permite implementar con una mayor densidad: Cada transistor NMOS utilizado ocupa un espacio inferior al de los bipolares.
- Simplicidad de la topología.
- Para entender el funcionamiento de esta lógica conviene ver el NMOS como interruptor.

Recordando el inversor NMOS

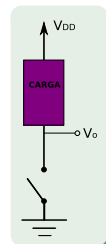
- Se cumple que: $V_i = V_{GS}$ y $V_o = V_{DS}$.
- La carga puede ser:
 - 1 Una resistencia.
 - 2 Un NMOS.
 - 3 Un PMOS: lógica CMOS.



El inversor NMOS. Circuito como interruptor.

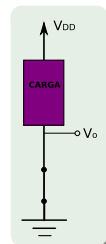
Análisis Abierto

- Si $V_i = 0$ lógico $\Rightarrow V_{GS} < V_T \Rightarrow I_D \simeq 0$
- $V_o = 1$ lógico
- **Interruptor Abierto**



Análisis Cerrado

- Si $V_i = 1$ lógico $\Rightarrow V_{GS} > V_T \Rightarrow I_D \neq 0$
- $V_o = 0$ lógico
- Dos posibilidades: $V_{DS} < V_{GS} - V_T$ (Lineal)
o $V_{DS} > V_{GS} - V_T$ (Saturación)
- **Interruptor Cerrado**



El inversor NMOS. Resistencia como carga.

❶ Si $V_i = V_{GS} < V_T \Rightarrow \text{NMOS OFF} \Rightarrow I_D \simeq 0 \Rightarrow V_o = V_{DD} = V_{OH}$.

❷ Si $V_i = V_{GS} > V_T$ hay dos posibilidades:

❶ **NMOS Saturación:** al principio, $V_i = V_{GS} > V_T$ (sólo un poco) \Rightarrow NMOS ON $\Rightarrow V_o = V_{DS} > V_{GS} - V_T = V_i - V_T \Rightarrow$ NMOS en Saturación.

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 = \frac{V_{DD} - V_o}{R_D} \Rightarrow V_o = V_{DD} - \frac{kR_D}{2} (V_i - V_T)^2$$

❷ **NMOS Lineal:** sigue aumentando $V_i \Rightarrow V_o$ disminuye hasta que $V_o = V_{DS} = V_{GS} - V_T = V_i - V_T \Rightarrow$ el transistor pasa a la región lineal donde $V_o = V_{DS} < V_{GS} - V_T = V_i - V_T$.

$$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] = \frac{V_{DD} - V_o}{R_D} \Rightarrow$$

$$V_o = \frac{1 + kR_D(V_i - V_T)}{kR_D} - \frac{\sqrt{(1 + kR_D(V_i - V_T))^2 - 2kR_DV_{DD}}}{kR_D}$$

El inversor NMOS. Resistencia como carga.

Puntos de interés:

- 1 Paso de saturación a lineal. Ocurre cuando $V_{DS} = V_o = V_{GS} - V_T = V_i - V_T$. Llamo a V_o en el que se produce la transición V_o^* y a V_i en el que se produce la transición V_i^* .

$$V_o^* = V_{DD} - R_D I_D = V_{DD} - \frac{k R_D}{2} (V_i^* - V_T)^2$$

$$V_o^* = V_i^* - V_T$$

$$V_o^* = \frac{-1 + \sqrt{1 + 2kR_D V_{DD}}}{kR_D}$$

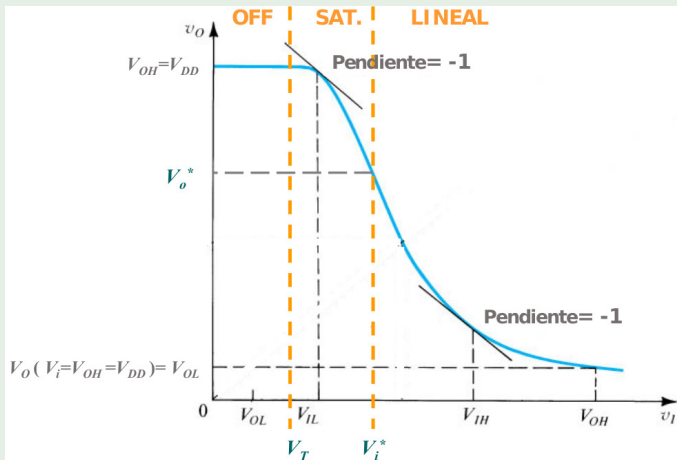
- 2 En la región Lineal, calculo V_{OL} como V_o en el que $V_i = V_{OH} = V_{DD}$:

$$V_{OL} = \frac{1 + kR_D(V_{DD} - V_T)}{kR_D} - \frac{\sqrt{(1 + kR_D(V_{DD} - V_T))^2 - 2kR_D V_{DD}}}{kR_D}$$

- Nos interesa V_{OL} pequeño.
- Con R_D grandes: se tienen potencias disipadas pequeñas pero causa problemas de integración.

El inversor NMOS. Resistencia como carga.

Característica de Transferencia



El inversor NMOS. Transistor como carga.

Transistor M_1 :

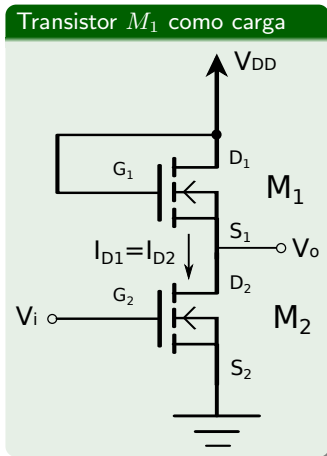
- Actúa como carga
- $V_{GS1} = V_{DS1} \Rightarrow V_{DS1} > V_{GS1} - V_T$
- Si M_1 conduce siempre lo hace en saturación:

$$I_{D1} = \frac{k_1}{2} (V_{GS1} - V_{T1})^2$$

$$I_{D1} = \frac{k_1}{2} (V_{DD} - V_o - V_{T1})^2$$

Transistor M_2 :

- Funciona como inversor.
- $V_{DS2} = V_o \Rightarrow V_{GS2} = V_i$



El inversor NMOS. Transistor como carga.

Analizamos el comportamiento del inversor.

- 1 Si $V_i < V_{T2} \Rightarrow \mathbf{M_2 \text{ OFF}} \Rightarrow I_{D2} = I_{D1} = 0 \Rightarrow I_{D1} = \frac{k_1}{2} (V_{DD} - V_o - V_{T1})^2 = 0$
 $\Rightarrow V_o = V_{DD} - V_{T1} = V_{OH}$
- 2 Si $V_i > V_{T2}$ (sólo un poco mayor) $\Rightarrow \mathbf{M_2 \text{ ON (En Saturación)}} \Rightarrow$

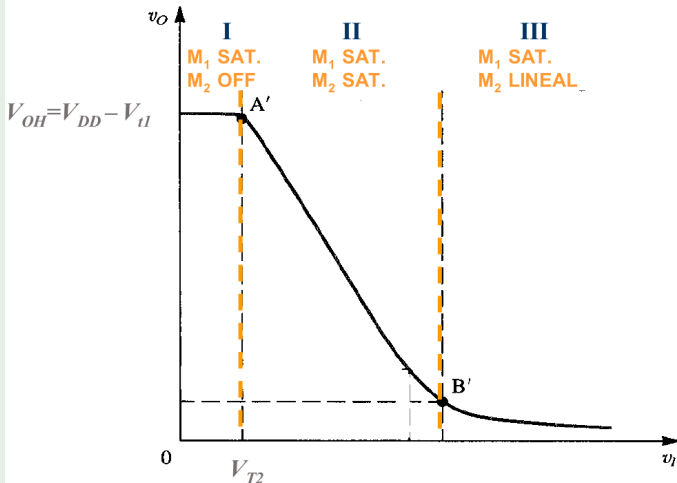
$$\begin{aligned} I_{D2} &= \frac{k_2}{2} (V_i - V_{T2})^2 \\ I_{D2} &= I_{D1} \\ \frac{k_2}{2} (V_i - V_{T2})^2 &= \frac{k_1}{2} (V_{DD} - V_o - V_{T1})^2 \end{aligned}$$

- 3 Si sigo aumentando $V_i \Rightarrow V_o$ disminuye $\Rightarrow \mathbf{M_2 \text{ pasa a Lineal}}$

$$\begin{aligned} I_{D2} &= \frac{k_2}{2} [2(V_i - V_{T2}) V_o - V_o^2] \\ I_{D2} &= I_{D1} \\ \frac{k_2}{2} [2(V_i - V_{T2}) V_o - V_o^2] &= \frac{k_1}{2} (V_{DD} - V_o - V_{T1})^2 \end{aligned}$$

El inversor NMOS. Transistor como carga.

Característica de Transferencia



El inversor NMOS. Transistor como carga.

Si comparamos el inversor NMOS con la resistencia como carga y el inversor NMOS con el transistor como carga, éste último tiene como:

- Ventaja: que ocupa menos área
- Inconveniente: que V_{OH} es menor

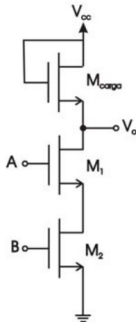
¿Cómo construimos una puerta lógica con NMOS?

Regla

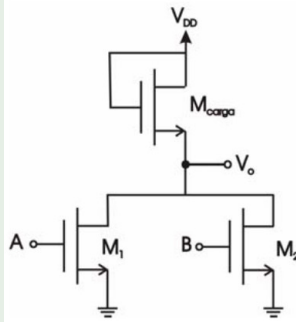
Seguimos la filosofía de ver el NMOS como un interruptor. Vemos cuando queremos la salida a 0 y colocamos la red NMOS adecuada teniendo en cuenta que multiplicar es colocar transistores en serie y sumar es colocarlos en paralelo.



Puerta NAND



Puerta NOR



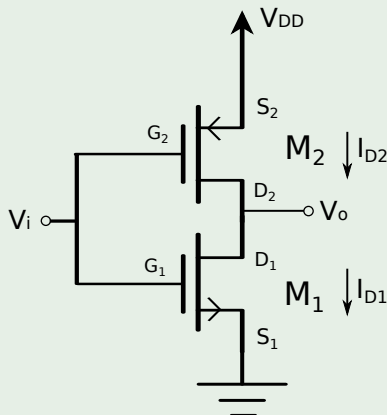
Lógica CMOS

- Con esta construcción se pretende que el consumo de potencia sea reducido.
- Como carga del CMOS se coloca un PMOS de manera que en reposo (es decir, cuando la salida es 0 o 1 pero no en las transiciones) la potencia consumida sea aproximadamente 0 al poner una corriente aproximadamente igual a 0.
- Esto se consigue gracias a que cuando el transistor NMOS conduce, el PMOS está en corte y viceversa.
- Estudiaremos la configuración más básica: el inversor.

El inversor CMOS



Inversor CMOS



- La carga del transistor NMOS (M_1) es un PMOS (M_2).
- Recordamos que el PMOS funciona como el NMOS usando $|V_{GS}|$, $|V_{DS}|$, $|V_{Tp}|$, $|I_D|$.

Modo de operación de los transistores en el inversor CMOS

Transistor M_1 (NMOS)

- Ecuaciones Generales (analizamos el circuito):

$$V_{GS} = V_i$$

$$V_{DS} = V_o$$

- M_1 en **OFF** si $V_{GS} < V_{Tn} \Rightarrow V_i < V_{Tn}$.
- M_1 en **ON** si $V_{GS} > V_{Tn} \Rightarrow V_i > V_{Tn}$. El transistor puede estar en Lineal o en Saturación:

- Lineal** si $V_{DS} < V_{GS} - V_{Tn} \Rightarrow V_o < V_i - V_{Tn} \Rightarrow V_i > V_o + V_{Tn}$

$$I_D = \frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2]$$

- Saturación** si $V_{DS} > V_{GS} - V_{Tn} \Rightarrow V_o > V_i - V_{Tn} \Rightarrow V_i < V_o + V_{Tn}$

$$I_D = \frac{k_n}{2} (V_i - V_{Tn})^2$$

Modo de operación de los transistores en el inversor CMOS

Transistor M_2 (PMOS)

- Ecuaciones Generales (analizamos el circuito):

$$V_{GS} = V_i - V_{DD} \Rightarrow |V_{GS}| = V_{DD} - V_i$$

$$V_{DS} = V_o - V_{DD} \Rightarrow |V_{DS}| = V_{DD} - V_o$$

- M_2 en **OFF** si $|V_{GS}| < |V_{Tp}| \Rightarrow V_{DD} - V_i < |V_{Tp}| \Rightarrow V_i > V_{DD} - |V_{Tp}|$.
- M_2 en **ON** si $|V_{GS}| > |V_{Tp}| \Rightarrow V_i < V_{DD} - |V_{Tp}|$. El transistor puede estar en Lineal o en Saturación:

- **Lineal** si $|V_{DS}| < |V_{GS}| - |V_{Tp}| \Rightarrow V_{DD} - V_o < V_{DD} - V_i - |V_{Tp}| \Rightarrow V_i < V_o - |V_{Tp}|$

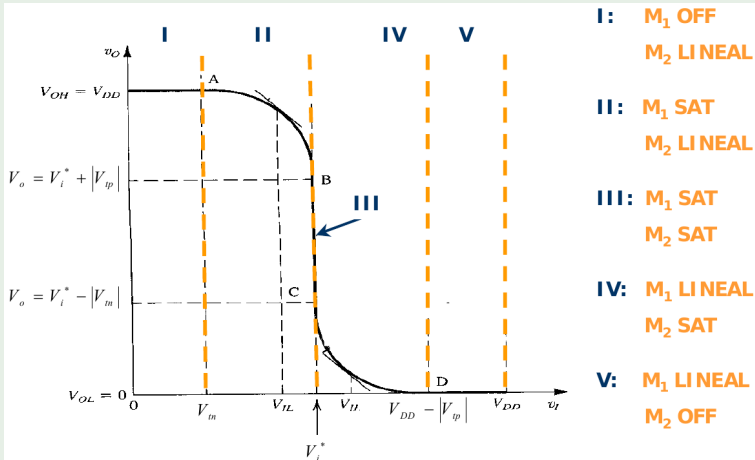
$$I_D = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

- **Saturación** si $|V_{DS}| > |V_{GS}| - |V_{Tp}| \Rightarrow V_i > V_o + |V_{Tp}|$

$$I_D = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

Característica de transferencia del inversor CMOS

Característica de transferencia del inversor CMOS



Análisis del inversor CMOS

Región I

- Si $V_i < V_{Tn} \Rightarrow M_1$ está **OFF** $\Rightarrow I_{D1} = 0$.
- Si $I_{D1} = 0 \Rightarrow I_{D2} = 0$.
- ¿En que modo se encuentra M_2 ?
 - No está en corte porque su condición de corte ($V_i > V_{DD} - |V_{Tp}|$) no se cumple.
 - No está en Saturación porque: $I_{D2} = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2 \neq 0$
 - Por tanto, M_2 está en Lineal:

$$I_{D2} = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

Para que se cumpla que $I_{D2} = 0$, $V_o = V_{DD}$

Análisis del inversor CMOS

Región II

- Si V_i aumenta hasta $V_i > V_{Tn} \Rightarrow M_1$ está en Saturación.
- M_2 sigue en Lineal.
- Usando que $I_{D1} = I_{D2}$:

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} [2(V_{DD} - V_i - |V_{Tp}|)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

- Al despejar V_o en función de V_i , se obtiene una función decreciente. Esto es, si V_i aumenta, V_o disminuye.

Análisis del inversor CMOS

Región III

- Si V_i aumenta M_1 sigue en Saturación.
- M_2 pasa de Lineal a Saturación.
- Usando que $I_{D1} = I_{D2}$:

$$\frac{k_n}{2} (V_i - V_{Tn})^2 = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

- Sólo existe un único valor de $V_i (= V_i^*)$ para el que los dos transistores están saturados:

$$V_i^* = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{k_n}{k_p}}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

- CMOS simétrico si $V_i^* = V_{DD}/2$. Ocurre cuando $V_{Tn} = |V_{Tp}|$ y $k_n = k_p$.

Análisis del inversor CMOS

Región IV

- Si $V_i > V_i^*$ M_1 pasa a Lineal.
- M_2 sigue en Saturación.
- Usando que $I_{D1} = I_{D2}$:

$$\frac{k_n}{2} [2(V_i - V_{Tn})V_o - V_o^2] = \frac{k_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

- Si despejamos V_o en función de V_i , obtenemos una función decreciente. Esto es, si aumentamos V_i , V_o disminuye.
- V_o va a disminuir hasta que M_2 entra en Corte.

Análisis del inversor CMOS

Región V

- Si $V_i > V_i^*$ sigue aumentando, M_1 sigue en Lineal.
- Al aumentar V_i , baja V_o hasta que M_2 entra en Corte $\Rightarrow I_{D2} = 0$.
- Usando que $I_{D1} = I_{D2}$:

$$I_{D1} = I_{D2} = 0$$

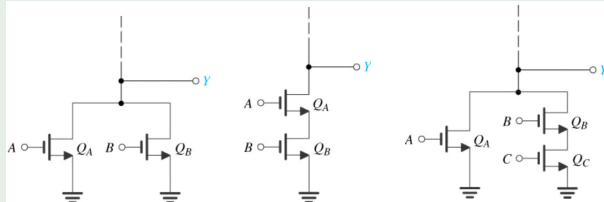
- De la ecuación anterior, $V_o = 0$.

¿Cómo construimos puertas lógicas con CMOS?

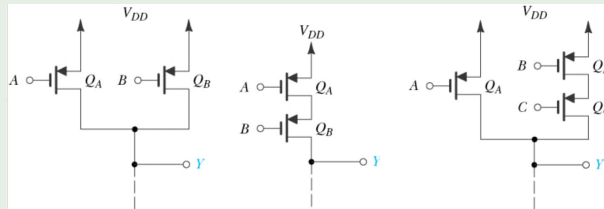
- La idea es similar a la lógica NMOS.
- Cuando queremos **sintetizar una función**:
 - Vemos los 0 que tiene la función e implementamos con la red de NMOS la NOT de la función que queremos.
 - Colocamos una red de transistores PMOS en la carga con una topología complementaria a la de los NMOS.
 - Hay que tener en cuenta que en una red NMOS, los productos se hacen con NMOS en serie y las sumas con NMOS en paralelo.
 - Hay que tener en cuenta que en una red PMOS, los productos se hacen con PMOS en paralelo y las sumas con PMOS en serie.
- Cuando queremos **obtener la función lógica que implementa un circuito**:
 - Vemos los NMOS y los PMOS como interruptores.
 - Para cada combinación de entradas se ve si hay un camino hasta tierra o si es hacia la fuente, sabiendo que por la topología de esta lógica sólo puede irse a uno de los dos.

Ejemplos

NMOS



PMOS



¿Cómo construimos puertas lógicas con CMOS?

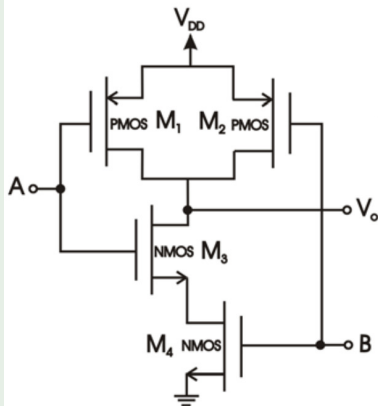
Algebra de Boole: Algunas reglas útiles.

Identidades OR	Identidades AND
$A + 0 = A$	$A \cdot 0 = 0$
$A + 1 = 1$	$A \cdot 1 = A$
$A + A = A$	$A \cdot A = A$
$A + \overline{A} = 1$	$A \cdot \overline{A} = 0$
$\overline{\overline{A}} = A$	
$A + B = B + A$	$A \cdot B = B \cdot A$
$A + (B \cdot C) = (A + B) \cdot C$	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$
$\overline{(A + B)} = \overline{A} \cdot \overline{B}$	$\overline{(A \cdot B)} = \overline{A} + \overline{B}$
$A + A \cdot B = A$	$A + \overline{A} \cdot B = A + B$

- Dibujar el circuito que realiza la función: $Y = \overline{A \cdot B}$
- Dibujar el circuito que realiza la función: $Y = \overline{A + B}$
- Dibujar el circuito que realiza la función: $Y = \overline{A \cdot (B + C \cdot D)}$
- Dibujar el circuito que realiza la función: $Y = \overline{A + B} + \overline{A} \cdot \overline{C}$
- Dibujar el circuito que realiza la función: $Y = (\overline{A} + \overline{B}) \cdot C$

Puerta NAND

Puerta NAND

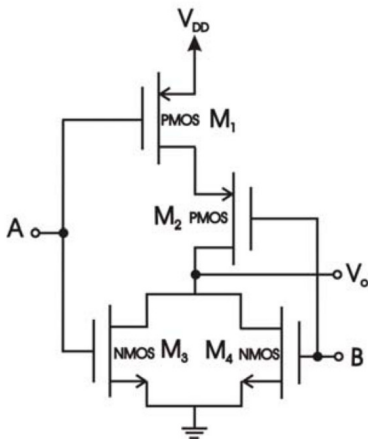


$$V_o = \overline{A \cdot B}$$

A	B	M ₁	M ₂	M ₃	M ₄	V _o
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	OFF	OFF	ON	ON	0

Puerta NOR

Puerta NOR

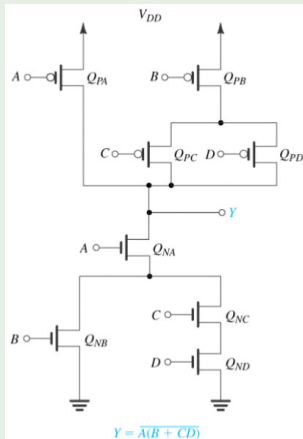


$$V_o = \overline{A + B}$$

A	B	M_1	M_2	M_3	M_4	V_o
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	OFF	OFF	ON	ON	0

$$Y = \overline{A \cdot (B + C \cdot D)}$$

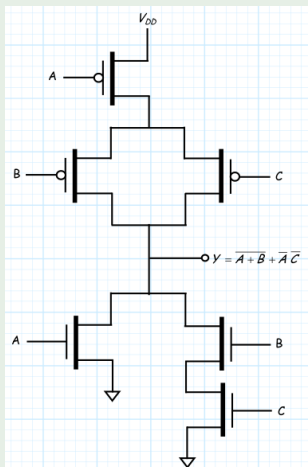
Circuito



$$Y = \overline{A \cdot (B + C \cdot D)}$$

$$Y = \overline{A + B} + \overline{A} \cdot \overline{C}$$

Circuito



$$Y = \overline{A + B} + \overline{A} \cdot \overline{C}$$

$$\overline{Y} = \overline{\overline{A + B} + \overline{A} \cdot \overline{C}}$$

$$\overline{Y} = \overline{\overline{A + B}} \cdot \overline{\overline{A} \cdot \overline{C}}$$

$$\overline{Y} = (A + B) \cdot (\overline{\overline{A}} + \overline{\overline{C}})$$

$$\overline{Y} = (A + B) \cdot (A + C)$$

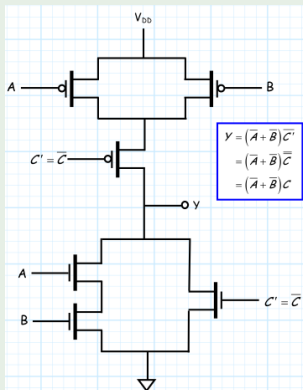
$$\overline{Y} = A \cdot A + A \cdot C + B \cdot A + B \cdot C$$

$$\overline{Y} = A \cdot (A + B + C) + B \cdot C$$

$$\overline{Y} = A + B \cdot C$$

$$Y = (\overline{A} + \overline{B}) \cdot C$$

Circuito



$$Y = (\overline{A} + \overline{B}) \cdot C$$

$$\overline{Y} = \overline{(\overline{A} + \overline{B}) \cdot C}$$

$$\overline{Y} = \overline{(\overline{A} + \overline{B})} + \overline{C}$$

$$\overline{Y} = A \cdot B + \overline{C}$$