

Práctica 2:

Diseño Automático de Sistemas Fiabiles

Generador de reloj síncrono



UNIVERSIDAD
NEBRIJA

Carlos Mestre Cebrián

1. Índice/Tabla de contenidos

1.	Índice/Tabla de contenidos	2
2.	Introducción	3
2.1.	Presentación	3
2.2.	Clock enable	3
3.	Enunciado de la práctica	4
4.	Material Provisto	4
5.	Resultados	4
6.	Evaluación	5
6.1.	Grupos	5

2. Introducción

2.1. Presentación

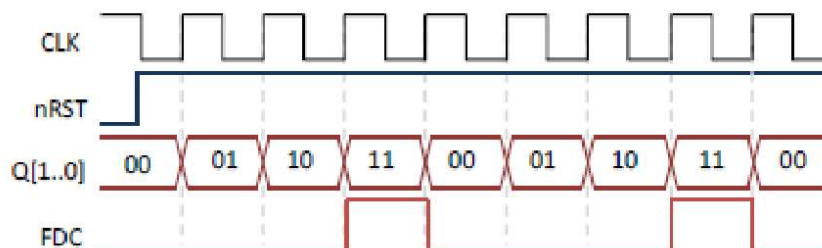
Hay diseños en los que debemos generar un reloj a una frecuencia inferior al del sistema. Un reloj síncrono derivado tiene sus flancos de subida y de bajada a la vez que las subidas y bajadas del reloj principal, pero al tener menor frecuencia sus ciclos son de una duración superior.

Para resolver estos casos se usan los divisores de frecuencia, un divisor de frecuencia es un circuito secuencial que, a partir de una señal de entrada, de frecuencia f obtiene otra de frecuencia f / N , siendo N el factor de división. Un divisor de frecuencia se realiza mediante contadores con salida de fin de cuenta (FDC o EOC).

Empleando contadores con salida de fin de cuenta (señal que se activa cuando ha llegado al último estado de cuenta durante un ciclo de reloj) pueden realizarse divisores de frecuencia que obtengan señales con una frecuencia que sea un factor de la del reloj del circuito: el factor de división N es el módulo del contador, así pues, un contador de módulo 3 generaría una señal que divida la frecuencia de entrada entre 3.

2.2. Clock enable

La figura X muestra la salida de fin de cuenta de un divisor de frecuencia de $N = 4$ (contador de módulo 4), es decir estamos generando una señal derivada del reloj del sistema con una frecuencia dividida entre 4.



Nota:

Al usar en un diseño varios dominios de reloj distintos se pueden dar una serie de errores de metaestabilidad. Por esto, es fundamental que en los circuitos que usan un reloj derivado nunca se use esta señal para sincronizar, siempre utilizar el reloj del sistema, salvo en casos muy específicos. Se usa en cambio la señal del reloj principal y una señal auxiliar que marca que en este ciclo se ha levantado el reloj derivado (SCLK_rise en la figura). Por ello muchas veces es más óptimo generar una señal de habilitación de reloj en lugar del reloj completo, la mayoría de registro de las FPGAs tienen una entrada de habilitación de reloj, lo cual no supone un gasto de lógica adicional.

3. Enunciado de la práctica

Se pide implementar, a partir de un reloj de sistema de 100 MHz, tres señales con una frecuencia de 25MHz, 12.5MHz y 5Mz.

Realizar el diseño para que las tres salidas generen niveles altos con una duración de un periodo del reloj del sistema.

4. Material Provisto

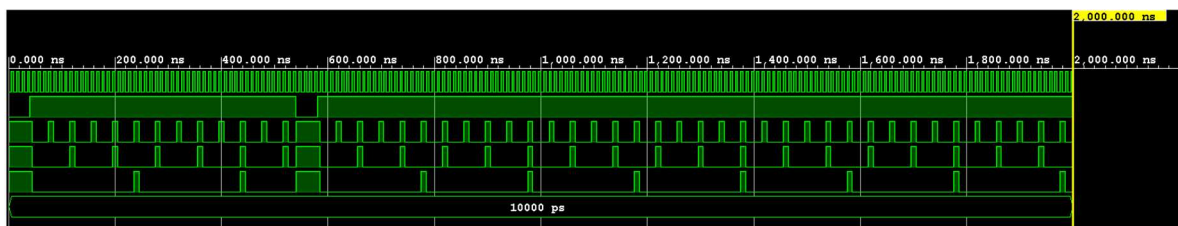
Para este apartado, se entrega un fichero divisor_3.vhd y tb_divisor_3.vhd con las declaraciones de entidad definidas para la realización de la práctica. En el caso del fichero divisor_3.vhd se deberá completar el cuerpo de arquitectura con el código necesario para satisfacer el diseño descrito en puntoanterior

La interfaz consta de 2 entradas: clk (reloj del sistema) y ena (enable/reset asíncrono) y 3 salidas f_div_2_5, f_div_1_25 y f_div_500, correspondientes a las 3 frecuencias pedidas.

En el caso del fichero tb_divisor_3.vhd deberá completar con la generación del reloj de sistema (100MHz) y se deberá comprobar el correcto funcionamiento del sistema durante al menos 2000ns .

5. Resultados

Se adjunta una muestra de la simulación esperada



6. Evaluación

6.1. Grupos

Se mantendrán los grupos formados de 2 personas. Se adjuntará la solución en el **campus virtual** en un fichero **practica2.zip**.

Asimismo, en el campo de comentario se indicará el nombre de los componentes del grupo y la **dirección del repositorio de git** con visibilidad pública en el que se encontrará la solución.