Hochschule **RheinMain**
University of Applied Sciences
Wiesbaden Rüsselsheim

HARDWARE-BESCHREIBUNGSSPRACHEN

Hardwareentwurf mit VHDL

21. Oktober 2021
Revision: b941727 (2021-01-16 01:57:51 +0100)

Steffen Reith

Theoretische Informatik
Studienbereich Angewandte Informatik
Hochschule **RheinMain**

HARDWAREENTWURF MIT VHDL

Notizen

Notizen

WAS IST VHDL?

VHDL beschreibt Hardware (Hardwarebeschreibungssprache) und ist **keine** Programmiersprache!

VHDL steht für ›VHSIC Hardware Description Language‹, wobei VHSIC für ›Very High Speed Integrated Circuits‹. Die Entwicklung von VHDL begann ca. 1980 und wurde durch das US DoD initiiert.

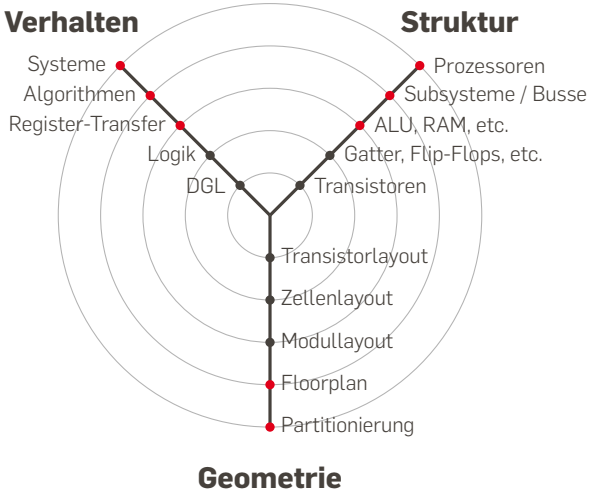
VHDL wird sowohl zur **Synthese** von Schaltkreisen, als auch zu deren **Simulation** (≙ Test & Debugging) verwendet.

VHDL ein in Europa sehr verbreiteter (IEEE) Standard, der sowohl **herstellerübergreifend** als auch **herstellerunabhängig** ist. Ebenfalls verbreitet (z.B. in den USA) ist Verilog, das nach 1364-1995 standardisiert ist (Verilog-95)

Anders bei (klassischen) Programmiersprachen werden in VHDL bis auf Ausnahmen (innerhalb `PROCESS`, `FUNCTION` und `PROCEDURE`) alle Anweisungen **parallel ausgeführt**!

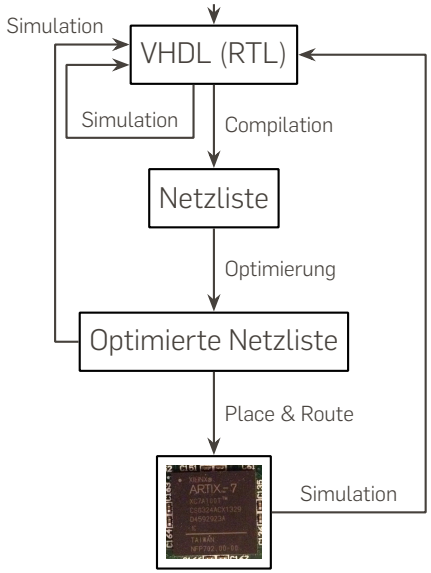
Notizen

HARDWAREENTWURF / GAJSKI-KUHN Y-DIAGRAMM



Notizen

DER GRUNDSÄTZLICHE WORKFLOW FÜR (C)PLD / FPGAS / ASICS



Notizen

EDA-TOOLS (ELECTRONIC DESIGN AUTOMATION)

Für FPGAs sind die Tools der Firma Xilinx (ISE / Vivado) bzw. der Firma Altera (Quartus II) verbreitet.

In der Vorlesung werden wir die **Vivado Suite** verwenden. Diese macht aus der Beschreibung:

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity Adder is
5    port (a    : in  std_logic;
6          b    : in  std_logic;
7          cin  : in  std_logic;
8          s    : out std_logic;
9          cout : out std_logic);
10 end Adder;
11
12 architecture Behavioral of Adder is
13 begin
14   s <= a xor b xor cin;
15   cout <= (a and b) or (a and cin) or (b and cin);
16 end Behavioral;
```


Notizen

ERGEBNIS DER SYNTHESE

Eine Übersetzung in eine Netzliste und dann in „echte“ Hardware ergibt folgendes Bild:

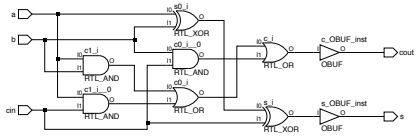


Abbildung: RTL-Level

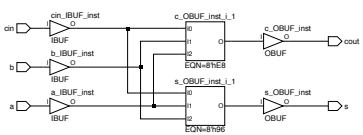
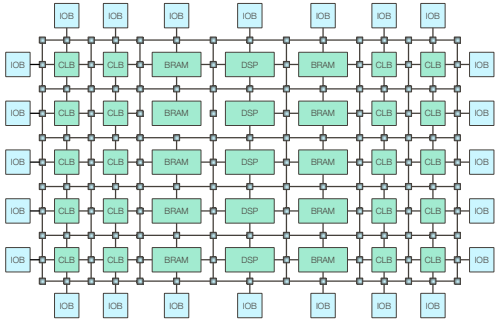


Abbildung: Technologie-Level

Notizen

EINE BEISPIELHAFTE FPGA-ARCHITEKTUR

Man kann sich ein FPGA als regelmäßiges Array von Funktionsblöcken vorstellen, die flexibel verdrahtbar sind:

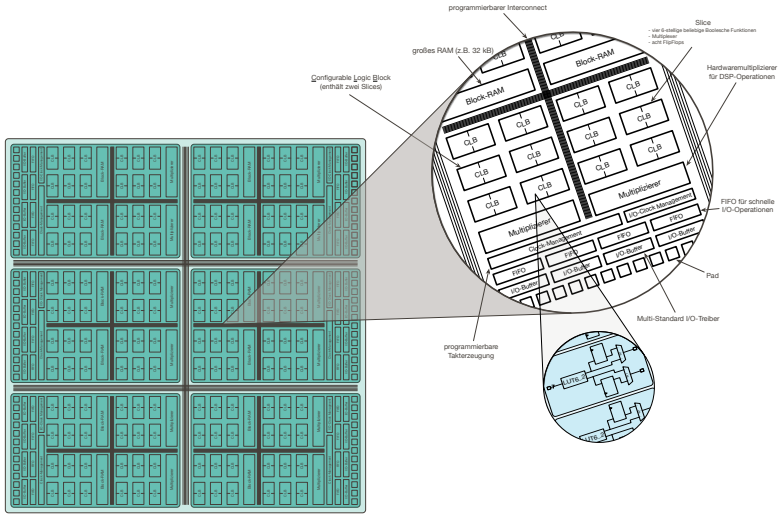


Das FPGA kommuniziert durch IO-Blöcken (IOB), die Configurable Logic Blocks (CLB) enthalten Logik und kleine Speicher (einzelne Flip-Flops). Weiterhin gibt es große Speicherblöcke (BRAM) und evtl. schnelle Hardwaremultiplizierer für DSP-Anwendungen.

Notizen

EINE BEISPIELHAFTE FPGA-ARCHITEKTUR (II)

Real existierende FPGAs sind deutlich komplexer aufgebaut:



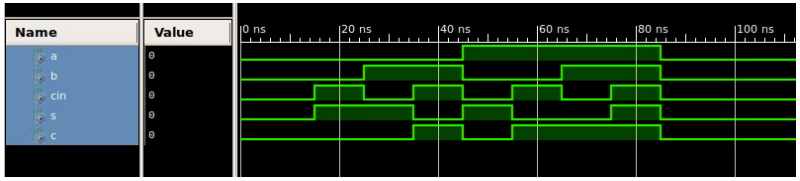
Notizen

SIMULATION

Bevor ein Schaltkreis gebaut werden kann, muss dieser mit Hilfe der Schaltungsbeschreibung (VHDL) **validiert / getestet** werden.

Dazu simuliert man Schaltkreise mit unterschiedlichem Detailgrad (z.B. Signallaufzeiten aufgrund der geometrischen Struktur).

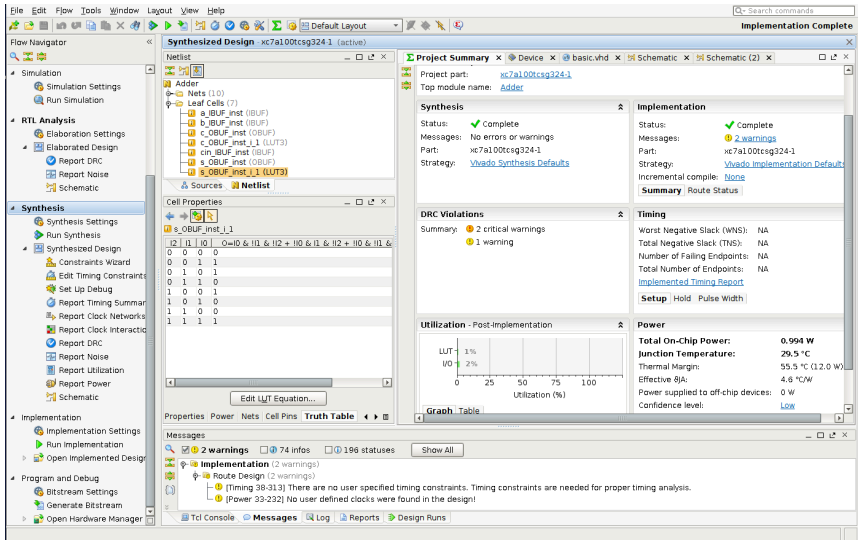
Eine einfache Simulation des Addierers ergibt:



Zur Durchführung von Simulation werden **Testbenches** verwendet, die alle notwendigen Signalkombination an den (simulierten) Schaltkreis anlegen.

Notizen

WELCOME TO THE REAL WORLD!



Notizen

Notizen