



Desenvolvimento de um Sistema Computacional baseado em Processador RISC em FPGA

Eduardo Furtado Sá Corrêa e Ricardo Pezzoul Jacobi
Departamento de Ciência da Computação, Universidade de Brasília



Ciência, Cultura e Cidadania
19º Congresso de Iniciação Científica da UnB
10º Congresso de Iniciação Científica do DF

Introdução

Simulação e síntese são processos complementares durante o desenvolvimento de um sistema integrado, entretanto ambos modelos podem produzir resultados muito diferentes. Nesta pesquisa, buscou-se aproveitar um modelo pronto, feito para simulação, como base para implementar uma arquitetura sintetizável do processador BA22-DE em uma FPGA e um teste com um simples software. Este esforço visa testar a performance de execução do algoritmo de decodificação de áudio AAC, desenvolvido pela equipe da UnB, no processador BA22 como uma solução embarcada. Atualmente, a equipe da UnB possui um decodificador AAC que utiliza a abordagem de coprojeto de hardware e software, onde a parte de processamento crítica está implementada em módulos de hardware dedicados e o restante funciona em software no processador Nios II da Altera. No futuro, espera-se utilizar o processador BA22 com o barramento AMBA para substituir o processador Nios II e o barramento Avalon.

Metodologia

O primeiro passo para o desenvolvimento deste projeto foi realizar a simulação do funcionamento do processador para observar o comportamento dos sinais gerados pelo sistema, a leitura da documentação e o estudo do código não sintetizável já existente. Foi possível realizar um *profiling* de que módulos estavam sendo ativados com a execução de um algoritmo simples, através do estudo dos sinais gerados durante a simulação do sistema, assim identificando os módulos indispensáveis ao projeto e que deveriam ser implementados para síntese. A Figura 1 mostra o diagrama de blocos do ambiente de simulação.

Identificou-se que o Gerador de *Clock*, o inicializador de memória, o monitor e o barramento AMBA eram módulos que deveriam ser totalmente reescritos para a síntese. Utilizando a linguagem de descrição de hardware Verilog, primeiramente foi reescrito o módulo inicializador de memória, que tem a função de copiar desde uma ROM, feita utilizando VHDL, contendo o código binário executável. Em seguida foi implementado o módulo gerador de *Clock* e o resto do projeto foi adaptado para as novas entradas. Após, optou-se por não utilizar um barramento completo, e por meio de simplificações em como seria o acesso à memória, foi escrita uma pequena porção de código que atua como um barramento, dando permissão total ao processador, único elemento que acessa a memória. Finalmente o módulo monitor foi adaptado para as novas entradas e saídas.

Por fim, essa arquitetura foi prototipada e testada em um FPGA.

O desenvolvimento se dividiu em três partes principais:

I. Desenvolvimento do módulo initram

O Inicializador de memória basicamente copia de uma memória a outra, neste caso da ROM para a RAM. O módulo faz isso de 4 em 4 endereços de memória, e ao terminar, é responsável por ligar o processador, que aguarda o fim do carregamento para começar a trabalhar. Tomou-se o cuidado de gravar na posição X enquanto se estava lendo da posição X+1. Trata-se de uma RAM de 16kbs.

II. Desenvolvimento do módulo clgen

O módulo do gerenciamento de energia do BA22-DE usa um *clock* diferente do restante do projeto. Além disso, a execução do software na placa é muito rápido e por isso foi feito um módulo auxiliar ao gerador de *clock* para atrasar o mesmo, possibilitando acompanhar a execução do programa de teste passo a passo.

III. Desenvolvimento do módulo monitor

O módulo monitor foi projetado com o objetivo de mostrar na placa por meio de LEDs o estado em que se encontra o sistema, inicializando a memória ou após a inicialização, o que estava sendo executado no processador e aviso de fim da execução.

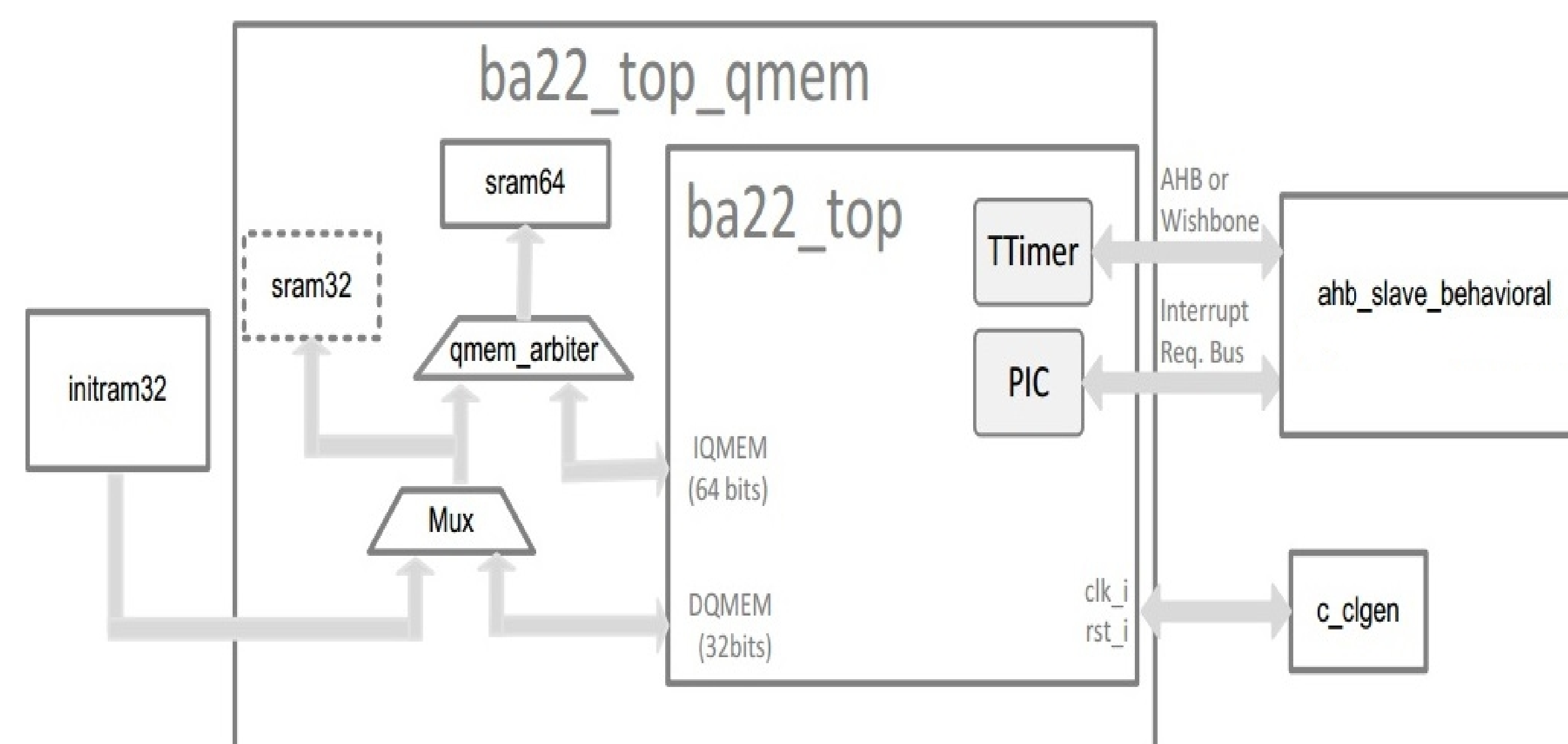


Figura 1 – Diagrama de Bloco do ambiente de simulação, base para a arquitetura da síntese

Resultados e Discussão

O sistema desenvolvido foi prototipado na placa de desenvolvimento DE2-115, que possui uma FPGA Altera Cyclone II EP4CE115F29C, apresentada na Figura 2.

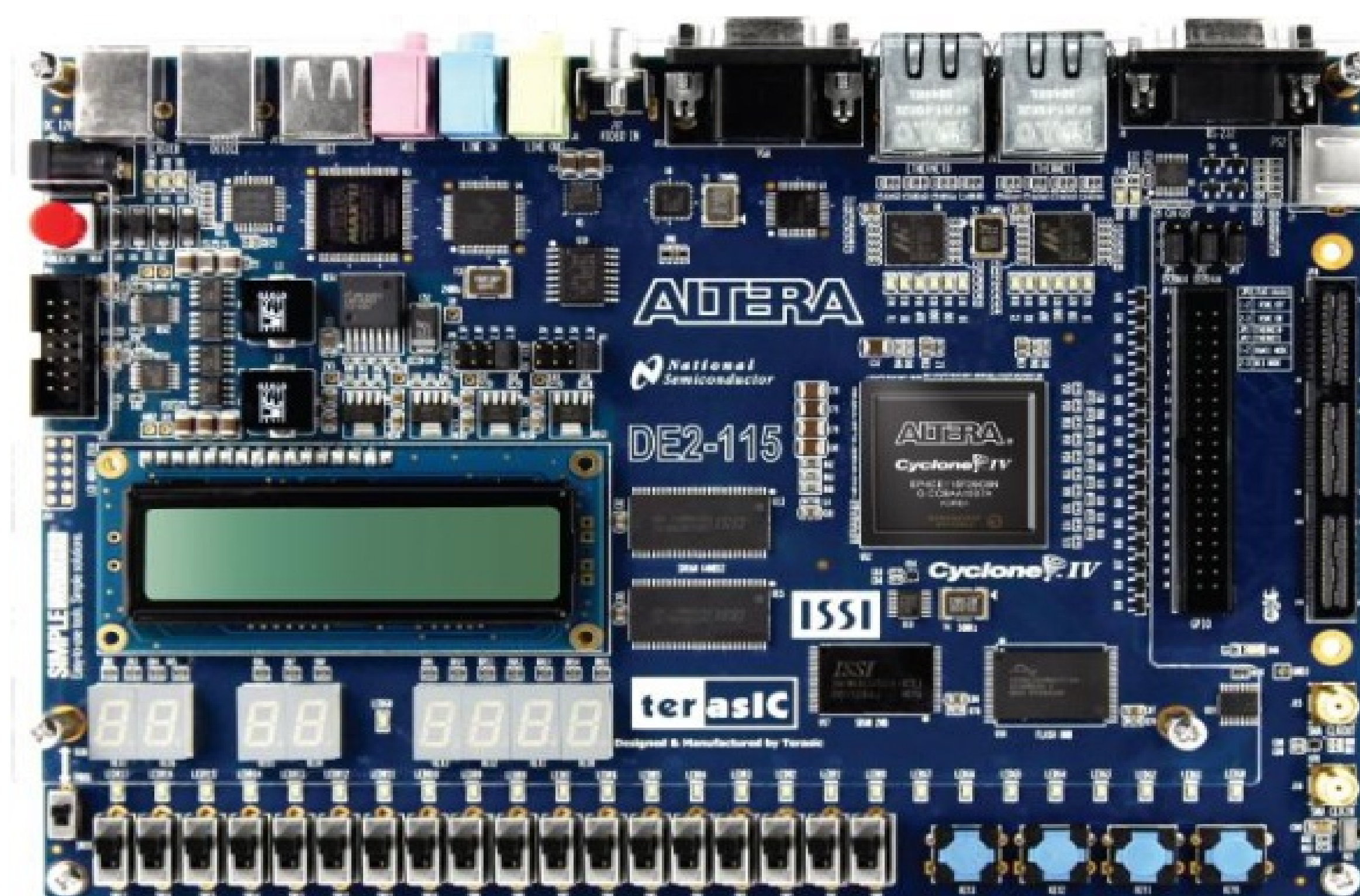


Figura 2 – Placa de prototipação DE2-115

A partir da frequência de operação definida, de 50/500000 Mhz, dessa forma foi possível acompanhar o andamento do sistema, desde que o mesmo é ligado, carregamento da Ram e execução de um algoritmo simples de teste. O resultado de síntese mostrou que o sistema desenvolvido utiliza 17.413 elementos lógicos, 3758 registros, 18 pinos, 1.361.984 bits de memória interna, 8 multiplicadores de 9 bits e nenhum PLL.

Por fim, constatou-se que os resultados obtidos na síntese foram os mesmos obtidos na simulação.

Conclusões

Neste trabalho desenvolveu-se uma arquitetura em hardware para a síntese do processador de embarcados BA22-DE. Optou-se por uma metodologia com utilização de um projeto para simulação para realizar um *profiling* do que seria necessário para o funcionamento do processador. O sistema desenvolvido foi prototipado em uma FPGA. Os resultados mostram que o objetivo foi alcançado. Cabe mencionar que este é apenas o primeiro passo para viabilizar a decodificação de áudio AAC em tempo real no processador BA22-DE e após isso, substituir o processador NIOS II pelo BA22 para utilizar o processador BA22 como uma solução de coprojeto com o decodificador de áudio AAC.

Este trabalho foi financiado pelo Programa de Iniciação Científica da Universidade de Brasília (ProIC-DPP-UnB) e pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq).