

9º Experimento

FLIP-FLOPS: “T” E “D”

OBJETIVO: Descrição e implementação de flip-flops “T” e “D” usando portas lógicas ou flip-flops JK. Construção de flip-flops D gatilhado por nível ou pela borda usando portas lógicas; análise na transição de subida e descida do pulso de relógio. Aplicação dos flip-flops no projeto de um detector de sentido de movimento de um veículo.

1. INTRODUÇÃO TEÓRICA

Os flip-flops “T” e “D” não possuem o estado proibido nem o indeterminado. O flip-flop T tem apenas uma entrada e é usado em circuitos contadores ou divisores de frequência. Os flip-flops T e D podem ser construídos usando-se portas NAND ou NOR.

1.1. FLIP-FLOP T

A **Figura 1** mostra uma implementação do flip-flop T com portas NAND e seu símbolo. A tabela da verdade é apresentada abaixo.

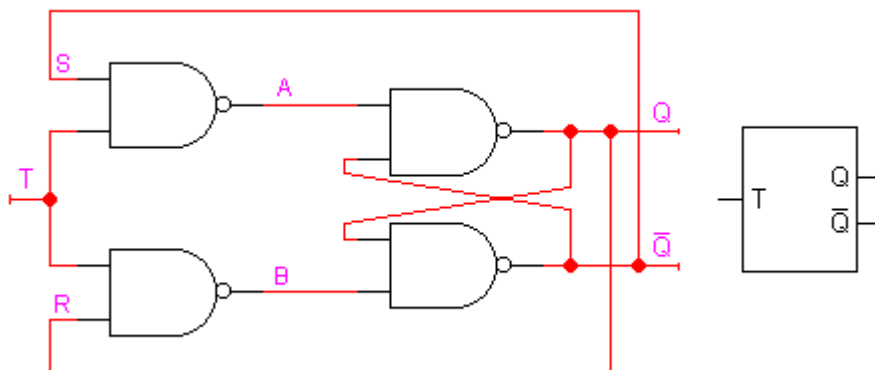


Figura 1 – Flip-flop T implementado com portas NAND

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Tabela I – Tabela da verdade do flip-flop T

O flip-flop T é um RS gatilhado com suas saídas Q e \overline{Q} ligadas respectivamente às entradas R e S. Assim, para cada pulso do relógio as saídas invertem seu estado.

Supondo $T = 0$, $Q = 1$ e $\overline{Q} = 0$, analisemos o que ocorre com o esquema da **Figura 1** quando T mudar para 1. Inicialmente, como $T = 0$, $A = 1$ e $B = 1$. Devido às realimentações, teremos $S = 0$ e $R = 1$. Quando T mudar para 1, B irá para 0, fazendo \overline{Q} mudar de 0 para 1 e conseqüentemente Q de 1 para 0, havendo portanto inversão nas saídas. Devemos observar que T deve voltar para 0 antes que a porta NAND de S mude de estado, pois, se isto não ocorrer, também teremos 11 como entrada dessa porta, fazendo com que o flip-flop T oscile ou esteja num estado proibido, até que T volte para 0; nesta situação pode ocorrer uma saída indeterminada.

Como as mudanças de estado devem-se propagar através de 3 portas para que Q ou \overline{Q} mude de estado, teremos um tempo de atraso de aproximadamente 30 ns (10 ns por porta). Portanto, se a duração do pulso em T for menor que 30 ns, não teremos o problema de indeterminação. Por outro lado, a duração do pulso em T deve ser maior que 20 ns para garantir reversão de estado.

A **Figura 2** mostra um modo de se obter um pulso de aproximadamente 30 ns de duração.

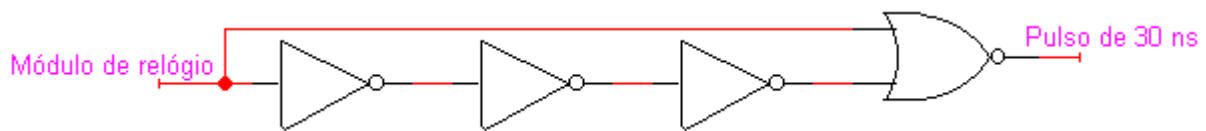


Figura 2 – Produção de pulsos com duração de aproximadamente 30 ns

Se um trem de pulsos for aplicado à entrada T do flip-flop da **Figura 1**, haverá mudança de estado em cada transição positiva do pulso em T como é mostrado na **Figura 3**. Note que a frequência da saída Q é a metade da frequência do trem de pulsos.

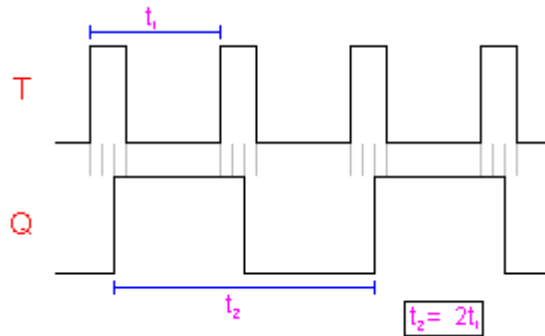


Figura 3 – Entrada e saída de um flip-flop T

1.2. FLIP-FLOP D GATILHADO POR NÍVEL

O flip-flop D consiste de um flip-flop RS em que o $DADO$ entra em S e \overline{DADO} entra em R. A implementação da **Figura 4** permite que a saída Q acompanhe a entrada de dados D sempre que o relógio estiver no nível 1 e é chamado flip-flop D gatilhado por nível. A **Figura 4** também mostra o símbolo do flip-flop D.

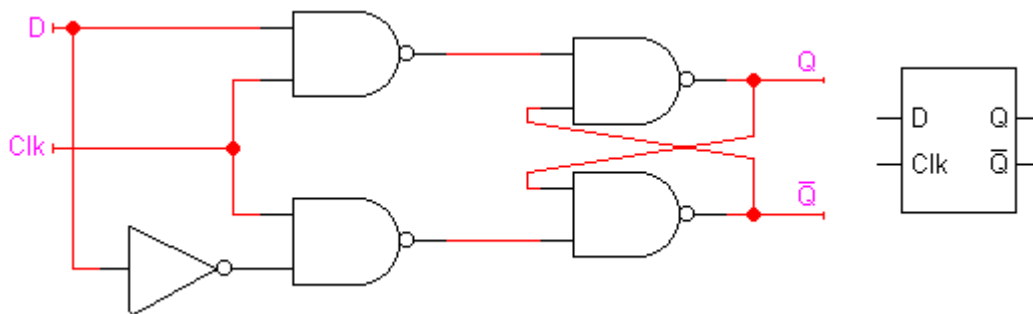


Figura 4 – Flip-flop D gatilhado por nível

A **Tabela II** resume a operação do flip-flop D gatilhado por nível. No caso em que o pulso do relógio seja normalmente 0, com duração do nível 1 pequena, porém suficiente para os dados se propagarem até a saída e, se os dados não forem alterados enquanto o relógio estiver no nível 1, pode-se usar a tabela simplificada.

Clk	D	Q_{n-1}	D	Q_{n-1}
0	0	Q_n	0	0
0	1	Q_n	1	1
1	0	0	Simplificada	
1	1	1		

Completa

Tabela II – Tabela da verdade do flip-flop D gatilhado

1.3. FLIP-FLOP D GATILHADO PELA BORDA

A implementação da **Figura 5** permite que o dado seja transferido da entrada D para a saída Q apenas durante a transição positiva do pulso do relógio (na subida do pulso). Também é possível implementar o flip-flop D usando a transição negativa do pulso do relógio (flip-flop D gatilhado pela borda negativa).

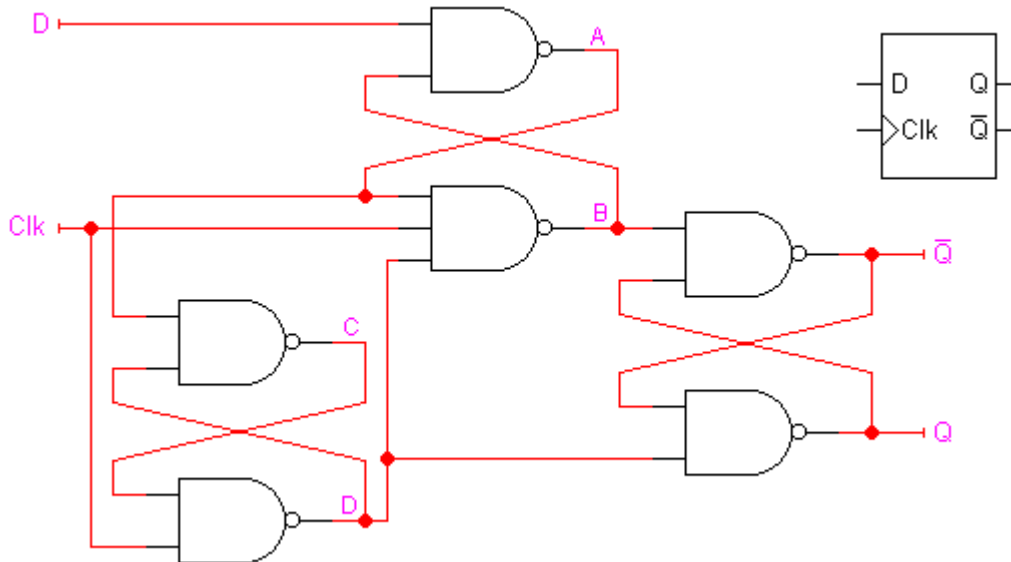


Figura 5 – Implementação de um flip-flop D gatilhado pela borda positiva com portas NAND

O símbolo do flip-flop D gatilhado pela borda positiva é apresentado na **Figura 5** e sua tabela da verdade é apresentada na **Tabela III** abaixo.

Clk	D	Q_{n+1}
\mathcal{F}	X	Q_n
\mathcal{F}	0	0
\mathcal{F}	1	1

Tabela III – Tabela da Verdade do flip-flop D

1.4. CONSTRUÇÃO DE FLIP-FLOPS RS, D E T USANDO O FLIP-FLOP JK

As tabelas da verdade e os símbolos dos flip-flops RS, D, T e JK são mostrados abaixo.

S	R	Q_{n+1}	Clk	D	Q_{n+1}	T	Q_{n+1}	J	K	Q_{n+1}
0	0	Q_n	0	X	Q_n	0	Q_n	0	0	Q_n
0	1	1	1	0	0	1	$\overline{Q_n}$	0	1	0
1	0	0	1	1	1			1	0	1
1	1	IND						1	1	$\overline{Q_n}$

Tabela IV – Tabelas da verdade dos flip-flops RS, D, T e JK

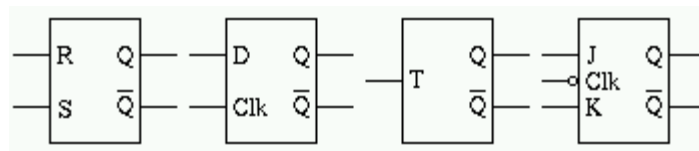


Figura 6 – Símbolos dos flip-flops RS, D, T e JK

OBS.: O pulso do relógio é normalmente 0 e a duração do 1 é pequena (porém, com as restrições já vistas) para o flip-flop T.

O flip-flop JK pode ser usado como RS. Para isto, basta fazer $J = S$, $K = R$ e não é necessário fazer nenhuma ligação externa; observe apenas que o estado 11 na entrada do flip-flop JK deve ser evitado. Entretanto, se esse estado ocorrer, não teremos indeterminação na saída.

Para transformarmos um flip-flop JK em um flip-flop D, usamos um inversor entre os terminais J e K, conforme a figura abaixo.

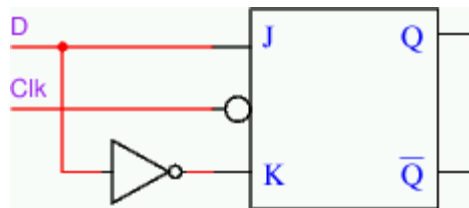


Figura 7 – Uso do flip-flop JK como flip-flop D

Uma ligação que permite usar o flip-flop JK como flip-flop tipo T é apresentada na **Figura 8**. Este esquema tem a vantagem de tornar o flip-flop T sincronizado, isto é, o terminal T decide se aceita ou não o pulso de relógio que determina o instante da mudança.

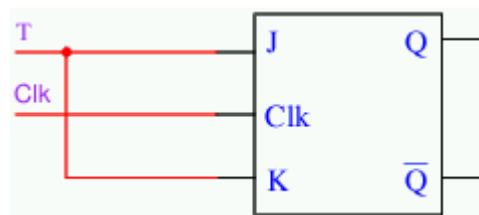


Figura 8 – Uso do flip-flop JK como flip-flop T

1.5. TEMPO DE SET UP

O tempo de *set up* de um flip-flop é definido como o menor intervalo de tempo em que o sinal da(s) entrada(s) deve(m) estar já no nível correto e ser(em) mantido(s) antes da ocorrência de uma transição no relógio.

O tempo de *set up* típico para os flip-flops da família TTL é de 20 ns antes da transição positiva do relógio.

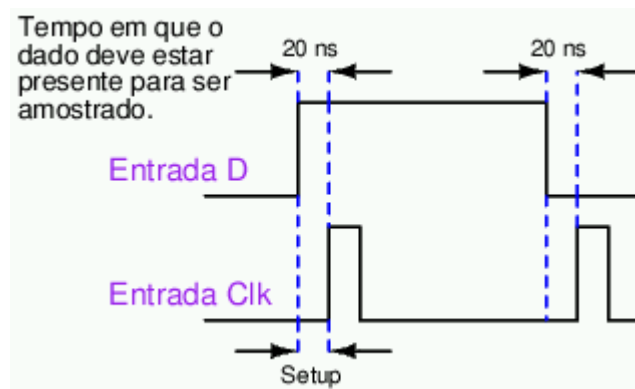


Figura 9 – Visualização do tempo de *setup* para o flip-flop D

Na configuração da **Figura 10** o dado chega às entradas D e Clk simultaneamente, então o tempo de *setup* não é observado e a saída ficará sempre em 0 mesmo se acionarmos várias vezes a chave CH.

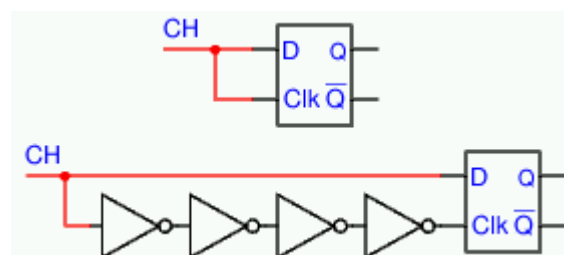


Figura 10 – Verificação experimental do tempo de *setup*

Na configuração da **Figura 10**, devido ao atraso de propagação nos 4 inversores, o dado chega ao terminal D 40 ns antes que ocorra a transição na entrada do relógio. Logo o *setup* é obedecido e a saída ficará sempre em 1 mesmo se acionarmos várias vezes a chave CH.

2. PARTE EXPERIMENTAL

- 2.1. Monte o circuito apresentado na **Figura 1** e na **Figura 2**.
- 2.2. Elabore uma tabela da verdade para o circuito do item anterior.
- 2.3. Utilize o osciloscópio para verificação experimental e faça um diagrama no tempo.
- 2.4. Repita os itens 2.1, 2.2 e 2.3 para o circuito da **Figura 4**.
- 2.5. Repita os itens 2.1, 2.2 e 2.3 para o circuito da **Figura 5**.
- 2.6. Monte, explique e verifique o funcionamento dos circuitos da **Figura 10**.
- 2.7. Projete um circuito sequencial que detecta o sentido de movimento de veículos em uma rua. O circuito possui 2 entradas e duas saídas. As 2 entradas nunca poderão ser ativadas simultaneamente e, dependendo da ordem em que elas são acionadas, uma das duas saídas correspondentes ao sentido do movimento é ativada (esquerda → direita ou direita → esquerda). Suponha que quando o veículo passar por um sensor, este gera um pulso negativo. Implemente seu circuito usando um número mínimo de flip-flops JK.

3. SUMÁRIO

São estudados os flip-flops tipo D e T; suas propriedades são analisadas no laboratório. Em particular, o flip-flop D gatilhado por nível e gatilhado pela borda do pulso do relógio são vistos em detalhe. A modificação do flip-flop JK para ser usado como RS, T ou D é também visto; esta situação ocorre com frequência na prática. O conceito de tempo de *setup* de flip-flops é dado e duas situações extremas são analisadas a fim de ilustrar esta idéia.

4. EQUIPAMENTOS E MATERIAL

- Painel digital;
- *Protoboard*;
- Ponta lógica;
- Fios conectores;
- Osciloscópio;
- Portas NAND, NOR, NOT, FLIP-FLOP “D” e FLIP-FLOP “JK”.

5. TESTE DE AUTO-AVALIAÇÃO

1. Um flip-flop T divide a frequência de entrada do relógio por:
 - a) 1
 - b) 2
 - c) 3
 - d) 4
2. O flip-flop T e o flip-flop D possuem:
 - a) Nenhum estado proibido.
 - b) Um estado proibido.
 - c) Nenhum estado proibido e nenhum estado indeterminado.
 - d) NDA
3. Um flip-flop D gatilhado pela borda positiva do pulso do relógio terá a saída $Q = 1$ quando:
 - a) O relógio for de 0 para 1 e o dado for 1.
 - b) O relógio permanecer em 1 depois de uma transição positiva e o dado for pra 0.
 - c) O dado for para 0 e o relógio for para 0 depois de ter passado por um nível lógico 1.
 - d) Todas as afirmações acima estão corretas.
4. Quantos flip-flops serão necessários para se armazenar uma palavra de 4 bits?
 - a) 1
 - b) 2
 - c) 4
 - d) 8
5. Para operar um flip-flop JK como um flip-flop RS gatilhado, basta:
 - a) Conectar um inversor entre as entradas J e K.
 - b) Ligar Q a K e \overline{Q} a J.
 - c) Evitar que as entradas J e K sejam ambas iguais a 1.
 - d) NDA
6. Para operar um flip-flop JK como um flip-flop T, basta:
 - a) Evitar que as entradas J e K sejam ambas iguais a 1.
 - b) Fazer $J = K = 1$ e dar pulsos na entrada do relógio.
 - c) Colocar um inversor entre as entradas J e K.
 - d) Ligar Q a K e \overline{Q} a J.
 - e) As afirmações **b** e **d** estão corretas.

7. Para operar um flip-flop JK como um flip-flop D, basta:
- Colocar um inversor entre as entradas J e K.
 - Evitar que as entradas J e K sejam ambas iguais a 1.
 - Fazer $J = K = 1$ e dar pulsos na entrada do relógio.
 - Ligar Q a K e \overline{Q} a J.
 - As afirmações **b** e **d** estão corretas.
8. Em que estado as entradas PRESET e CLEAR devem estar para que o flip-flop JK SENHOR-ESCRAVO (7476) opere normalmente:
- 0
 - 1
 - Indiferente
 - NDA
9. Qualquer tipo de flip-flop pode ser construído a partir do flip-flop D, adicionando-se poucas portas lógicas combinacionais:
- Certo
 - Errado
 - Faltam dados para responder.
 - NDA
10. Para se construir um flip-flop T a partir do flip-flop D basta conectar uma porta XOR à entrada D e ligar Q a uma de suas entradas. A outra entrada da porta XOR é o terminal T:
- Certo
 - Errado
 - Faltam dados para responder.
 - NDA