

RELATÓRIO NUMERO 6

CIRCUITOS DIGITAIS

EDUARDO FURTADO SÁ CORRÊA - 09/0111575

LEANDRO RAMALHO MOTTA FERREIRA - 10/0033571

Objetivo

Implementar um circuito que codifica de decimal para binário e também um circuito para fazer a decodificação deste processo.

Material

Software Quartus II.

Introdução

A idéia de se criar um codificar de decimal para binário foi construída com a seguinte convenção: dez entradas devem estar ligadas ao bloco do codificador, de modo que quatro saídas representem, em binário, o valor de um dígito. Uma relação biunívoca existe entre o nível lógico de cada uma das dez entradas com cada um dos dez dígitos decimais. O circuito deve funcionar de modo que a representação binária seja válida somente quando apenas uma das dez entradas estiver no nível lógico “1”.

De forma análoga, o circuito decodificador deve receber como entrada o valor de um dígito decimal representado em binário e levar o nível lógico “1” apenas para a saída de representação do respectivo dígito.

Procedimento:

Primeiramente o experimento requer um estudo e um planejamento prévio. O objetivo desse estudo além de compreensão dos fenômenos aqui observados é o planejamento de um codificador decimal para código de gray e um para o decodificador de código de gray para decimal. Finaliza-se essa etapa obtendo as expressões em álgebra booleana para cada valor decimal.

Após a conclusão da etapa anterior o procedimento seguinte é esquematizar em forma de circuitos NAND as expressões booleanas .

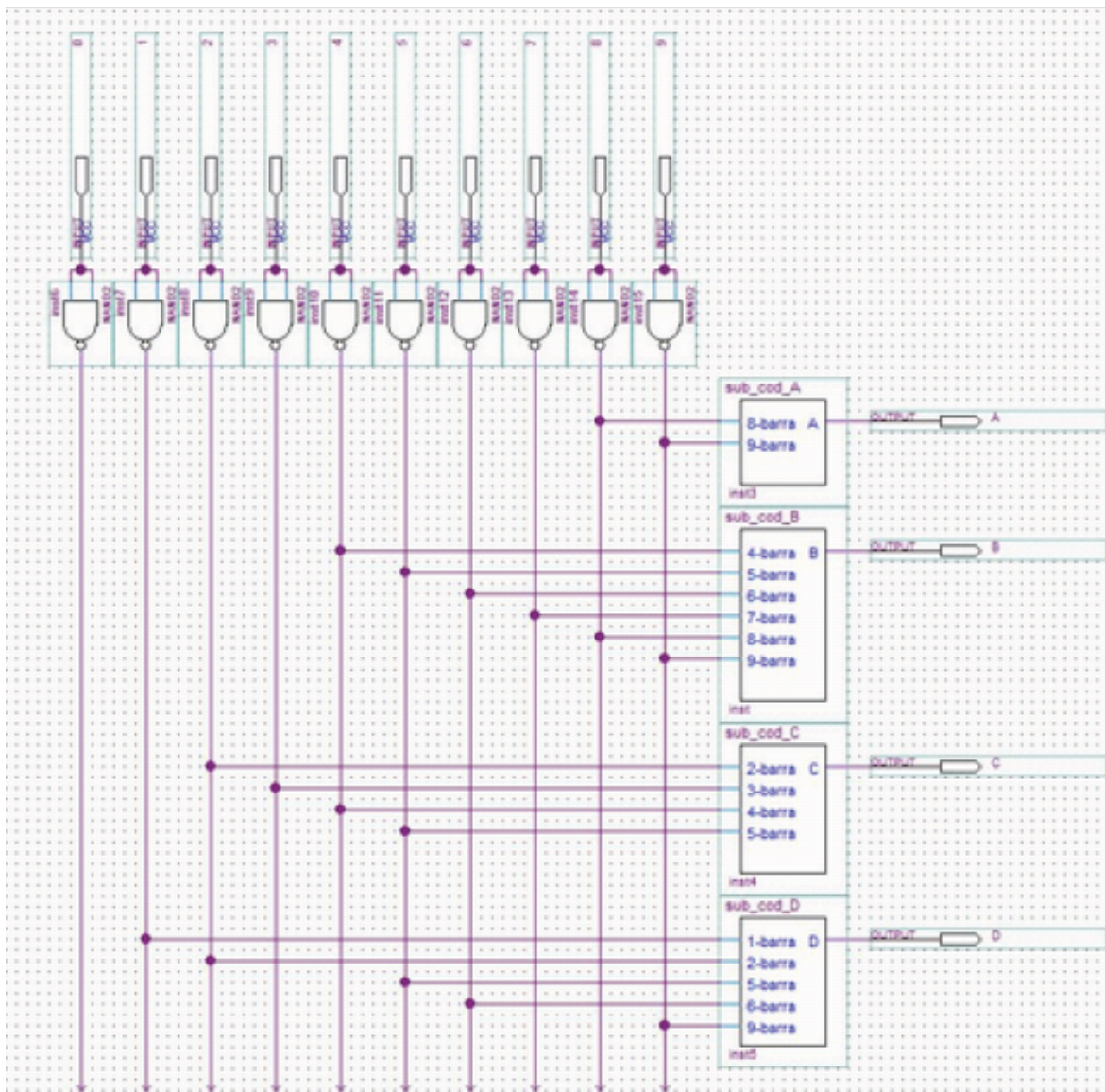
Inicia-se o experimento começando pela implementação do codificador planejado anteriormente no software de simulação QUARTUS II. Gera-se uma tabela verdade através da ferramenta de simulação do QUARTUS II. Registra-se a tabela.

Terminado essa etapa, implementa-se o decodificador no QUARTUS II, gera-se o circuito e é preenchida a tabela verdade através de simulação.

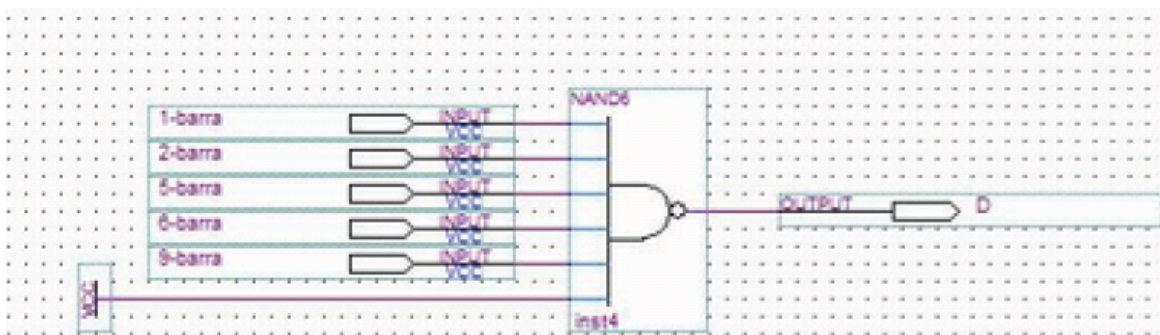
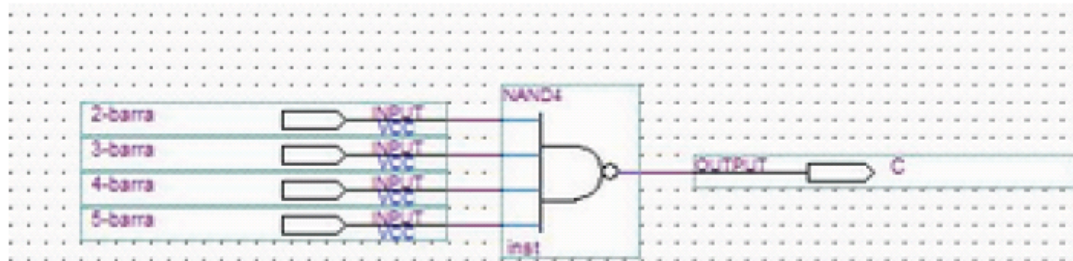
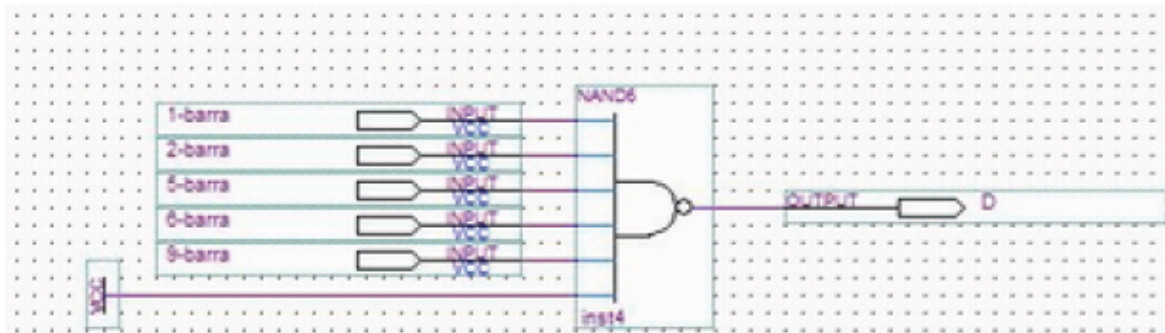
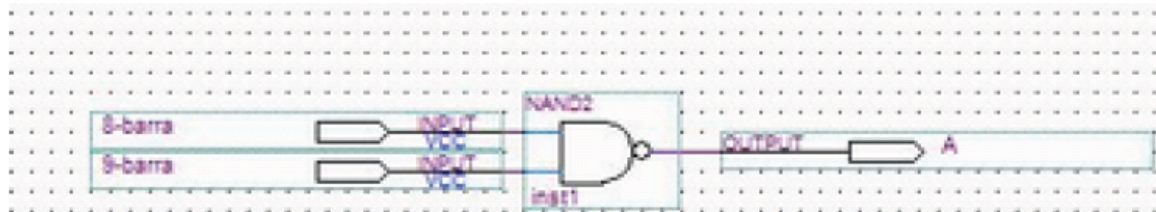
Dados

Para implementarmos o circuito dividimos cada termo em um arquivo esquemático separado e incluímos todos após.

CIRCUITO CODIFICADOR:



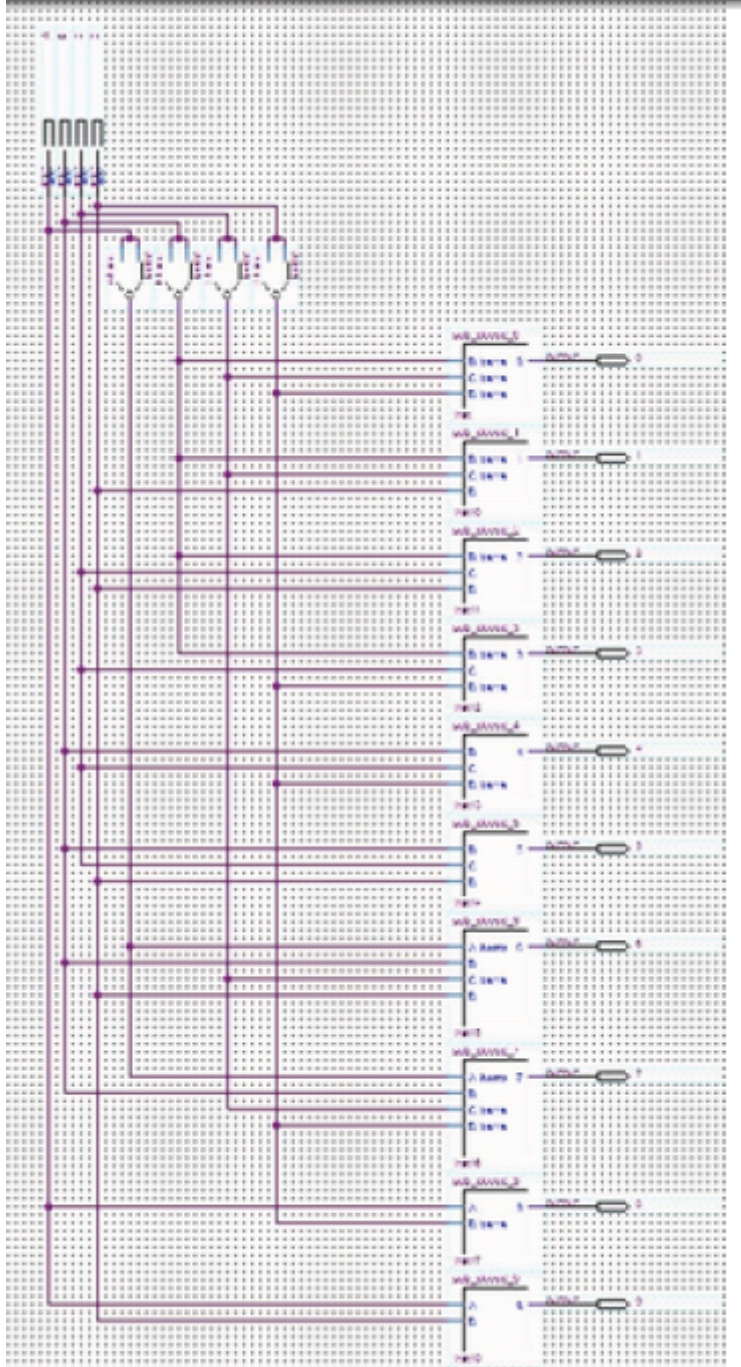
BLOCOS DO CIRCUITO DO CODIFICADOR:



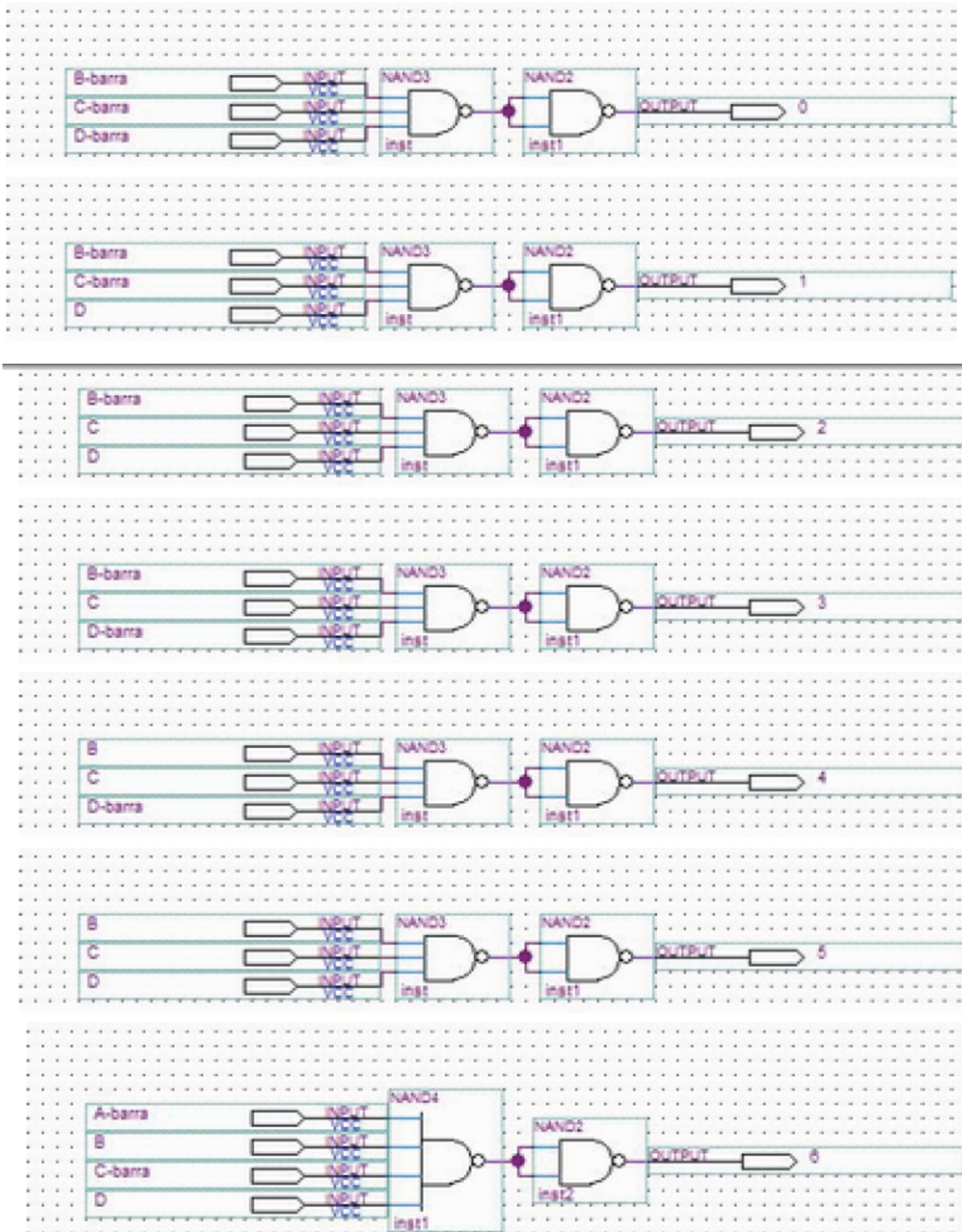
CIRCUITO DECODIFICADOR:

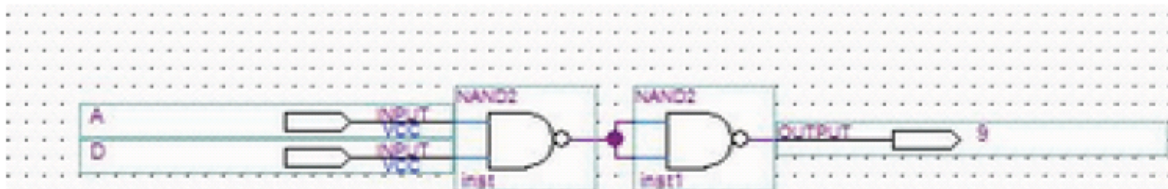
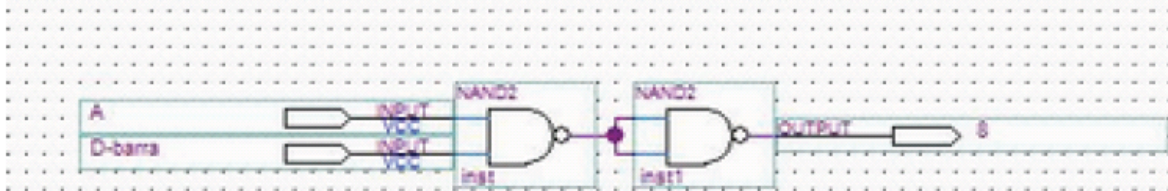
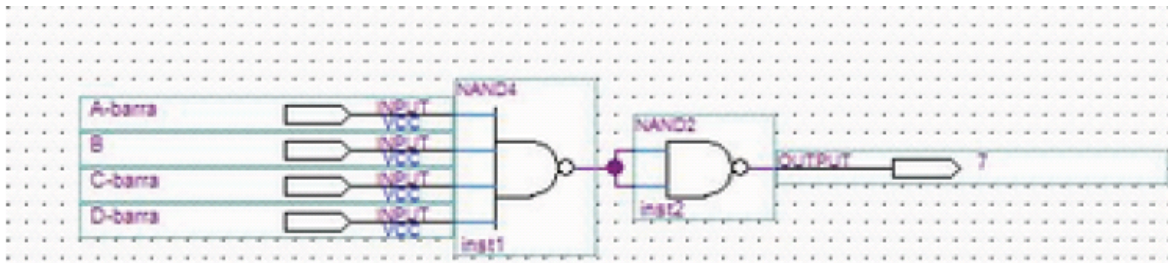
Novamente dividimos cada termo em um termo em um diferente bloco esquemático para inclusão depois.

DECODIFICADOR COMPLETO:



BLOCOS DECODIFICADOR:

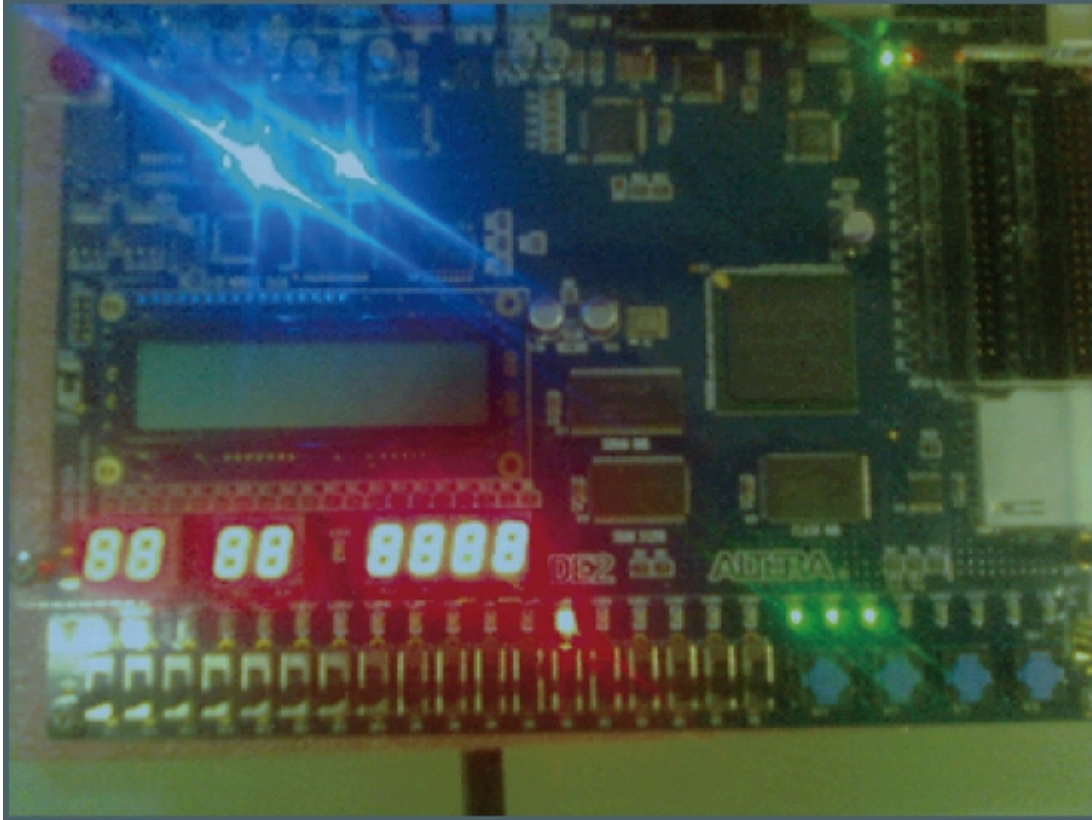




RESULTADOS:

Obtemos confirmação visual através da placa CICLONE II. Cada Led verde era designado um valor decimal, 0 a 9. Quando se ativava separadamente um desses valores apenas uma codificação em gray era apresentada. A Figura 2 ilustra o exemplo com o numero decimal 5 .

Figura 2



Análise dos Dados

Ao compararmos a teoria e a simulação do Quartus II, encontra-se resultados iguais. O circuito têm saídas esperadas, o mapa de Karnaugh conseguiu encontrar uma expressão para tal função. Os multiplexadores funcionam como esperado e o circuito montado funciona.

CONCLUSÃO

Após feito e documentado o experimento, percebemos o crescimento que o experimento trouxe um melhor entendimento e experiência com multiplexadores e a resolução de um problema prático com circuitos se mostrou inspiradora para resolução de problemas futuramente.