



## Circuitos Digitais (116351) – 10º Experimento

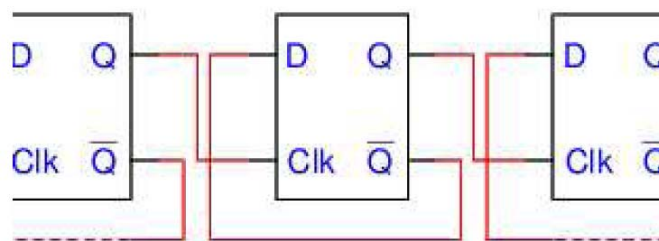
### CONTADOR ASSÍNCRONO

**OBJETIVO:** Montar um contador assíncrono binário progressivo de 4 estágios, com flip-flops JK. Verificar a ocorrência de estados transitórios. Comparar com o funcionamento de um contador síncrono em anel. Projetar e montar um contador assíncrono binário reversível de 4 estágios, com flip-flops JK.

#### 1. INTRODUÇÃO TEÓRICA

Os contadores assíncronos são aqueles onde as transições dos diversos estágios **não são** comandadas simultaneamente por um mesmo terminal de contagem.

Em um contador síncrono, por outro lado, todos os estágios efetuam suas transições simultaneamente. As entradas dos flip-flops (D, JK, RS, etc.) são usadas para determinar o próximo estado em cada transição.



**Figura 1 – Célula básica de um contador binário assíncrono.**

A **Figura 1** mostra a célula básica de um contador binário assíncrono. Cada estágio é ligado de modo a mudar de estado sempre que receber um pulso de relógio. A saída é usada para comandar a transição de outro estágio, geralmente o seguinte.

A implementação assíncrona constitui uma opção simples e econômica para os contadores, mas os atrasos acumulados em cada estágio limitam sua velocidade de operação.

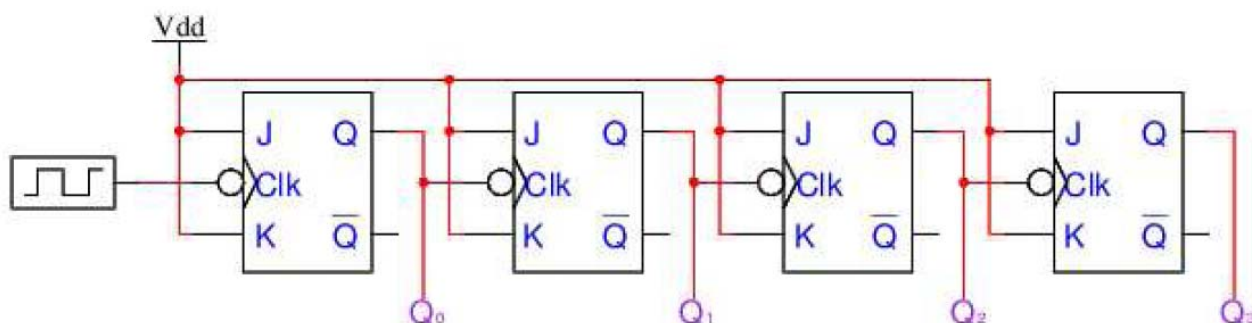
Considere, por exemplo, um contador binário progressivo assíncrono passando de 111...1 para 000...0. A mudança completa de estado dos  $n$  estágios leva um tempo da ordem de  $n$  vezes o atraso relativo a cada estágio. Neste intervalo de tempo o contador não deve receber um novo pulso para contagem.

Além disso, em cada mudança de estado o contador passa por uma sucessão de estados transitórios, até que todos os estágios se estabeleçam na nova situação. Se os circuitos ligados às suas saídas forem suficientemente rápidos, eles poderão responder a esses estados intermediários, causando erros de decodificação.

## 2. PARTE EXPERIMENTAL

### 2.1. EXERCÍCIO PRELIMINAR: CONTADOR BINÁRIO PROGRESSIVO ASSÍNCRONO

Considere o contador da **Figura 2** que conta os pulsos de um relógio. Sabe-se que os atrasos dos flip-flops usados podem estar entre 20 e 25 nanossegundos.



**Figura 2 – Implementação de um contador assíncrono com flip-flops JK.**  
As entradas J e K devem estar todas no nível lógico 1.

Nº de Pulsos	Seqüência de contagem			
	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0

Nº de Pulsos	Seqüência de contagem			
	$Q_0$	$Q_1$	$Q_2$	$Q_3$
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

**Tabela I – Seqüência de contagem do contador da Figura 2.**

- Qual é a máxima frequência do relógio para contagem confiável, no caso de 4 estágios?
- Suponha que o relógio tenha uma frequência de 18 MHz. Qual será o maior número de estágios que podem ser decodificados sem erros por um circuito combinacional nas saídas do contador?
- Suponha que o relógio tenha uma frequência de 10 Hz e uma porta NOR de 4 entradas seja usada para decodificar o estado 0000. Em que transições da seqüência de contagem (0 a 15) esse estado será identificado na forma de uma flutuação transitória na saída da porta?

### 2.2. IMPLEMENTAÇÃO DE UM CONTADOR BINÁRIO PROGRESSIVO ASSÍNCRONO

A finalidade deste item é verificar experimentalmente a presença de estados transitórios no contador assíncrono de 4 estágios da Figura 2. Monte o contador. Verifique o aparecimento transitório do estado 0000 e compare com o previsto no exercício 2.1-c. Apresente os seguintes itens como resultados: tabelas com todas as medidas e gráficos contendo as formas de onda completamente especificadas. Esquema do circuito usado.

### 2.3. IMPLEMENTAÇÃO DE UM CONTADOR EM ANEL

Monte um contador em anel de 4 estágios. Verifique se existem transitórios. Apresente os seguintes itens como resultados: tabelas com todas as medidas e gráficos contendo as formas de onda completamente especificadas. Esquema do circuito usado.

### 2.4. IMPLEMENTAÇÃO DE UM CONTADOR BINÁRIO REVERSÍVEL

- a) Projete e monte um contador binário reversível de 4 estágios, com flip-flops JK. O **sentido de contagem** deve ser dado por um terminal de controle (SC). A contagem será progressiva se  $SC = 1$  e regressiva se  $SC = 0$ .  
**Sugestão:** Note que o bit menos significativo ( $Q^0$ ) muda de estado em todas as transições  $1 \rightarrow 0$  do relógio. Já outros bits ( $Q^i$ ) mudam de estado quando uma das seguintes situações ocorre:
  - I.  $Q^{i-1}$  mudou de 1 para 0, com  $SC = 1$ ;
  - II.  $Q^{i-1}$  mudou de 0 para 1, com  $SC = 0$ .
- b) Esse contador apresenta, entretanto, um inconveniente grave. A mudança no sentido de contagem ( $SC: 0 \rightarrow 1$  ou  $SC: 1 \rightarrow 0$ ) pode causar um falso gatilho no estágio  $i$ , dependendo da situação de  $Q^{i-1}$ . Para contornar esse problema, adicione um segundo terminal de controle ao contador. O novo terminal (IC) deverá funcionar como um inibidor de contagem. Enquanto  $IC = 0$ , nenhum estágio deverá mudar de estado, independentemente do que ocorrer com  $Clk$  ou  $SC$ . Quando  $IC = 1$ , a contagem deverá ocorrer normalmente.
- c) Teste o funcionamento deste contador. Pede-se como resultados o esquema lógico completo, descrição dos procedimentos de teste e gráficos contendo formas de onda.

## 3. SUMÁRIO

Os contadores assíncronos possibilitam implementação simples e econômica em relação aos síncronos, mas são limitados por uma velocidade de contagem bem menor. Em frequências elevadas seu projeto torna-se complicado, pois devem-se considerar os atrasos de propagação. No curso da experiência, ênfase essencial é dada aos problemas decorrentes desses atrasos. Um contador progressivo é montado e testado quanto à máxima frequência de funcionamento confiável e flutuações transitórias (riscos ou *hazards*) na decodificação. Também é projetado e montado um contador reversível de 4 estágios, com terminal inibidor de contagem.

## 4. EQUIPAMENTOS E MATERIAL

- software Quartus II
- FPGA Altera Cyclone II.

## 5. TESTE DE AUTO-AVALIAÇÃO

Nos seguintes itens, marque com V (verdadeiro) ou F (falso):

1. ( ) Os contadores assíncronos podem ser implementados com flip-flops JK.
2. ( ) Os contadores síncronos estão associados a simultaneidade, enquanto que os assíncronos se relacionam com sucessão.

3. ( ) Em um contador assíncrono é muito importante que os flip-flops usados sejam os mais rápidos possíveis.
4. ( ) Quanto mais rápidos forem os flip-flops usados em um contador assíncrono, maior é a frequência confiável de contagem.
5. ( ) Quanto maior for o número de estágios de um contador assíncrono, menor é o intervalo de tempo necessário para decodificação.
6. ( ) O registrador em anel é um contador síncrono.
7. ( ) Em um contador assíncrono, quanto maior for a frequência desejada de contagem, maior deve ser o número de estágios.
8. ( ) Em um contador binário progressivo assíncrono implementado com flip-flops JK, as entradas J e K de todos os estágios devem ficar permanentemente em 1.
9. ( ) Em um contador binário regressivo assíncrono implementado com flip-flops JK, as entradas J e K de todos os estágios devem ficar permanentemente em 0.
10. ( ) A decodificação de estados nos contadores assíncronos é em geral mais suscetível a riscos (*hazards*) do que nos síncronos.

Nas questões 11, 12 e 13, uma porta decodificadora para um único estado é ligada às saídas de um contador binário.

11. ( ) Se o contador for assíncrono, sua saída pode comutar diversas vezes entre 0 e 1, durante uma mudança de estado do contador.
12. ( ) Se o contador for assíncrono, sua saída pode comutar apenas uma vez entre 0 e 1, durante certas mudanças de estado do contador.
13. ( ) Se o contador for síncrono, a decodificação será livre de flutuações transitórias.

Nas questões 14, 15 e 16, considere um contador assíncrono de  $n$  estágios sendo usado como **divisor de frequência** do relógio.

14. ( ) A frequência no último estágio (saída do divisor) é igual a  $1/2^n$  vezes a frequência do relógio.
15. ( ) Se o atraso individual de cada flip-flop for da ordem de  $\Delta t$ , a máxima frequência de operação do relógio deve ser da ordem de  $1/\Delta t$ .
16. ( ) A forma de onda na saída do divisor é livre de flutuações transitórias.