



## Circuitos Digitais (116351) - 8º Experimento

### FLIP-FLOPS: RS E JK

**OBJETIVO:** Apresentação do **multivibrador biestável** ou **flip-flop** como uma unidade de memória. Os conceitos de **latch RS** e do **RS gatilhado** são examinados em circuitos montados com portas lógicas. As tabelas da verdade de ambos os flip-flops são verificadas, bem como os instantes de transição nas saídas. É solicitado um diagrama do tempo das formas de onda nas saídas, tendo como referência o relógio. São previstos ainda controles de **PRESET** e **CLEAR**. No flip-flop JK é apresentado o conceito de **SENHOR-ESCRAVO**.

### 1. INTRODUÇÃO TEÓRICA

Um dos elementos mais importantes de um sistema digital é a memória ou dispositivo para armazenar informações, tais como: núcleos magnéticos, flip-flops, chaves, etc.

Durante muito tempo, a unidade de memória de um computador digital era quase que exclusivamente feita de núcleos magnéticos. Entretanto, devido ao grande avanço da tecnologia de semicondutores, os núcleos magnéticos vêm sendo rapidamente substituídos pelas memórias a semicondutores.

Existem dois tipos básicos de memória a semicondutores: as estáticas e as dinâmicas. As memórias estáticas são construídas pela agregação de flip-flops, ou biestáveis. As memórias dinâmicas não estão no escopo desta experiência, mas baseiam-se quase sempre no armazenamento de cargas em capacitores.

O flip-flop é um multivibrador biestável que possui dois estados estáveis como seu próprio nome o indica. Num deles a saída  $Q = 1$  e no outro  $Q = 0$ . Portanto ele serve para armazenar um só bit de informação. Dependendo da forma de gatilhamento o flip-flop é chamado de RS, D, T ou JK. No flip-flop RS, o estado de **SET** ou **RESET** da entrada determina o estado da saída. Ativando-se a entrada SET teremos  $Q = 1$ . Ativando-se a entrada RESET teremos  $Q = 0$ .

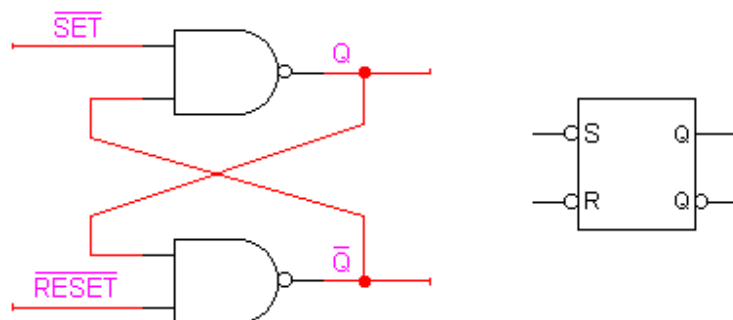
O flip-flop JK é o mais usado, devido a sua maior versatilidade. Esse é essencialmente um flip-flop RS gatilhado com uma segunda ligação cruzada entre a entrada e a saída. Os outros flip-flops serão estudados nos experimentos seguintes.

#### 1.1. LATCH RS

O latch RS pode ser construído usando-se duas portas NAND's conectadas como mostra a **Figura 1**. A tabela da verdade é apresentada na **Tabela I**.

Entradas		Saídas	
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

**Tabela I – Latch RS com portas NAND's**  
(A combinação em destaque é proibida)



**Figura 1 – Latch RS (implementado com NAND) e seu símbolo**

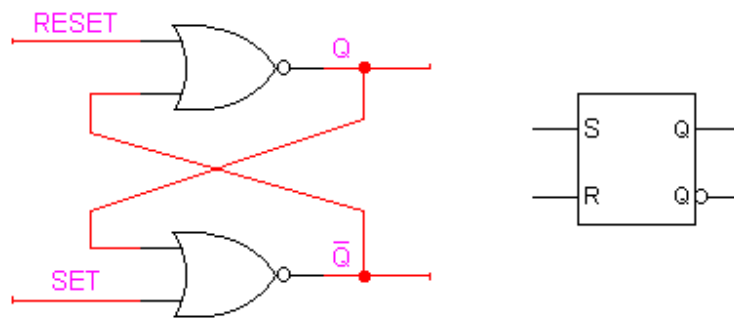
Neste tipo de flip-flop, normalmente o estado de entrada é  $\bar{S}\bar{R} = 11$ . Nessa situação, se fizermos  $\bar{S}\bar{R} = 01$ , teremos na saída  $Q = 1$ . Se, entretanto, voltarmos novamente para  $\bar{S}\bar{R} = 11$ ,  $Q$  continuará sendo 1. Portanto, se o estado de entrada for 11, uma simples inspeção da saída indicará qual foi o último estado assumido pelas entradas  $\bar{S}$  e  $\bar{R}$ , desde que não se aplique combinação 00.

Observe que se mudarmos de  $\bar{S}\bar{R} = 11$  para 00 e voltarmos novamente para 11, a saída poderá ser tanto 0 como 1. A saída, nesse caso, dependerá dos atrasos inerentes de cada porta, e portanto, não apresenta interesse prático, já que o estado final não é determinado pela entrada.

O latch RS também pode ser implementado usando-se portas NOR's, como mostra a **Figura 2**. A tabela da verdade é apresentada na **Tabela II**.

Entradas		Saídas	
$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

**Tabela II – Latch RS com portas NOR's**  
A combinação em destaque é proibida



**Figura 2 – Latch RS (implementado com NOR) e seu símbolo**

Na implementação do latch RS com portas NAND's, se ambas as entradas forem 0, tem-se  $Q = \bar{Q} = 1$  e este é um estado proibido, pois as saídas  $Q$  e  $\bar{Q}$  não são complementares. O mesmo acontece com o latch RS construído com portas NOR's para a entrada 11.

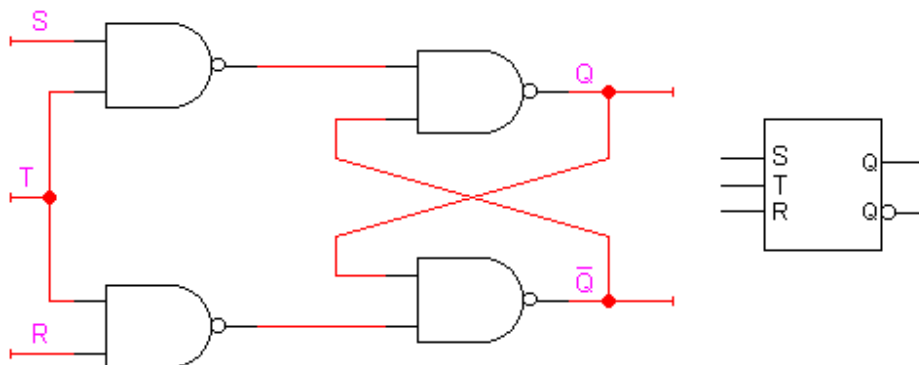
## 1.2. FLIP-FLOP RS GATILHADO

Os flip-flops da **Figura 1** e o da **Figura 2** mudam de estado assim que uma informação apropriada é recebida na entrada, portanto não há requerimentos precisos de tempo e a operação é dita **assíncrona**. Em outras aplicações, tais como operações aritméticas, os dados devem ser armazenados ou lidos em instantes bem determinados. Nesse caso, o sistema é chamado **síncrono** e as operações são realizadas sob o comando de pulsos de relógio.

Um flip-flop gatilhado implementado com portas NAND's é mostrado na **Figura 3**.

Entradas			Saídas	
$T$	$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	X	X	$Q_n$	$\bar{Q}_n$
1	0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

**Tabela III – Flip-flop RS gatilhado**  
A combinação em destaque é proibida



**Figura 3 – Flip-flop RS gatilhado e seu símbolo**

Com  $T = 0$  o flip-flop está em repouso e suas entradas S e R não têm ação sobre o flip-flop. A informação de entrada é transferida ao flip-flop somente quando  $T = 1$ . Quando T volta novamente a zero, a informação fica retida no flip-flop.

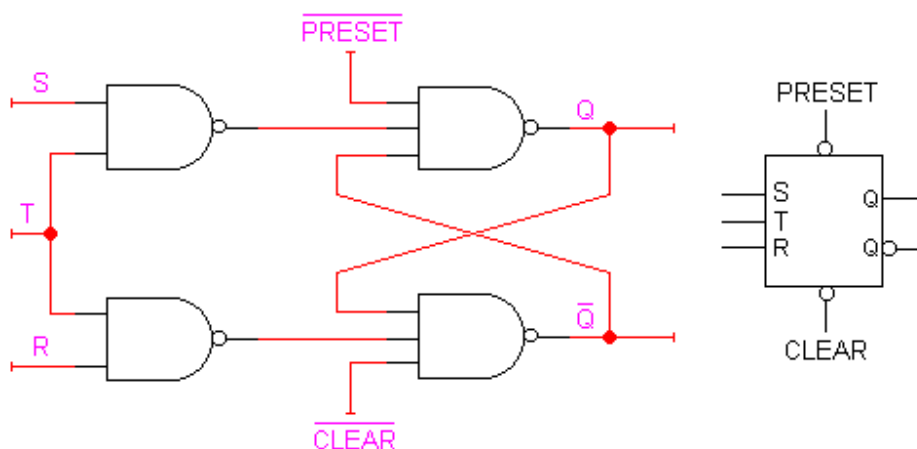


**Figura 4 – Forma de onda de T**

### 1.3. FLIP-FLOP RS GATILHADO COM PRESET E CLEAR

PRESET e CLEAR são entradas usadas para forçar a saída Q para o estado 1 (SET) ou 0 (RESET) respectivamente. Esta operação é independente de outras entradas e não devem ser acionadas simultaneamente.

Uma implementação de um flip-flop RS com  $\overline{PRESET}$  e  $\overline{CLEAR}$  usando portas NAND's é apresentada na **Figura 5**.

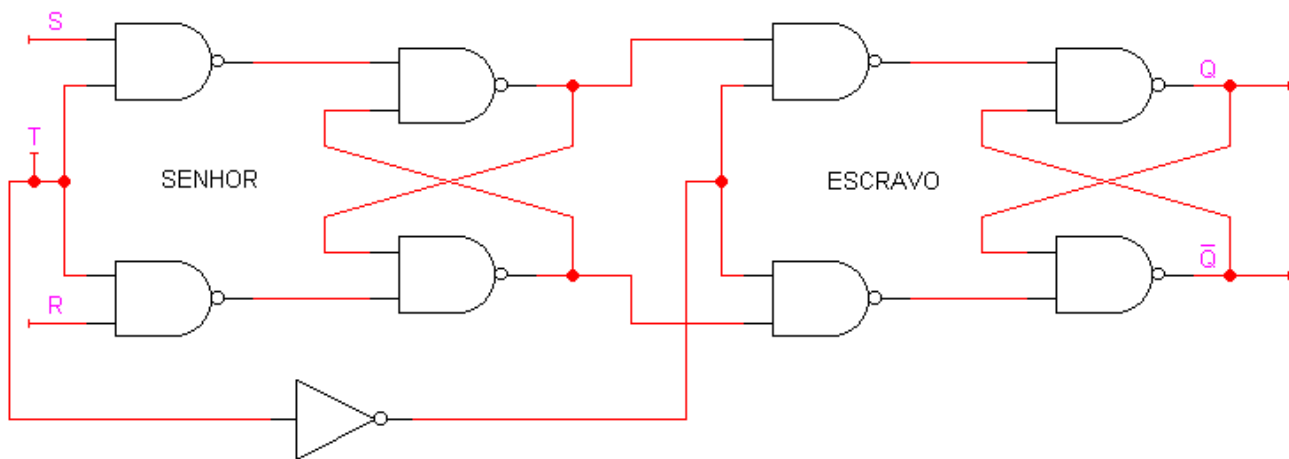


**Figura 5 – Flip-flop RS gatilhado com  $\overline{PRESET}$  e  $\overline{CLEAR}$**

Se  $\overline{PRESET} = 0$ , a saída Q será 1 e se  $\overline{CLEAR} = 0$ , a saída  $\overline{Q}$  será 1. Logo, para o correto funcionamento desse circuito, as entradas  $\overline{PRESET}$  e  $\overline{CLEAR}$  não devem ser acionadas simultaneamente e quando uma delas for acionada, ou T deve estar em 0 ou S e R devem estar em 0.

### 1.4. FLIP-FLOP RS SENHOR-ESCRAVO

A implementação de um flip-flop RS SENHOR-ESCRAVO com portas NAND's e a tabela da verdade correspondente são apresentados na **Figura 6** e **Tabela IV**, respectivamente.



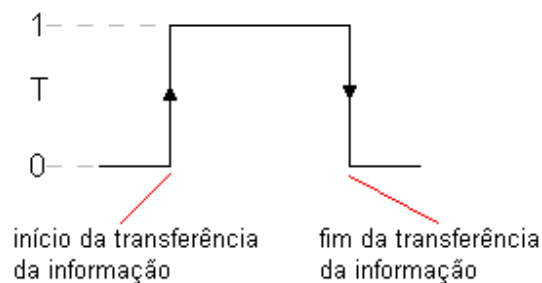
**Figura 6 – Implementação de um flip-flop RS SENHOR-ESCRAVO usando portas NAND's**

Entradas			Saídas	
$T$	$S$	$R$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	X	X	$Q_n$	$\overline{Q}_n$
$\downarrow$	0	0	$Q_n$	$\overline{Q}_n$
$\downarrow$	0	1	0	1
$\downarrow$	1	0	1	0
$\downarrow$	1	1	1	1

**Tabela IV – Flip-flop RS SENHOR-ESCRAVO**  
A combinação em destaque é proibida

Com  $T = 0$ , o flip-flop está em repouso. Nessa condição, o estado de saída  $Q\overline{Q}$  é igual ao estado de saída do flip-flop SENHOR, pois o terminal de gatilhamento do flip-flop ESCRAVO é igual a 1.

Quando  $T = 1$ , a informação de entrada é transferida ao flip-flop SENHOR. Entretanto, esta informação só será disponível na saída quando  $T$  voltar novamente a zero. Portanto, a transferência de informação de  $S$  e  $R$  à saída inicia-se com a subida do sinal  $T$  e se completa com a descida desse sinal. Cuidado deve ser tomado para que a informação na entrada não mude enquanto  $T$  for 1.



**Figura 7 – Forma de onda de T para o flip-flop RS SENHOR-ESCRAVO**

### 1.5. FLIP-FLOP JK SENHOR-ESCRAVO

O flip-flop JK é semelhante ao flip-flop RS gatilhado com uma diferença: para a entrada 11 haverá reversão de estado na saída com a aplicação de um pulso em T. Isso elimina o estado proibido encontrado no flip-flop RS.

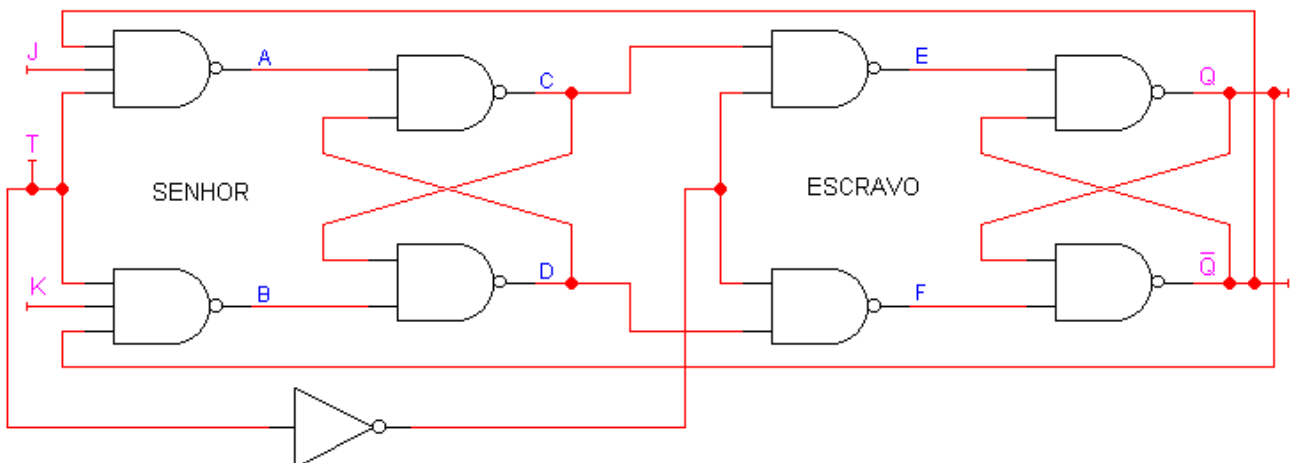
Além da configuração SENHOR-ESCRAVO existe também a configuração EDGE-TRIGGERED (gatilhado pela borda) em que o dado de entrada é transferido para a saída na transição positiva ou negativa do pulso do relógio.

Uma implementação do flip-flop JK SENHOR-ESCRAVO com portas NAND's é apresentada na **Figura 8**.

Esse flip-flop difere do RS SENHOR-ESCRAVO apenas pelas realimentações da saída para a entrada. Com isso, o estado de entrada 11 apresenta interesse prático, pois o comportamento da saída torna-se perfeitamente conhecido.

Entradas			Saídas	
$T$	$S$	$R$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	X	X	$Q_n$	$\overline{Q}_n$
1	0	0	$Q_n$	$\overline{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	$\overline{Q}_n$	$Q_n$

**Tabela V – Flip-flop JK SENHOR-ESCRAVO**



**Figura 8 – Flip-flop JK SENHOR-ESCRAVO**

Vamos analisar a situação onde as entradas JK estão em 11. Assim, consideremos  $T = 0$ ,  $J = K = 1$ ,  $Q = 0$  e  $\overline{Q} = 1$ . Quando T passar de 0 para 1, teremos a seguinte situação:

$$\begin{cases} A = 0 \\ B = 1 \end{cases}, \begin{cases} C = 1 \\ D = 0 \end{cases}, \begin{cases} E = 1 \\ F = 1 \end{cases}$$

Quando T voltar a zero, teremos:

$$\begin{cases} A = 1 \\ B = 1 \end{cases}, \begin{cases} C = 1 \\ D = 0 \end{cases}, \begin{cases} E = 0 \\ F = 1 \end{cases} \text{ e } \begin{cases} Q = 1 \\ \overline{Q} = 0 \end{cases}$$

Verificamos, portanto, que após um pulso completo de T, o estado final da saída passa de 01 para 10, conforme era esperado.

## 2. PARTE EXPERIMENTAL

- 2.1. Monte o circuito apresentado na **Figura 1**.
- 2.2. Elabore uma tabela da verdade para o circuito da **Figura 1** para verificar o que acontece na sequência 10, 11, 01, 11, 00, 11, aplicada nos terminais  $\overline{SET}$  e  $\overline{RESET}$ .
- 2.3. Monte o circuito da **Figura 3**.
- 2.4. Verifique a tabela da verdade para o circuito da **Figura 3**.
- 2.5. Explique o comportamento do circuito para  $T = 0$  e  $T = 1$ .
- 2.6. Monte o circuito da **Figura 5**. Verifique e explique o funcionamento dos terminais PRESET e CLEAR.
- 2.7. Monte o circuito da **Figura 6**.
- 2.8. Verifique a tabela da verdade para o circuito da **Figura 6**.
- 2.9. Monte o circuito da **Figura 8**.
- 2.10. Verifique a tabela da verdade para o circuito da **Figura 8**.
- 2.11. Aplique nas entradas JK níveis convenientes para que uma sequência de pulsos aplicada em T apareça na saída dividida por 2. Utilize o osciloscópio para verificação experimental e faça um diagrama no tempo.

## 3. SUMÁRIO

Vários tipos de flip-flops RS: assíncrono, síncrono, SENHOR-ESCRAVO e também o flip-flop JK SENHOR-ESCRAVO foram estudados. As funções dos terminais PRESET e CLEAR são apresentadas bem como são vistos detalhes de transferência de informação com o pulso do relógio T. Implementações desses flip-flops utilizando portas NAND's e NOR's são discutidas detalhadamente.

#### 4. EQUIPAMENTOS E MATERIAL

- Painel digital;
- *Protoboard*;
- Ponta lógica;
- Fios conectores;
- Osciloscópio;
- Portas NAND, NOR e NOT.

#### 5. TESTE DE AUTO-AVALIAÇÃO

1. Qual dos seguintes estados de entrada de um flip-flop RS gatilhado, implementado com portas NAND's produzirá uma saída indeterminada?
  - a) 00
  - b) 01
  - c) 10
  - d) 11
2. Um flip-flop RS síncrono difere de um flip-flop RS assíncrono no seguinte particular:
  - a) Muda de estado somente quando gatilhado.
  - b) O flip-flop síncrono não requer entrada RESET.
  - c) O flip-flop síncrono não possui saídas complementares.
  - d) O flip-flop assíncrono não possui saídas complementares.
3. Um flip-flop RS gatilhado:
  - a) Não pode ser usado em circuitos síncronos.
  - b) Não pode ser usado em circuitos assíncronos.
  - c) As opções **a** e **b** estão corretas.
  - d) NDA
4. Em um flip-flop JK um 1 na entrada K durante a transição do relógio resultará em uma saída de :
  - a)  $Q = 0$
  - b)  $Q = 1$
  - c)  $Q =$  complemento do valor anterior de  $Q$
  - d) Não é possível determinar.
5. A saída  $Q$  de um flip-flop JK é 1. As entradas J e K são levadas para 0 e é dado um pulso de relógio. Então o flip-flop:
  - a) Reverte de estado.
  - b)  $Q = 0$
  - c) Não muda de estado.
  - d) Fica em um estado proibido.



6. A saída Q de um flip-flop JK é 1. As entradas J e K são levadas para 1 e é dado um pulso de relógio. Então o flip-flop:
- a)  $Q = 0$
  - b) Não muda de estado.
  - c) Fica em um estado proibido.
  - d) Reverte de estado.
7. A saída Q de um flip-flop JK é 1, a entrada  $\overline{CLEAR}$  é 1 e a entrada  $\overline{PRESET}$  é 0. A entrada J é levada para 0, a entrada K é levada para 1 e é dado um pulso de relógio. Então o flip-flop:
- a)  $Q = 0$  porque  $J = 0$  e  $K = 1$ .
  - b)  $Q = 0$  porque  $\overline{CLEAR} = 1$ .
  - c) Não muda de estado porque  $\overline{CLEAR}$  e  $\overline{PRESET}$  não são 1.
  - d) Permanece com  $Q = 1$  porque  $\overline{PRESET} = 0$ .