



ອີເລັກໂຕຣນິກຂັ້ນສູງ

**Advanced Electronics**

ສອນໂດຍ: ອຈ. ປທ. ແກ້ວກັນລະຍາ ສີຫາລາດ

Tel & WhatsApp: 020 55607618

Email: [ke.sihalath.nuol.edu.la](mailto:ke.sihalath.nuol.edu.la)

# ບົດທີ 1

## ທຣາຊິດເຕີສະໜາມໄຟຟ້າ (Field Effect Transistor)

### ຈຸດປະສົງ

ເພື່ອສຶກສາການໄປແອັດທຣາຊິດເຕີສະໜາມໄຟຟ້າ

- ໂຄງສ້າງແລະການທຳງານຂອງ JFET
- ໂຄງສ້າງແລະການທຳງານຂອງ MOSFET
- ເສັ້ນຄຸນລັກສະນະຖ່າຍໂອນຂອງ JFET
- ເສັ້ນຄຸນລັກສະນະຖ່າຍໂອນຂອງ MOSFET

# 1. FET: Field Effect Transistor

- ເຟດເປັນອຸປະກອນສານເຄິ່ງຕົວອີກຊະນິດໜຶ່ງ ທີ່ມີປະໂຫຍດແລະນຳມາໃຊ້ງານກັນຫຼາຍ ສຳລັບທຣາຊິດເຕີ BJT ມີຂໍ້ເສຍຈະມີຄວາມກົດກັ້ນທາງເບື້ອງຂາເຂົ້າ (Input Impedance) ຄ່ອນຂ້າງຕ່ຳ ດັ່ງນັ້ນເມື່ອມາໃຊ້ໃນວົງຈອນທີ່ຕ້ອງການ Input Impedance ສູງໆ ຈະຕ້ອງອອກແບບວົງຈອນຄ່ອນຂ້າງຍາກ ແຕ່ ບັນຫານີ້ຈະໝົດໄປຖ້າຫາກໃຊ້ເຟດແທນທຣາຊິດເຕີເນື່ອງຈາກ ວ່າມີ Input Impedance ສູງ

# 1.1 FET: Field Effect Transistor

FET ຄືອຸປະກອນສານເຄິ່ງຕົວນຳທີ່ອາໄສສະໜາມໄຟຟ້າຄວບຄຸມການໄຫຼຂອງກະແສ FET ຈັດໃນຮູບແບບປະເພດ Unipolar Device ເພາະວ່າກະແສທີ່ໄຫຼໃນ Channel ເປັນການເຄື່ອນທີ່ຂອງພາຫະປະເພດດຽວ ໂດຍສະຫຼຸບ FET ຊະນິດຕ່າງໆ ແບ່ງໄດ້ດັ່ງນີ້:

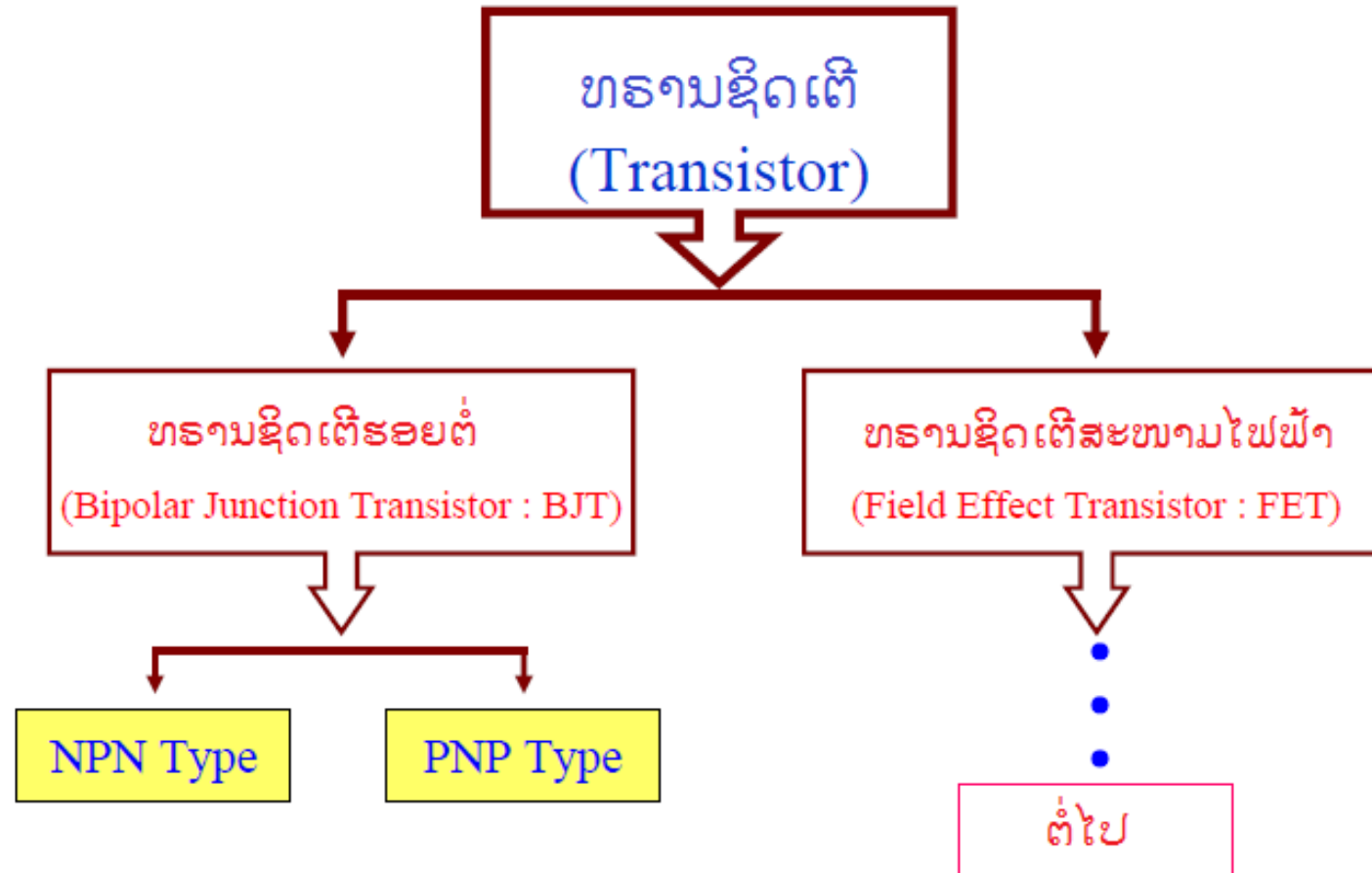
## 1. JFET (Junction Field Effect Transistor)

- N - Channel
- P - Channel

## 2. MOSFET (Metal Oxide Semiconductor FET)

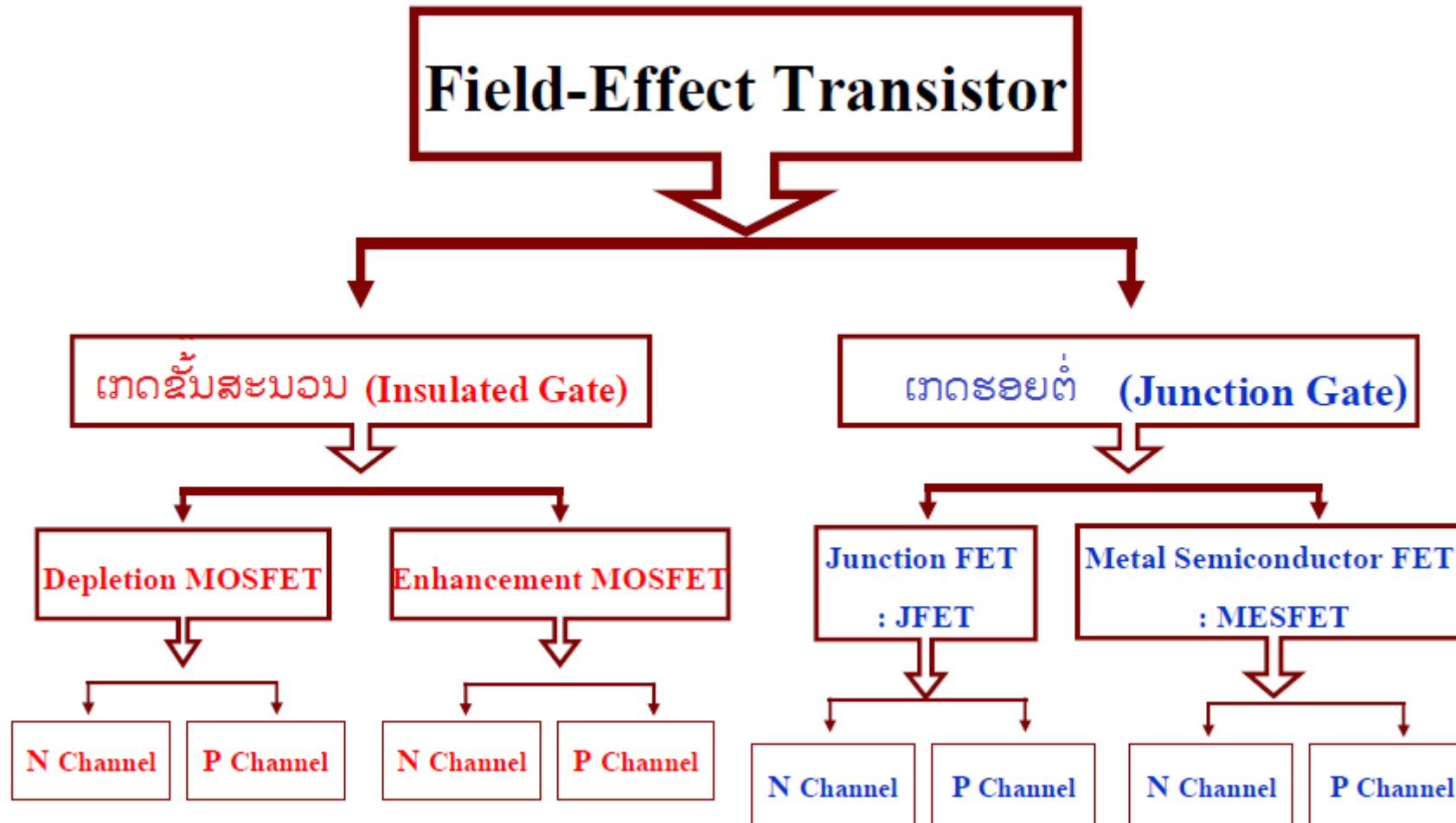
- D-MOSFET (Depletion Type)
  - N - Channel
  - P - Channel
- E-MOSFET (Enhancement Type)
  - N - Channel

## 1.1 FET: ຊະນິດຂອງທຣາຊິດເຕີສະໜາມໄຟຟ້າ



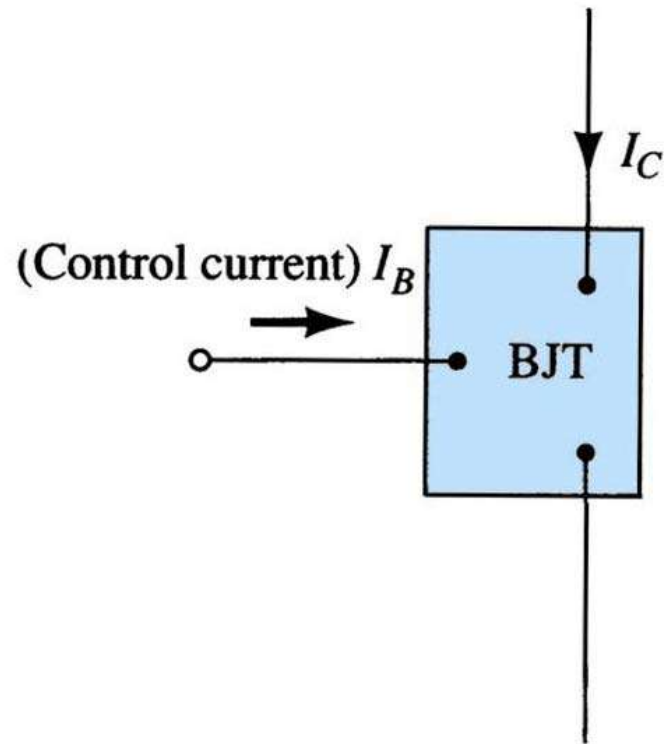
3

## 1.1 FET: ຊະນິດຂອງທຣາຊິດເຕີສະໜາມໄຟຟ້າ

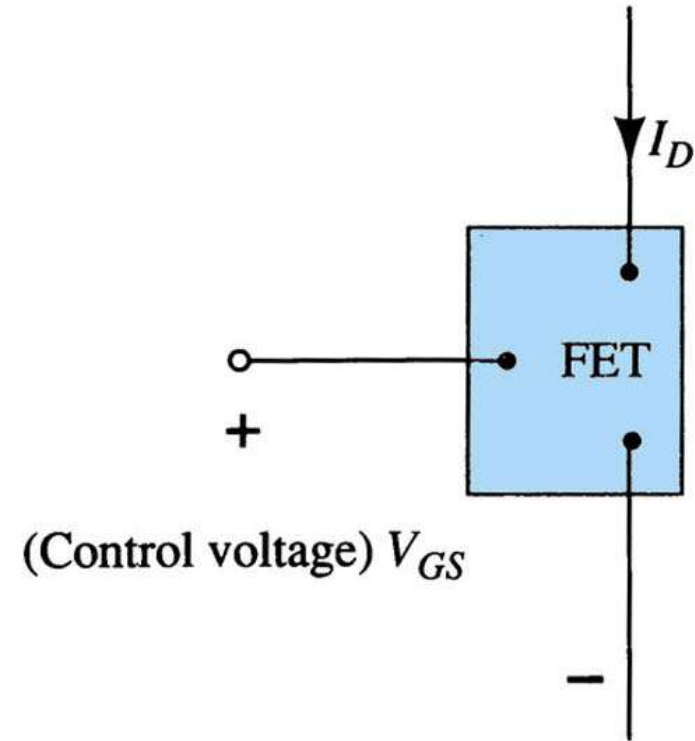


## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ

Current Control Device

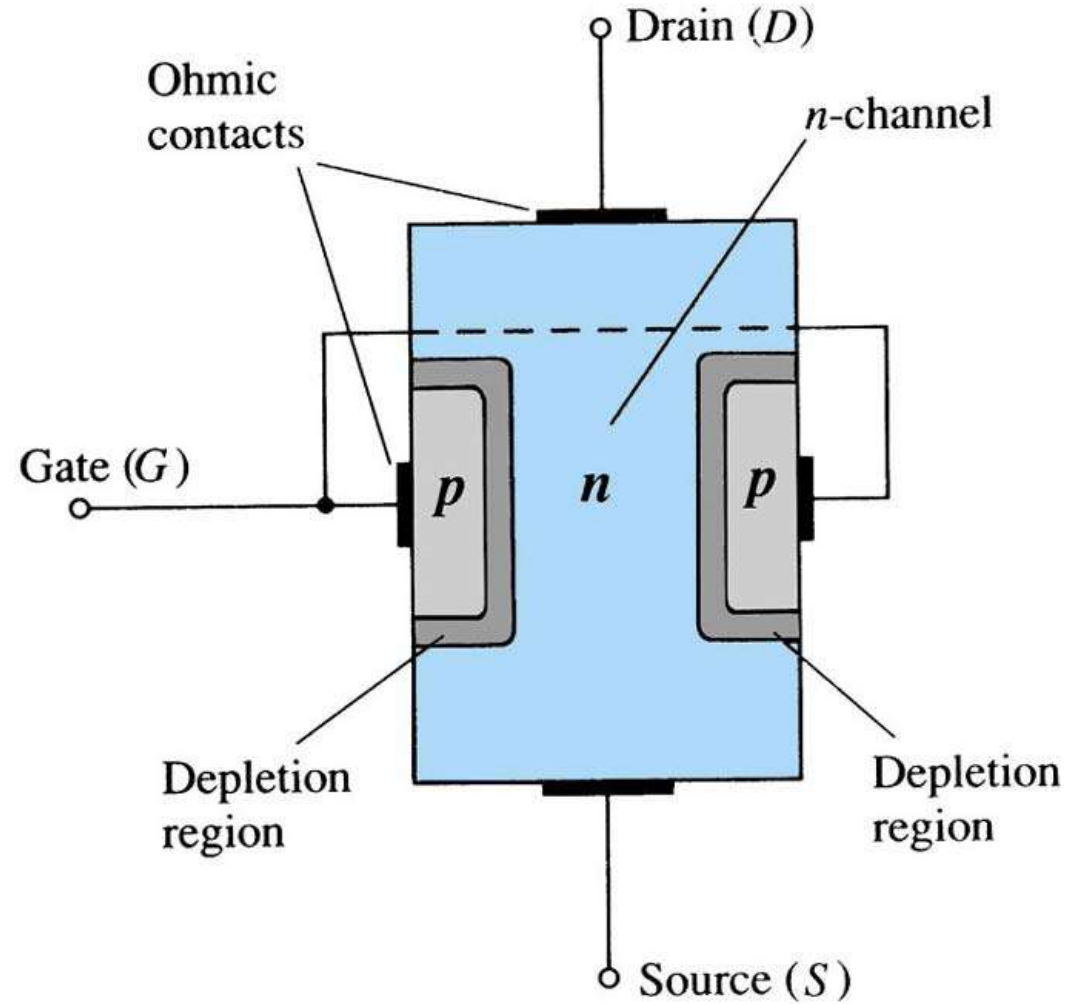


Voltage Control Device



## 1.2 FET: **JFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ມີຂາ 3 ຂາ: ຂາເດຣນ (Drain : D)  
ແລະ ຂາຊອດ (Source : S)  
ຕໍ່ທີ່ n-channel, ສ່ວນຂາເກດ (Gate : G)  
ຕໍ່ທີ່ p-type



**JFET n-channel**



## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ການທຳງານຂອງ JFET ຈະອະທິບາຍ 2 ກໍລະນີຄື:

ແຮງໄຟທີ່ຂາ **G** ແລະຂາ **S** ມີຄ່າເທົ່າສູນ ( $V_{GS}=0$ )

ແຮງໄຟທີ່ຂາ **G** ແລະຂາ **S** ມີຄ່າເປັນລົບ ( $V_{GS}$  ເປັນລົບ)

## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS} = 0$

ຈາກຮູບລຸ່ມນີ້ເມື່ອຈ່າຍແຮງໄຟ  $V_{DD}$  ຈາກແຫຼ່ງຈ່າຍ

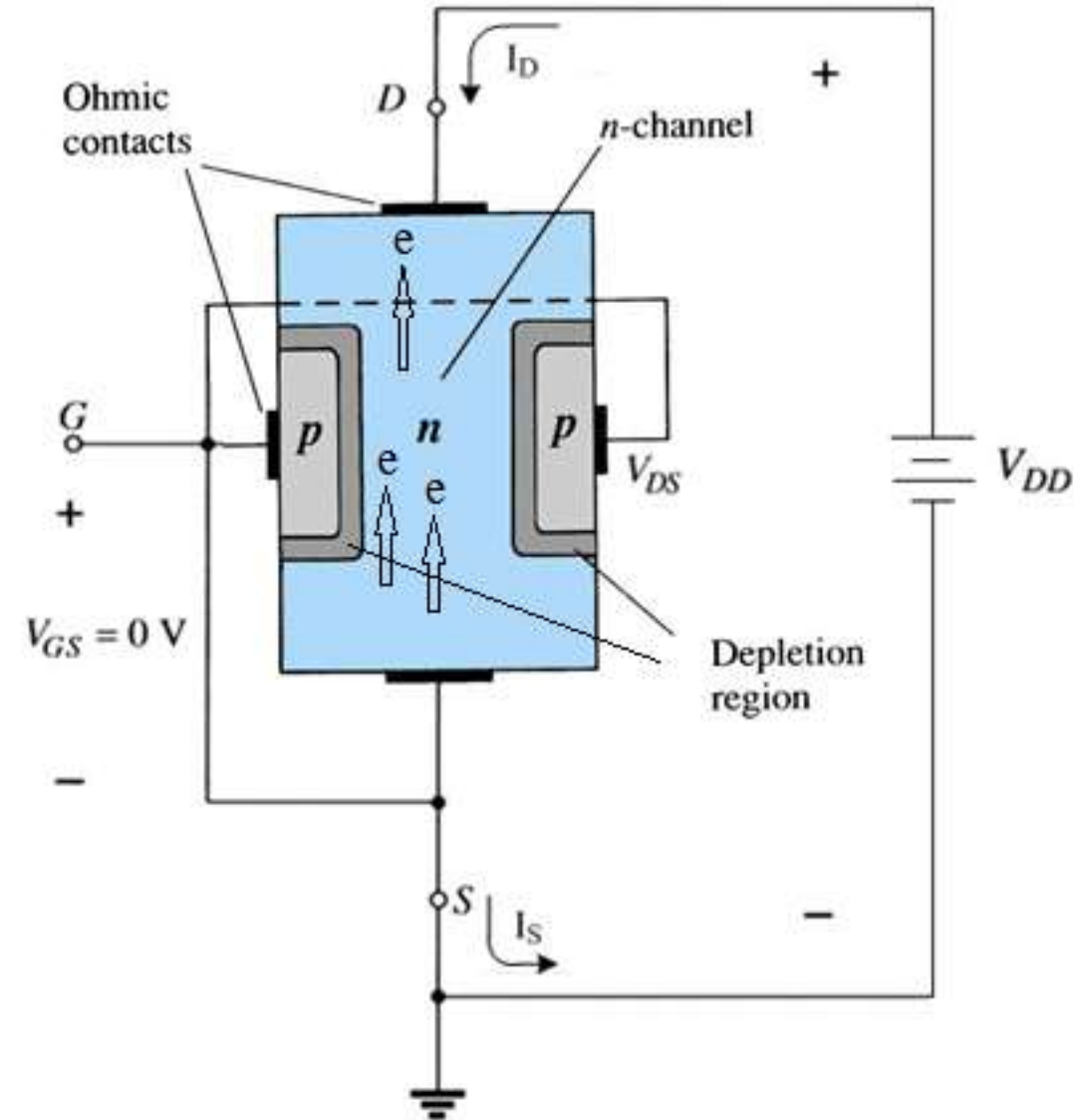
ແຮງໄຟໃຫ້ມີຄ່າເທົ່າກັບ  $V_{DS}$  ກຳນົດໃຫ້  $V_{GS} = 0$

ອີເລັກຕຣອນຈະດູດມາທີ່ຂາ  $D$  ເຮັດໃຫ້ກະແສ  $I_D$

ໄຫຼຜ່ານ *n-channel* ກ່າຍເປັນກະແສ  $I_S$  ດັ່ງນັ້ນ

$I_D = I_S$  ແລະມີຄວາມທາງຕົ້ນຂອງ *n-channel*

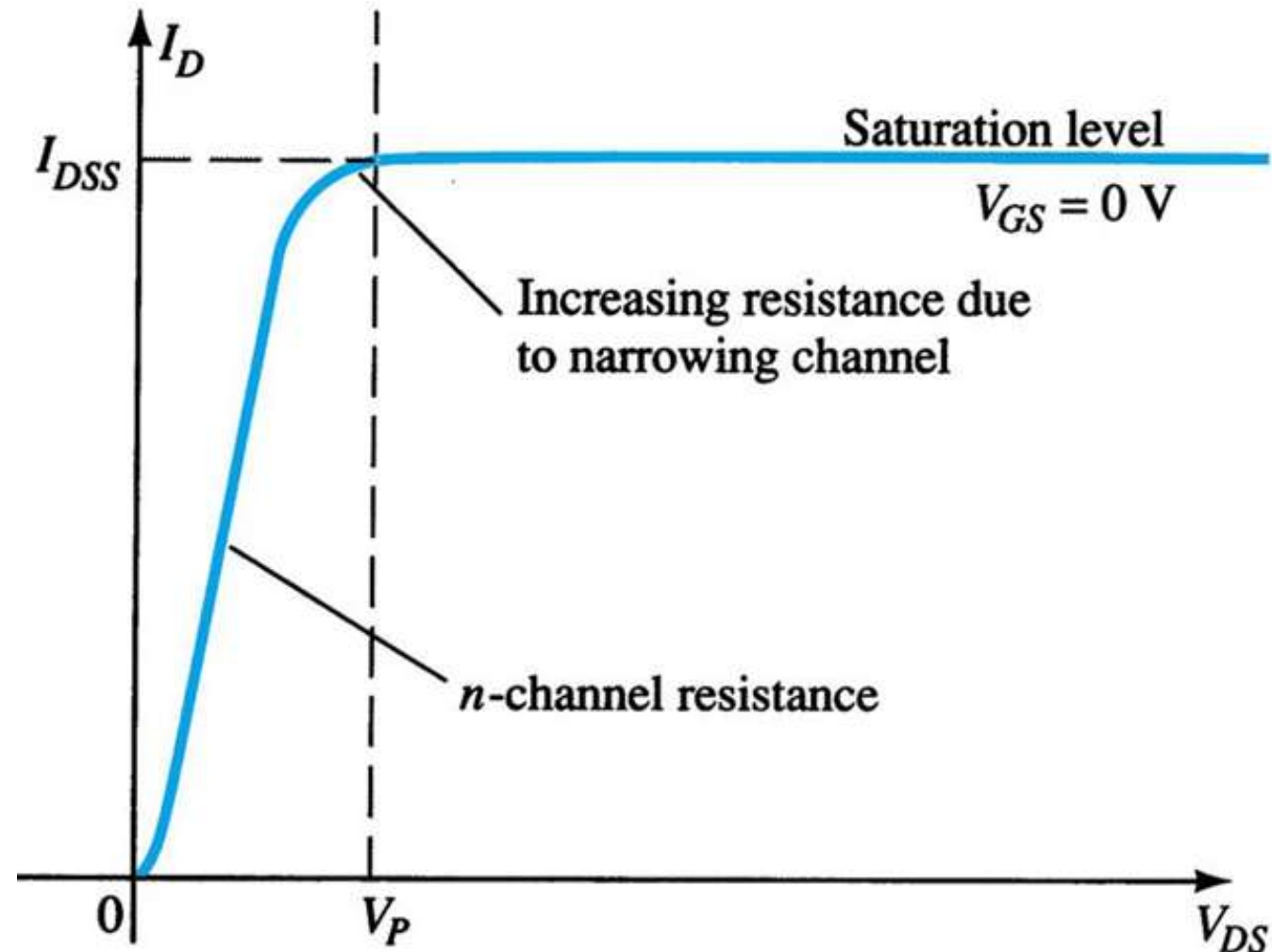
ເປັນຕົວຈຳກັດກະແສ



## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS} = 0$

ຈາກຮູບສະແດງຄວາມສຳພັນ  $I_D$  ກັບ  $V_{DS}$  ເມື່ອ  $V_{DS}$  ມີຄ່າເພີ່ມຂຶ້ນພຽງນ້ອຍດຽວ ( $V_{DS} < V_P$ );  $I_D$  ກໍ່ຈະເພີ່ມຂຶ້ນໃນລັກສະນະເຊິ່ງເສັ້ນ (ຕາມກົດຂອງໂອມ) ຂະນະທີ່  $V_{DS}$  ມີຄ່າຕໍ່າຄວາມຕ້ານທານຂອງ JFET ຈະມີຄ່າຄົງທີ່ (ເມື່ອ  $V_{DS}$  ເພີ່ມຂຶ້ນບໍລິເວນ Depletion ຈະຂະຫຍາຍຕົວຫຼາຍຂຶ້ນເຮັດໃຫ້ຄວາມກວ້າງຂອງ channel ລົດລົງຄວາມຕ້ານທານຈຶ່ງເພີ່ມຂຶ້ນ)

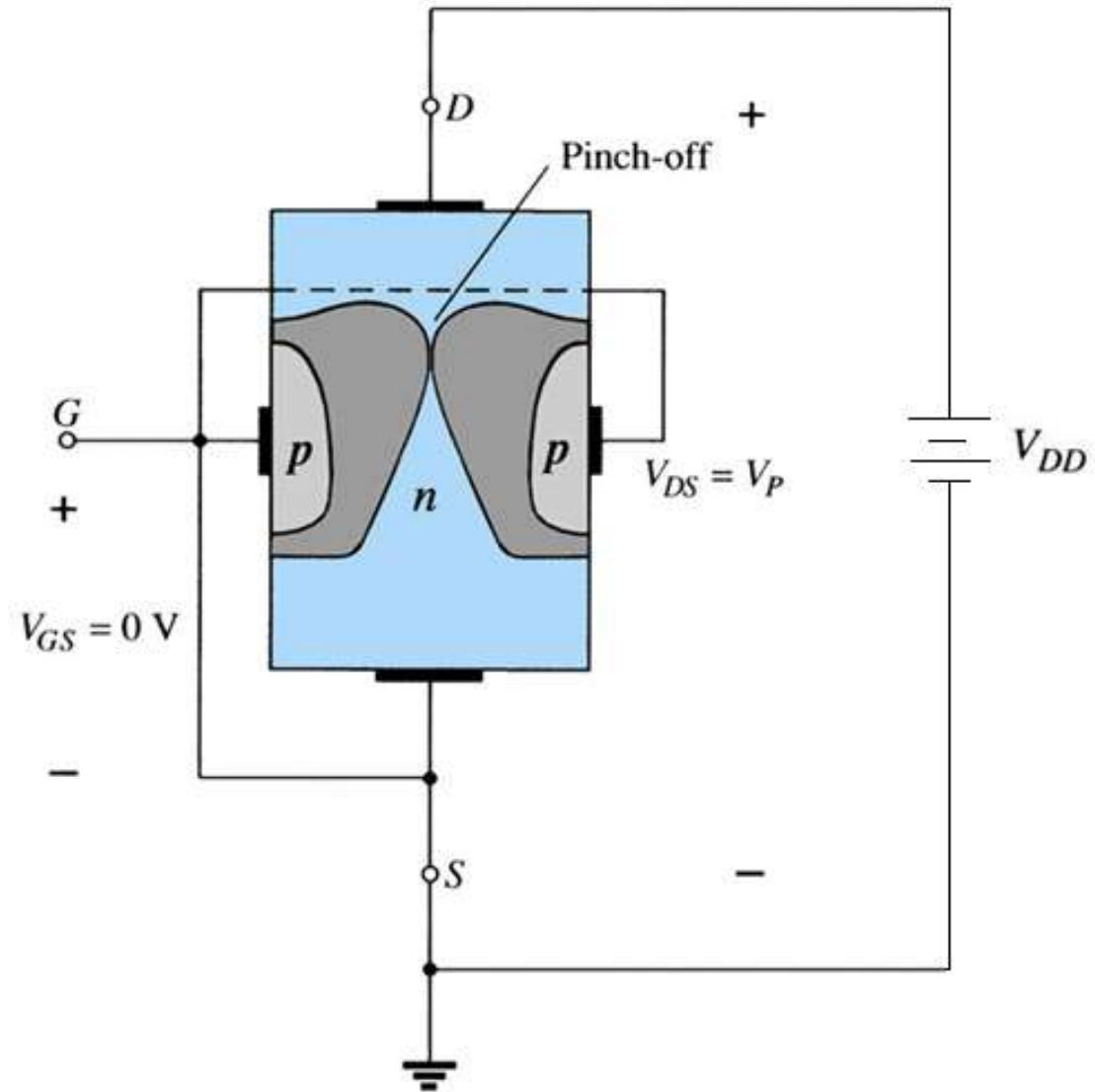


## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS} = 0$

ຈາກຮູບຂະນະ  $V_{DS}$  ເພີ່ມຂຶ້ນຈົນເຮັດໃຫ້ບໍລິເວນ  
ປອດພາຫະທັງ 2 ບໍລິເວນສຳພັດກັນເອີ້ນວ່າ:

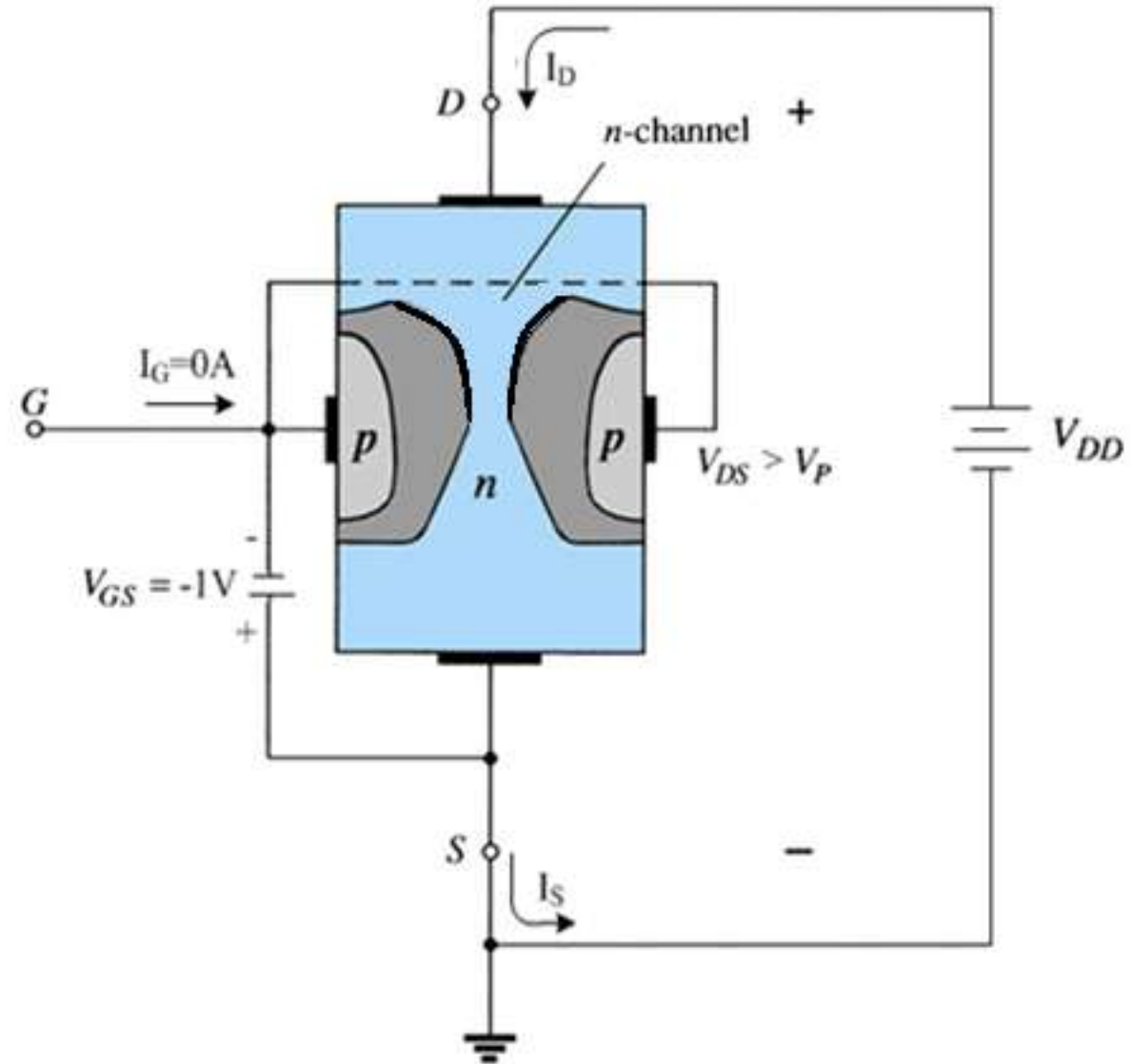
**Pinch-off**; ຄ່າ  $V_{DS}$  ທີ່ຈຸດນີ້ເອີ້ນວ່າ: ແຮງດັນ  
ປຣິນອັອບ (**Pinch-off Voltage:  $V_P$** ) ແລະເຮັດ  
ຈະໃຫ້  $I_D$  ເກີດການອີ່ມຕົວ ( $I_{DSS}$ ) ຫຼືສະພາບທີ່  
JFET ມີ  $I_D$  ສູງສຸດຂອງ JFET ຄ່າ  $I_{DSS}$  ເກີດ  
ຂຶ້ນ ເມື່ອ  $V_{GS} = 0$  ແລະ ( $V_{DS} \geq |V_P|$ )



## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS}$  ເປັນລົບ

$V_{GS}$  ເປັນແຮງໄຟທີ່ໃຊ້ຄວບຄຸມ JFET ມີຄວາມສຳພັນກັບ  $I_D$  ແລະ  $V_{DS}$  ຄືກັນກັບ  $I_B$  ທີ່ມີຄວາມສຳພັນກັບ  $I_C$  ແລະ  $V_{CE}$  ໃນຮານຊິດເຕີ BJT ສຳລັບ JFET *n*-channel ຈະໃຊ້ແຮງໄຟ  $V_{GS}$  ເປັນຕົວຄວບຄຸມທີ່ມີ ຄ່າເປັນລົບ ຈາກກຽບ ເມື່ອຈ່າຍໄຟ  $V_{GS} = -1V$  ຈະໃຫ້ຂາ  $G$  ໄດ້ຮັບໄບແອັດປິ້ນທີ່ບໍລິເວນປອດພາຫະຂະຫຍາຍຕົວຢູ່ແລ້ວ ຈຶ່ງເຮັດໃຫ້ລະດັບການອື່ມຕົວຂອງ  $I_D$  ( $I_{DSS}$ ) ແລະ  $V_{DS}$  ທີ່ຕົວມີຄ່າລຸດລົງ



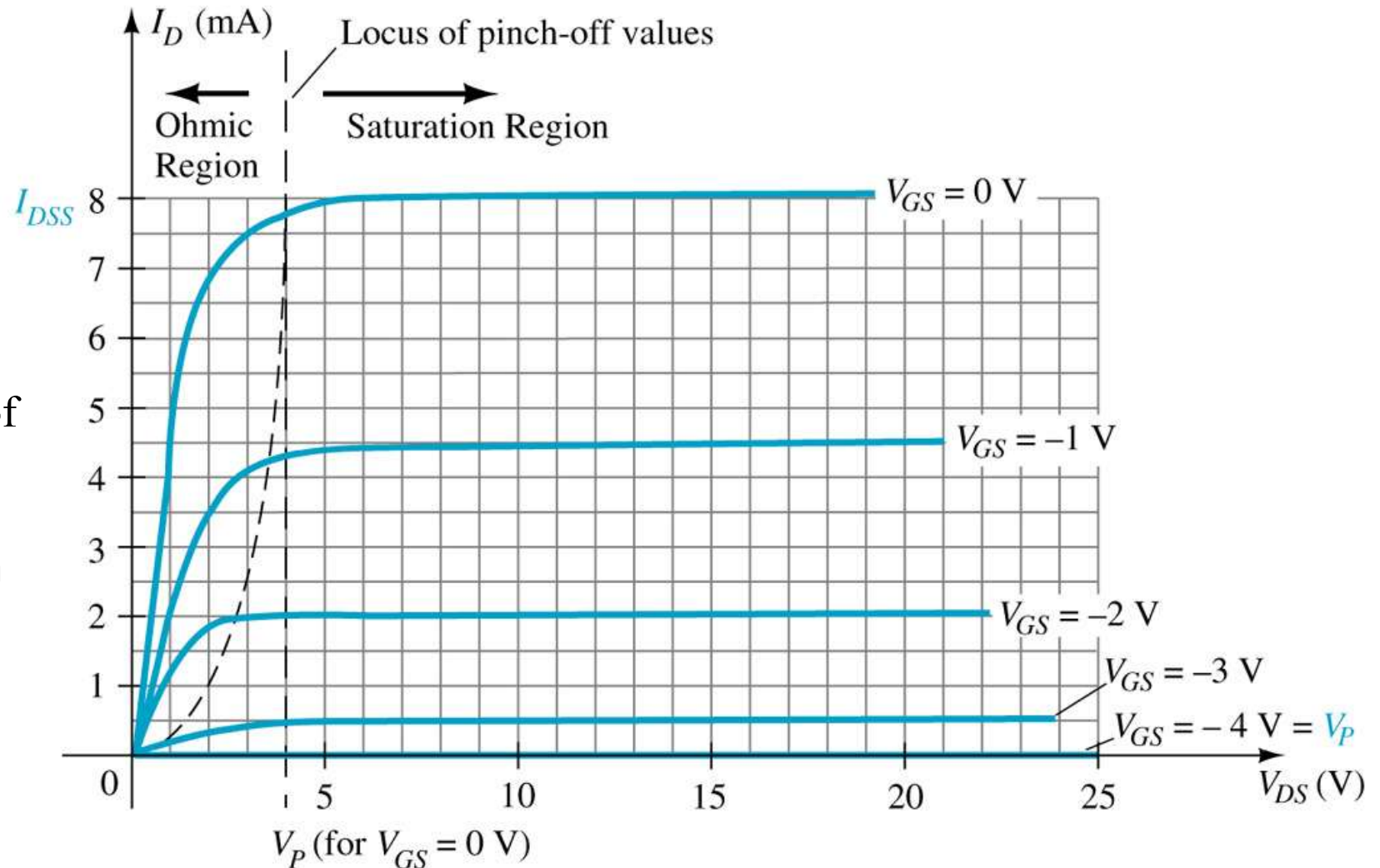
## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS}$  ເປັນລົບ

ຈາກຮູບຈະລຸດລົງເລື້ອຍໆ ເມື່ອ  $V_{GS}$  ເປັນລົບຫຼາຍຂຶ້ນຕາມລຳດັບ ດັ່ງນັ້ນຄ່າ  $V_P$  ຈຶ່ງລຸດລົງຕາມເສັ້ນ

ທາງໂລຄັດຂອງພິນອັອບ (Locus of Pinch off Values) ເຊິ່ງມີລັກສະນະ ເປັນ Parabola ຖ້າ  $V_{GS}$  ມີຄ່າເປັນ ລົບເພີ່ມຂຶ້ນເລື້ອຍໆ ຈົນກະທັ່ງ

$V_{GS} = V_P$  ຈະໄດ້  $I_D = 0 \text{ mA}$



## 1.2 FET: JFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n channel*

ຂະນະທີ່  $V_{GS}$  ເປັນລົບ

ບໍລິເວນຂວາມືຂອງ Locus Pinch off Values ຄືບໍລິເວນອື່ມຕົວ (Saturation Region) ຖ້ານຳໃຊ້ໃນວົງຈອນຂະຫຍາຍຈະໄດ້ສັນຍານອອກ ມາເປັນເຊິ່ງເສັ້ນ ຕ່າງກັບ ບໍລິເວນອື່ມຕົວຂອງ BJT ເຊິ່ງບໍ່ສາມາດນຳເອົາໄປ ໃຊ້ໃນການຂະຫຍາຍສັນຍານໄດ້ ເພາະ ຈະເຮັດໃຫ້ສັນຍານ Output ຜິດພ້ຽນ

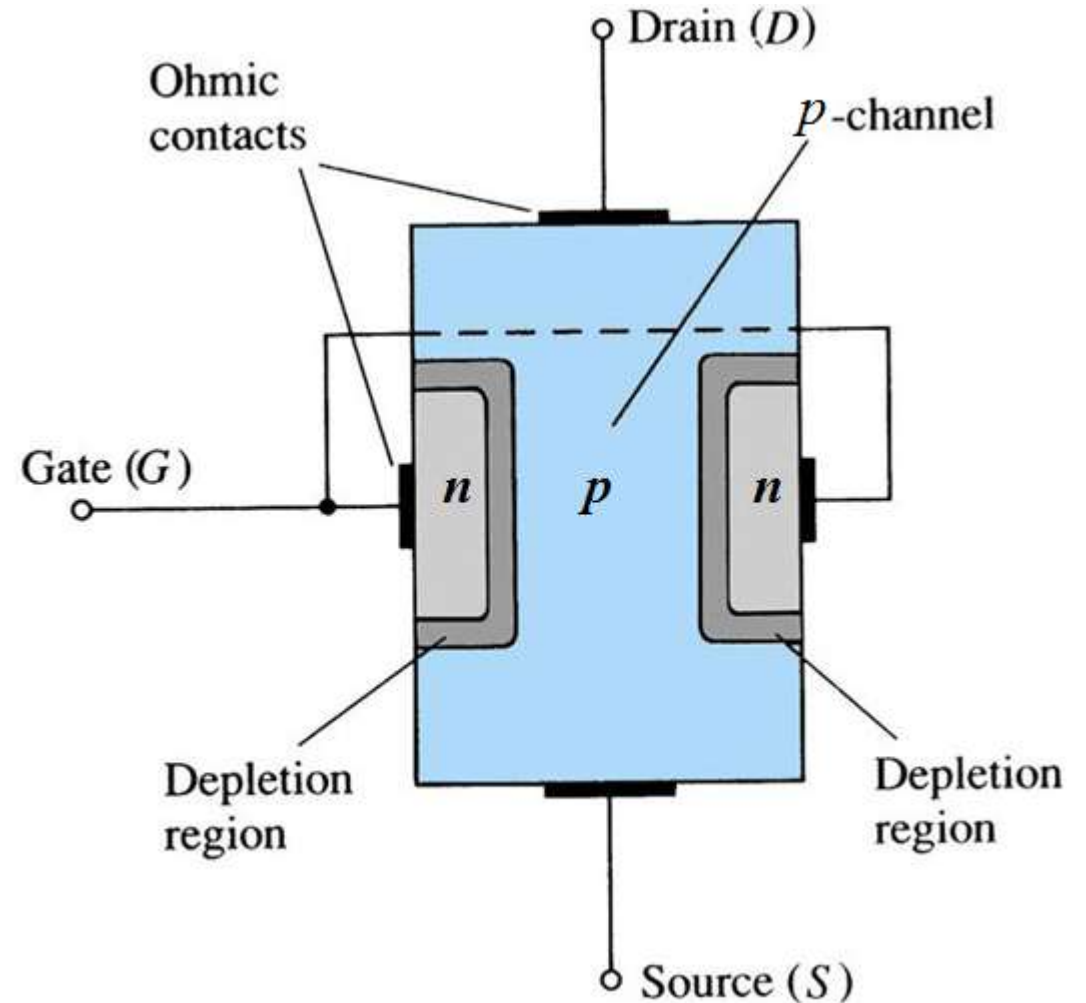
## 1.2 FET: **JFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *p channel*

JFET *p*-channel ມີໂຄງສ້າງຄືກັນ

ກັບ *n*-channel ແຕ່ມີການສະຫຼັບຕຳແໜ່ງ

ສານເຄື່ອງຕົວນຳຊະນິດ *n* ແລະສານເຄື່ອງຕົວ

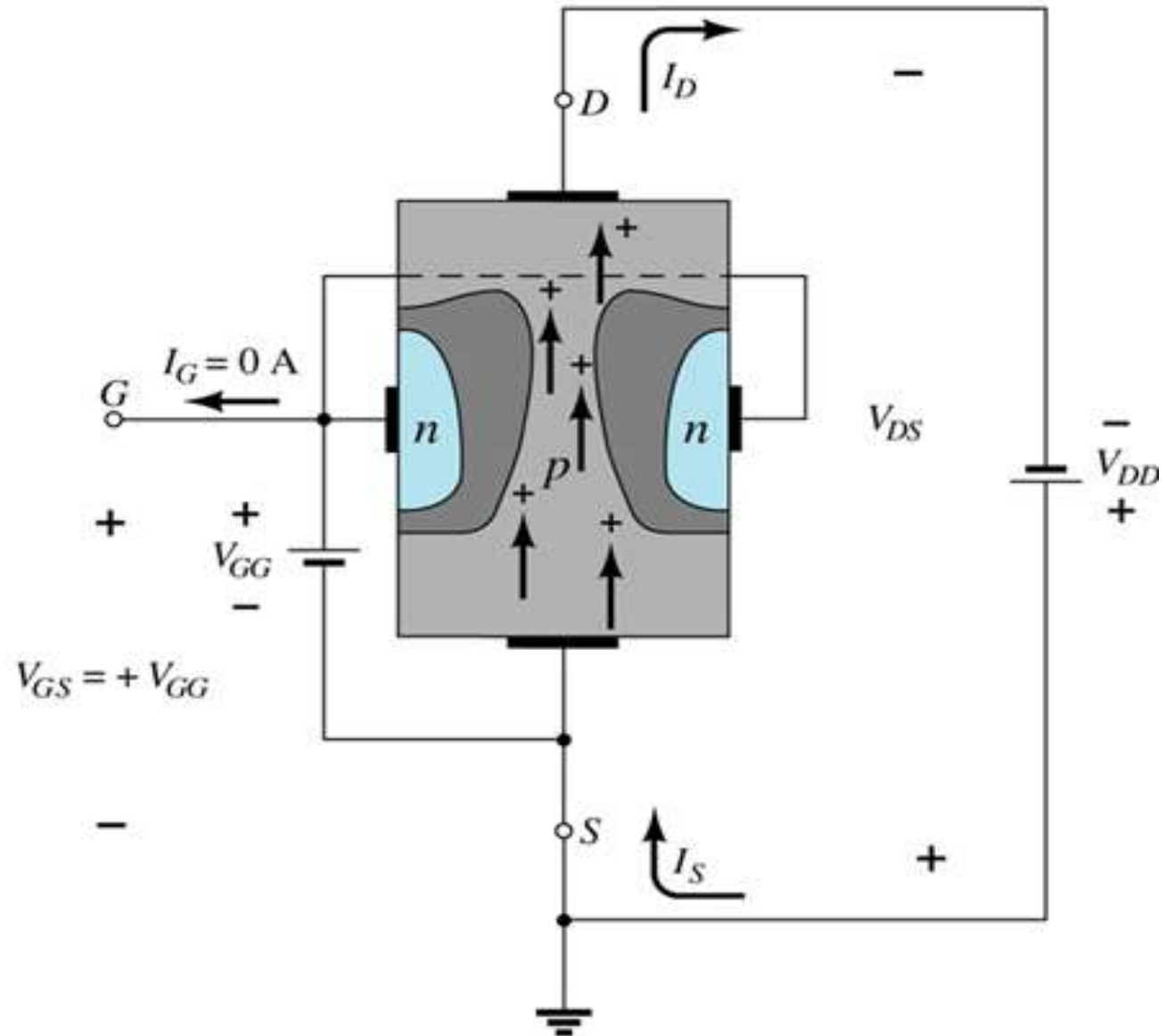
ນຳຊະນິດ *p* ດັ່ງຮູບ





## 1.2 FET: **JFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *p channel*

ຈາກຮູບ ຈະເຫັນວ່າກະແສທັງໝົດຈະມີ  
ທິດທາງປີ້ນກັນ ເນື່ອງຈາກບໍ່ກຳເນີດ  
ແຮງໄຟທີ່ຈ່າຍໃຫ້ມີຂົ້ວປີ້ນກັນເມື່ອ  
ແຮງໄຟ  $V_{GS}$  ທີ່ເປັນບວກມີຄ່າເພີ່ມ  
ຂຶ້ນເຮັດໃຫ້ບໍລິເວນປອດພາຫະ  
ຂະຫຍາຍຕົວ ນອກຈາກນີ້  $V_{DS}$   
ສະແດງຄ່າລົບ (ແທນຄ່າບວກໃນ  
ກໍລະນີ *n*-channel)



## 1.2 FET: **JFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: p channel

ດັ່ງຮູບ ເມື່ອ  $V_{DS}$  ມີຄ່າລົບເພີ່ມຂຶ້ນເລື້ອຍໆ ຈົນເຖິງລະດັບທີ່ເຮັດໃຫ້ເສັ້ນສະແດງສູງຂຶ້ນຢ່າງໄວວາ ໂດຍບໍ່ມີຂອບເຂດຈຳກັດອຸປະກອນດັ່ງກ່າວນັ້ນຈະເກີດຄວາມເສຍຫາຍ (Breakdown)

ຖ້າຫາກເຮົາຮູ້ຄ່າ  $V_{DS}$  ສູງສຸດ

ທີ່  $V_{DS(max)}$  ຂອງອຸປະກອນຕົວ ນັ້ນຈາກ

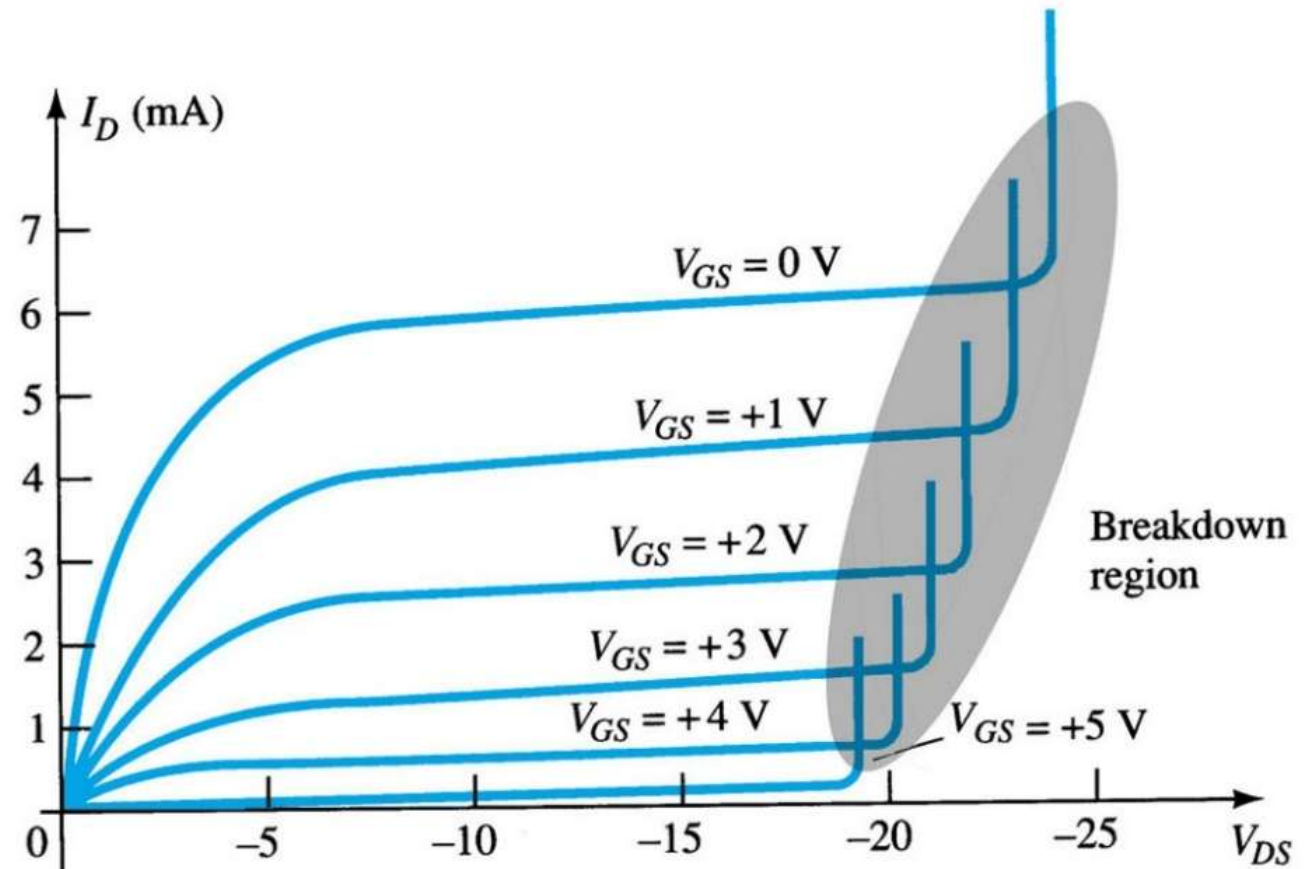
Specification sheet ເມື່ອເຮົານຳໃຊ້

ອຸປະກອນຕ້ອງກຳນົດຄ່າ  $V_{DS}$  ຕໍ່າກວ່າ

$V_{DS(max)}$  ສະເໝີ ກໍ່ສາມາດຫຼີກລ່ຽງການ

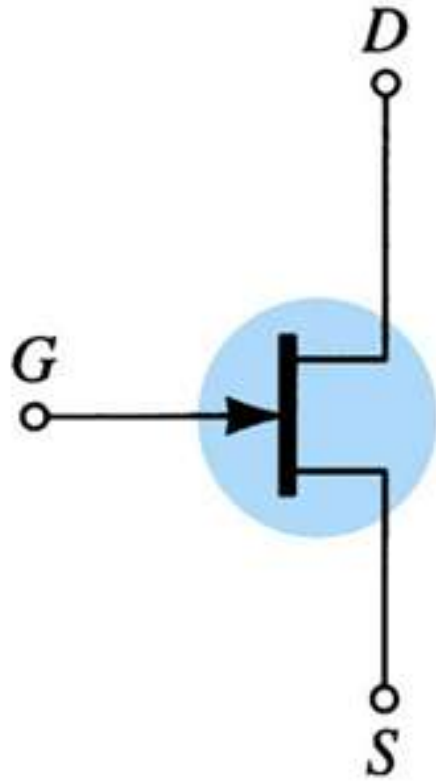
ໃຊ້ງານໃນບໍລິເວນພັງທະລາຍ

(Breakdown Region)

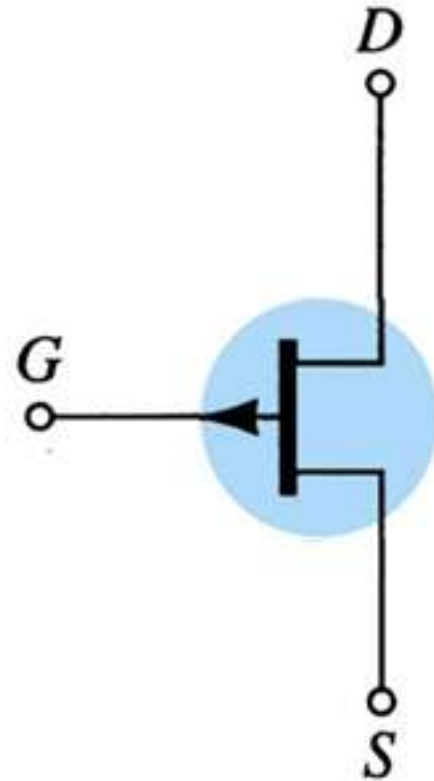


## 1.2 FET: **JFET**: ໂຄງສ້າງ ແລະ ການທຳງານ:

ສັນຍາລັກ



*n*-channel



*p*-channel

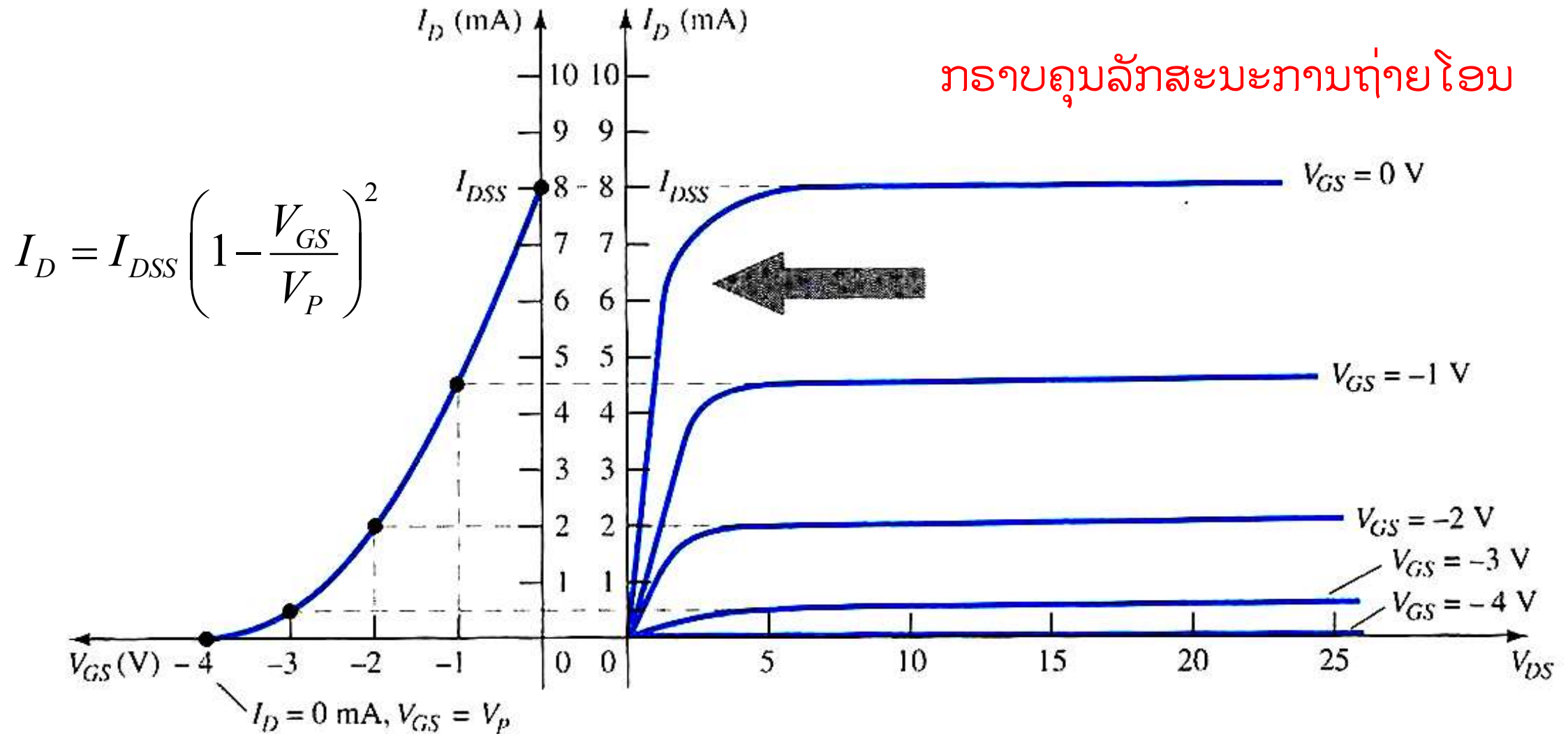
## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

- ການຖ່າຍໂອນເປັນຄຸນລັກສະນະຂອງ  $I_D$  ກັບ  $V_{GS}$  ຈາກຮູບຂ້າງລຸ່ມ ໂດຍເລີ່ມຕົ້ນຈາກການນຳຄ່າ ດັ່ງນີ້:
  - $V_{GS} = 0V$  ມັນຈະເຮັດໃຫ້  $I_D = I_{DSS}$
  - $V_{GS} = V_P$  ມັນຈະເຮັດໃຫ້  $I_D = 0mA$
- ການຂຽນເສັ້ນສະແດງການຖ່າຍໂອນເຮັດໄດ້ໂດຍການຂີດເສັ້ນທາງແນວນອນຈາກ  $V_{GS} = -1V ; -2V$  ແລະ  $-3V$  ໄປຍັງແກນ  $I_D$  ແລະ ຂະຫຍາຍໄປສູ່ອີກແກນອື່ນ

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

ກຣາຟຄຸນລັກສະນະການຖ່າຍໂອນ



## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

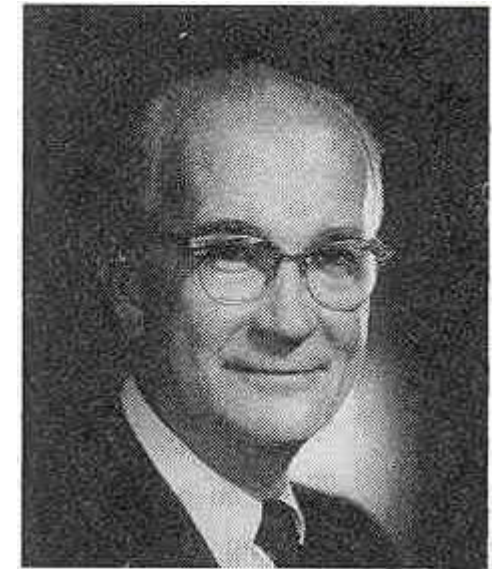
**ນຳເອົາສົມຜົນຊັອກເລ (Shockley) ມາໃຊ້**

ຄ່າ  $I_{DSS}$  ແລະ  $V_P$  ຈະກຳນົດຂອບເຂດຂອງເສັ້ນສະແດງຂອງແກນທັງສອງສ່ວນຂອງເສັ້ນສະແດງ ຫາໄດ້ໂດຍໃຊ້ສົມຜົນຂອງ Shockley

ເມື່ອແທນຄ່າ  $V_{GS} = 0$  ແທນຄ່າລົງໃນສົມຜົນລຸ່ມນີ້

$$\begin{aligned} I_D &= I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= I_{DSS} \left( 1 - \frac{0}{V_P} \right)^2 = I_{DSS} (1 - 0)^2 \end{aligned}$$

$$I_D = I_{DSS} \big|_{V_{GS}=0}$$



## 1.3 FET: JFET: ຄຸນລັກສະນະການຖ່າຍໂອນ

ນຳເອົາສົມຜົນຊັອກເລ່ (Shockley) ມາໃຊ້

ເມື່ອແທນຄ່າ  $V_{GS} = V_P$  ແທນຄ່າລົງໃນສົມຜົນລຸ່ມນີ້

$$\begin{aligned} I_D &= I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= I_{DSS} \left( 1 - \frac{V_P}{V_P} \right)^2 = I_{DSS} (1 - 1)^2 \\ I_D &= 0 \Big|_{V_{GS}=V_P} \end{aligned}$$

## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

**ນຳເອົາສົມຜົນຊັອກເລ່ (Shockley) ມາໃຊ້**

ສຳລັບ  $I_D$  ໃນຮູບເສັ້ນຖ່າຍໂອນ ຖ້າເຮົາແທນຄ່າ  $V_{GS} = -1V$

$$\begin{aligned} I_D &= I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= 8mA \left( 1 - \frac{-1V}{-4V} \right)^2 = 8mA \left( 1 - \frac{-1V}{-4V} \right)^2 = 8mA (0.75)^2 \\ I_D &= 4.5mA \end{aligned}$$



## 1.3 FET: JFET: ຄຸນລັກສະນະການຖ່າຍໂອນ

### ນຳເອົາສົມຜົນຊັອກເລ (Shockley) ມາໃຊ້

ໃນທາງປິ້ນກັນ ເມື່ອຕ້ອງການຫາຄ່າ  $V_{GS}$  ໃນຮູບຂອງ  $I_D$  ຈະໄດ້ສົມຜົນດັ່ງນີ້

$$V_{GS} = V_P \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$$

ຖ້າຕ້ອງການຫາຄ່າ  $\Rightarrow V_{GS} = V_P \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$

$V_{GS}$  ທີ່  $I_D = 4.5\text{mA}$

$$\begin{aligned} &= -4V \left( 1 - \sqrt{\frac{4.5\text{mA}}{8\text{mA}}} \right)^2 \\ &= -4V \left( 1 - \sqrt{0.5625} \right) = -4V(1 - 0.75) \\ &= -1V \end{aligned}$$

## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

### ໃຊ້ວິທີລັດ

ເນື່ອງຈາກການຂຽນເສັ້ນຖ່າຍໂອນເລື້ອຍໆ ເຮົາຈຶ່ງຄວນຮູ້ວິທີລັດ ເພື່ອງ່າຍຕໍ່ການຂຽນເສັ້ນຖ່າຍໂອນແລະມີຂັ້ນຕອນດັ່ງນີ້:

1. ກຳນົດ  $V_{GS} = 0V$ ,  $V_{GS} = V_P$
2. ກຳນົດ  $V_{GS} = 1/2V_P$
3. ກຳນົດ  $I_D = I_{DSS} / 2$

## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

ໃຊ້ວິທີລັດ

ເມື່ອກຳນົດ  $V_{GS} = 0V$  ຈະໄດ້

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

$I_D = I_{DSS}$  ແລະ ເມື່ອກຳນົດ

$V_{GS} = V_P$  ຈະໄດ້  $I_D = 0$

$$= I_{DSS} \left( 1 - \frac{V_P / 2}{V_P} \right)^2 = I_{DSS} \left( 1 - \frac{1}{2} \right)^2 = I_{DSS} (0.5)^2$$

ເມື່ອກຳນົດ  $V_{GS} = 1/2 V_P$

$$I_D = I_{DSS} (0.25)$$

ກໍຈະໄດ້

$$I_D = \frac{I_{DSS}}{4} \bigg|_{V_{GS}=V_P/2}$$

## 1.3 FET: **JFET**: ຄຸນລັກສະນະການຖ່າຍໂອນ

ໃຊ້ວິທີລັດ

ເມື່ອກຳນົດ  $I_D = I_{DSS} / 2$  ແລ້ວແທນລົງໃນສົມຜົນກໍ່ຈະໄດ້

$$\begin{aligned} V_{GS} &= V_P \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \\ &= V_P \left( 1 - \sqrt{\frac{I_{DSS} / 2}{I_{DSS}}} \right) = V_P \left( 1 - \frac{1}{\sqrt{2}} \right) = V_P (1 - \sqrt{0.5}) \end{aligned}$$

$$V_{GS} \cong 0.3V_P \big|_{I_D = I_{DSS} / 2}$$

## 1.4 FET: **MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ

MOSFET (Metal Oxide Semiconductor FET) ແບ່ງອອກເປັນ 2 ປະເພດ ຄື:

- D-MOSFET (Depletion Type)
  - $n$  - Channel
  - $p$  – Channel
- E-MOSFET(Enhancement Type)
  - $n$  – Channel
  - $p$  – Channel

## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

ໂຄງສ້າງຂອງ D-MOSFET n-channel

ມີຂາ **Drain (D)** ແລະຂາ **Source (S)**

ຈະຕໍ່ກັບສານ **n** ໂດຍທີ່ສານ **n** ຖືກຕໍ່ເຖິງ

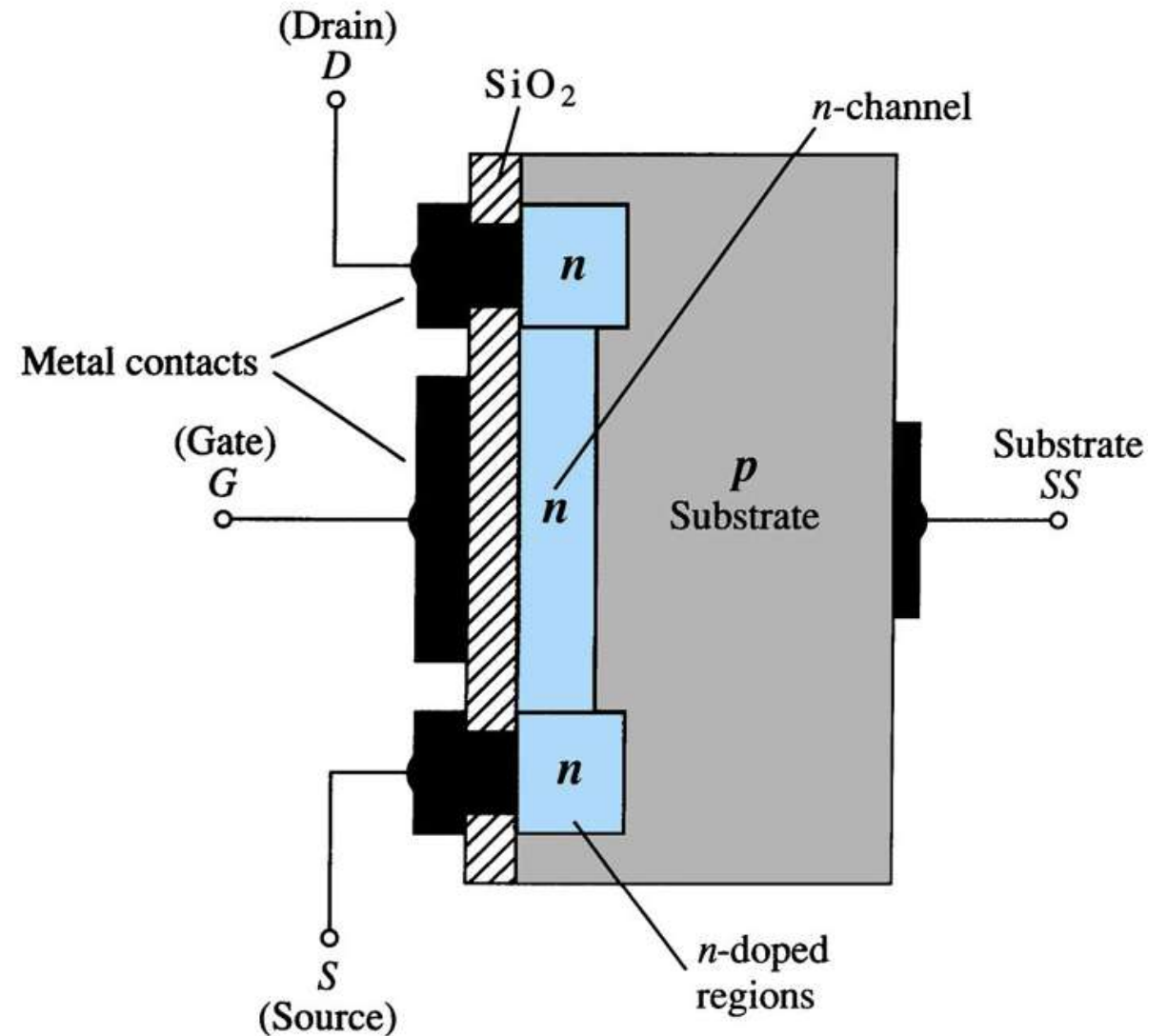
ກັນໂດຍ n-channel ໂດຍທີ່ n-channel

ຖືກຕໍ່ກັບຂາ **Gate (G)** ໂດຍມີ **SiO<sub>2</sub>**

(ຊີລິຄອນໄດອັອກໄຊ) ບາງໆ ຂັ້ນສານ **n**

ຈະຢູ່ເທິງສານ **p-substrate** ເຊິ່ງສາມາດຕໍ່

ຂາໄດ້ອີກໜຶ່ງຂາ ເອີ້ນວ່າ: **SS**.



## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

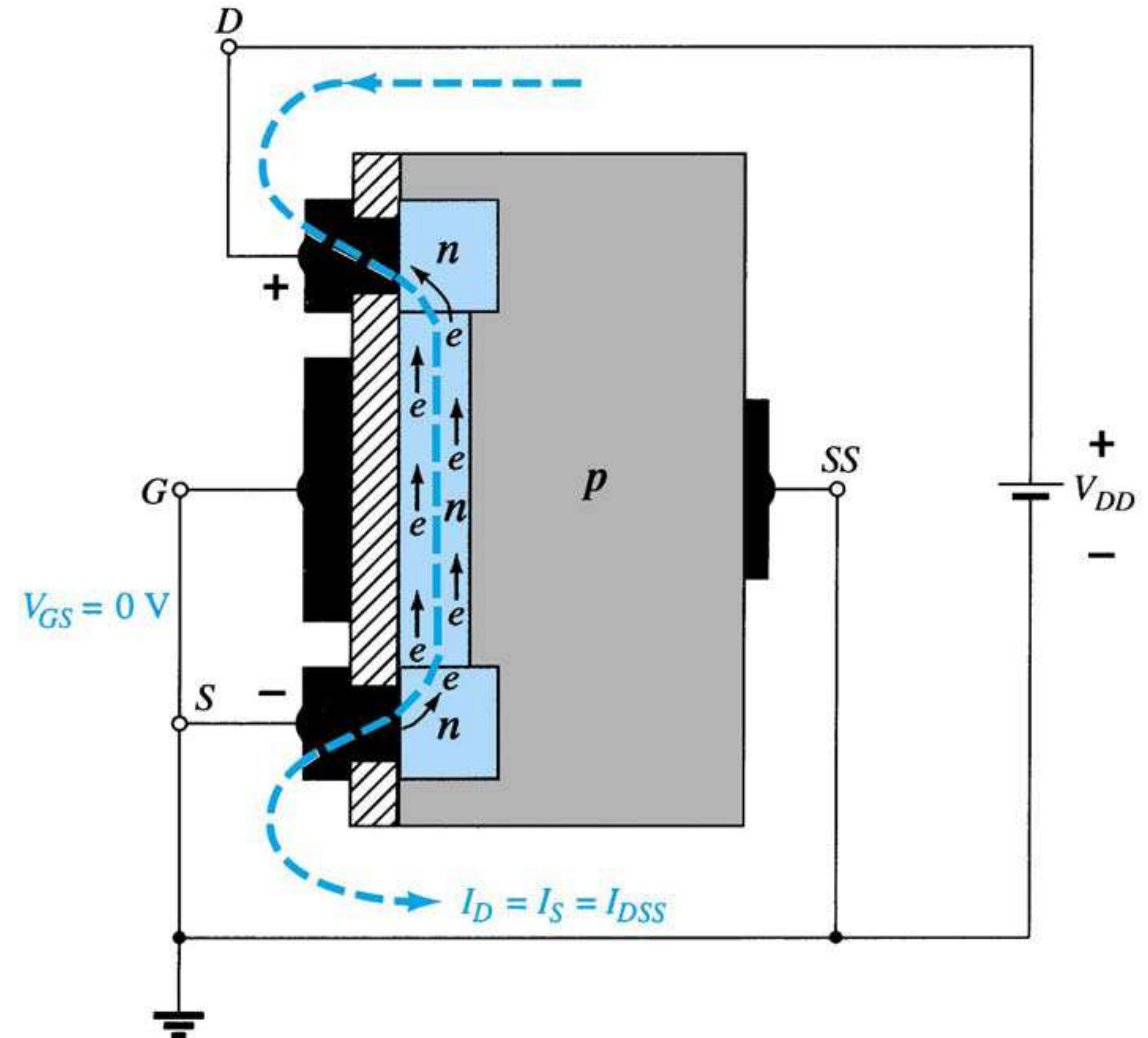
ການທຳງານກຳນົດໃຫ້  $V_{GS} = 0$  ໃນຈາກຮູບ

ຈ່າຍໄຟ  $V_{DD}$  ທີ່ຂາ S ແລະຂາ G ຈະເຮັດ

ໃຫ້ ຂາ D ດຶງດູດອີເລັກຕຣອນອົດສະຫຼະຜ່ານ

n-channel ແລະເຮັດໃຫ້ກະແສ  $I_D = I_S = I_{DSS}$

ໄຫຼຜ່ານ n-channel ໄດ້



## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

**D-MOSFET n-channel** ສາມາດທຳງານໄດ້ 2 modes:

ຖ້າຈ່າຍແຮງໄຟລົບໃຫ້ D-MOSFET ແບບ n-channel ຈະທຳງານໃນໂມດ

**Depletion** ແຕ່ຖ້າຈ່າຍແຮງໄຟບວກໃຫ້ມັນຈະທຳງານໃນໂມດ **Enhancement** ສ່ວນ D-MOSFET ແບບ p-channel ຈະທຳງານຄ້າຍຄືກັນເມື່ອໄດ້ຮັບແຮງໄຟທີ່ມີຂາກົງກັນຂ້າມກັບ n-channel

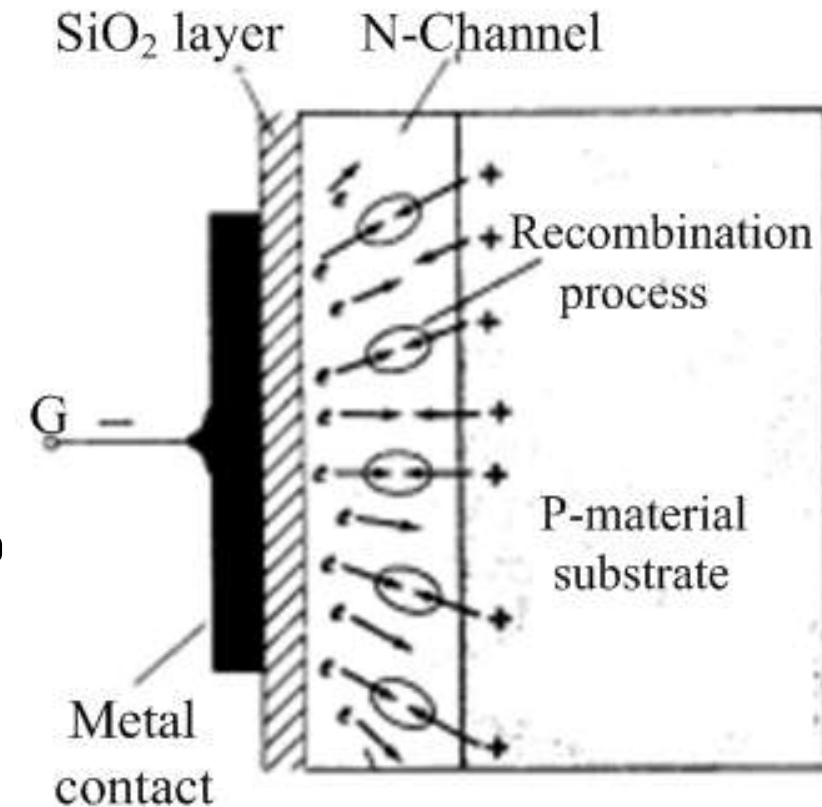
ມອສເຟດປະເພດ Enhancement ຫຼື E-MOSFET ຈະມີໂຄງ ສ້າງບາງຢ່າງທີ່ຄ້າຍຄືກັບ D-MOSFET ແຕ່ຈະທຳງານສະເພາະໂມດ Enhancement ເທົ່ານັ້ນ



# 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

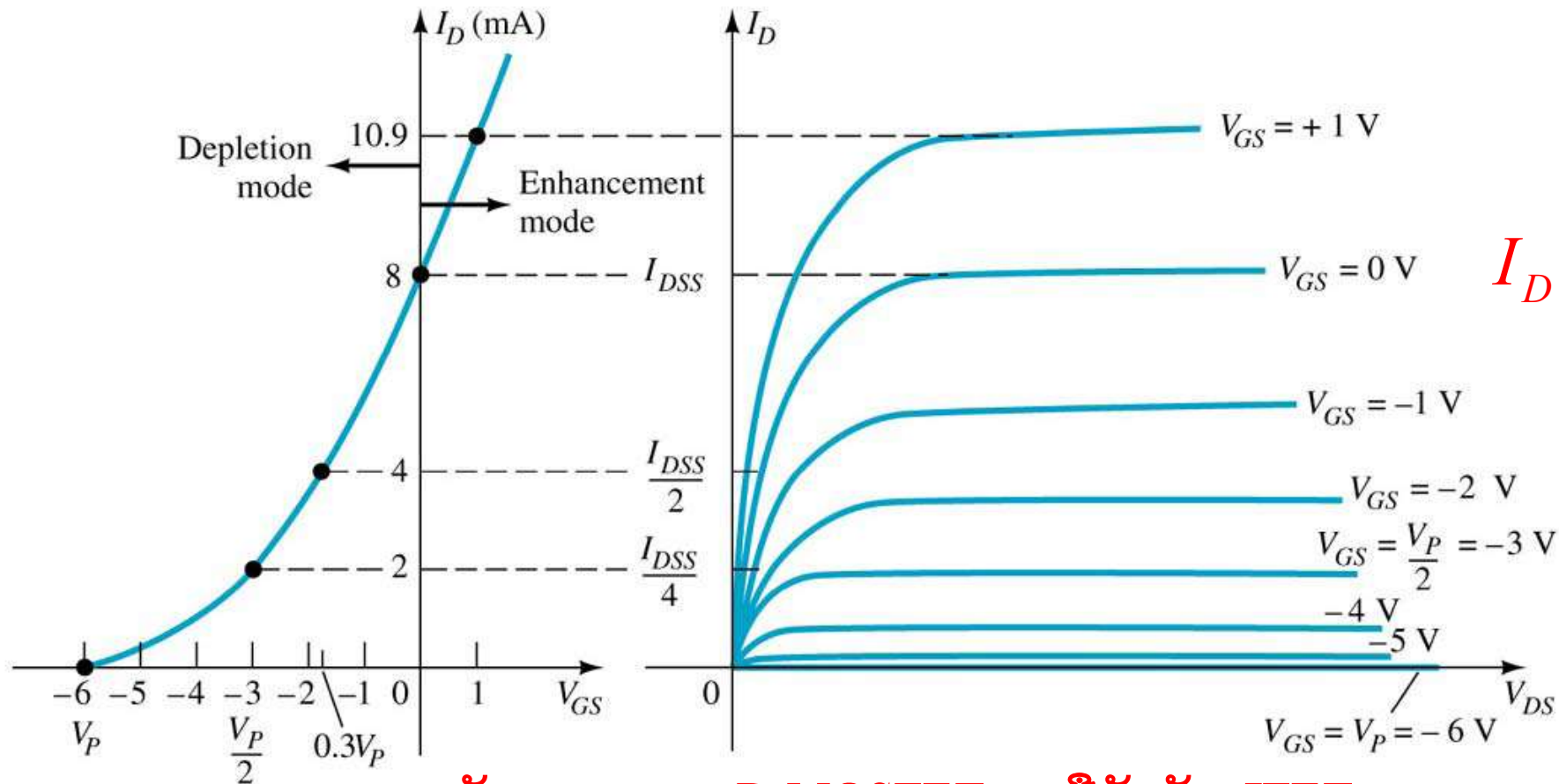
## **D-MOSFET n-channel ທຳງານໃນ modes : Depletion**

ຈາກຮູບຖ້ຳຈ່າຍ  $V_{GS}$  ມີຄ່າເປັນລົບ ( $-1V$ ) ຈ່າຍທີ່ຂາ G ຈະຢູ່ອີເລັກຕຣອນອິດສະຫຼະເຄື່ອນໄປຍັງສານ P ແລະຈະດຶງໂຮນຈາກສານ p ເຮັດໃຫ້ອີເລັກຕຣອນແລະໂຮນລວມຕົວກັນໃໝ່ (Recombination Process) ຈຶ່ງເກີດການລຸດຈຳນວນອີເລັກຕຣອນອິດສະຫຼະໃນ n-channel ທີ່ມີໄວ້ສຳລັບການນຳກະແສ ເມື່ອ  $V_{GS}$  ມີຄ່າເປັນລົບຫຼາຍເທົ່າໃດກໍຈະເຮັດການລວມຕົວກັນໃໝ່ ຫຼາຍຂຶ້ນແລະອີເລັກຕຣອນອິດສະຫຼະໃນ n-channel ກໍຈະມີຈຳນວນລຸດລົງ ຈຶ່ງເວົ້າໄດ້ວ່າ: ຖ້າ  $V_{GS}$  ມີຄ່າລົບຫຼາຍຂຶ້ນ ແລະ  $I_D$  ຈະມີຄ່ານ້ອຍລົງ ເຮົາເອີ້ນວ່າ: **ການທຳງານໃນໂມດ Depletion**



# 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: n-channel

**D-MOSFET n-channel** ທຳງານໃນ modes : **Depletion**



$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

**ຄຸນລັກສະນະຂອງ D-MOSFET ຈະຄືກັນກັບ JFET**

ເມື່ອ  $V_{GS} = 0$  ຈະໄດ້  $I_D = I_{DSS}$  ແຕ່ຖ້າ  $V_{GS} < 0$  ຈະໄດ້  $I_D < I_{DSS}$  ສົມຜົນຂອງກະແສ  $I_D$  ຄືກັນກະແສ  $I_D$  ຂອງ JFET

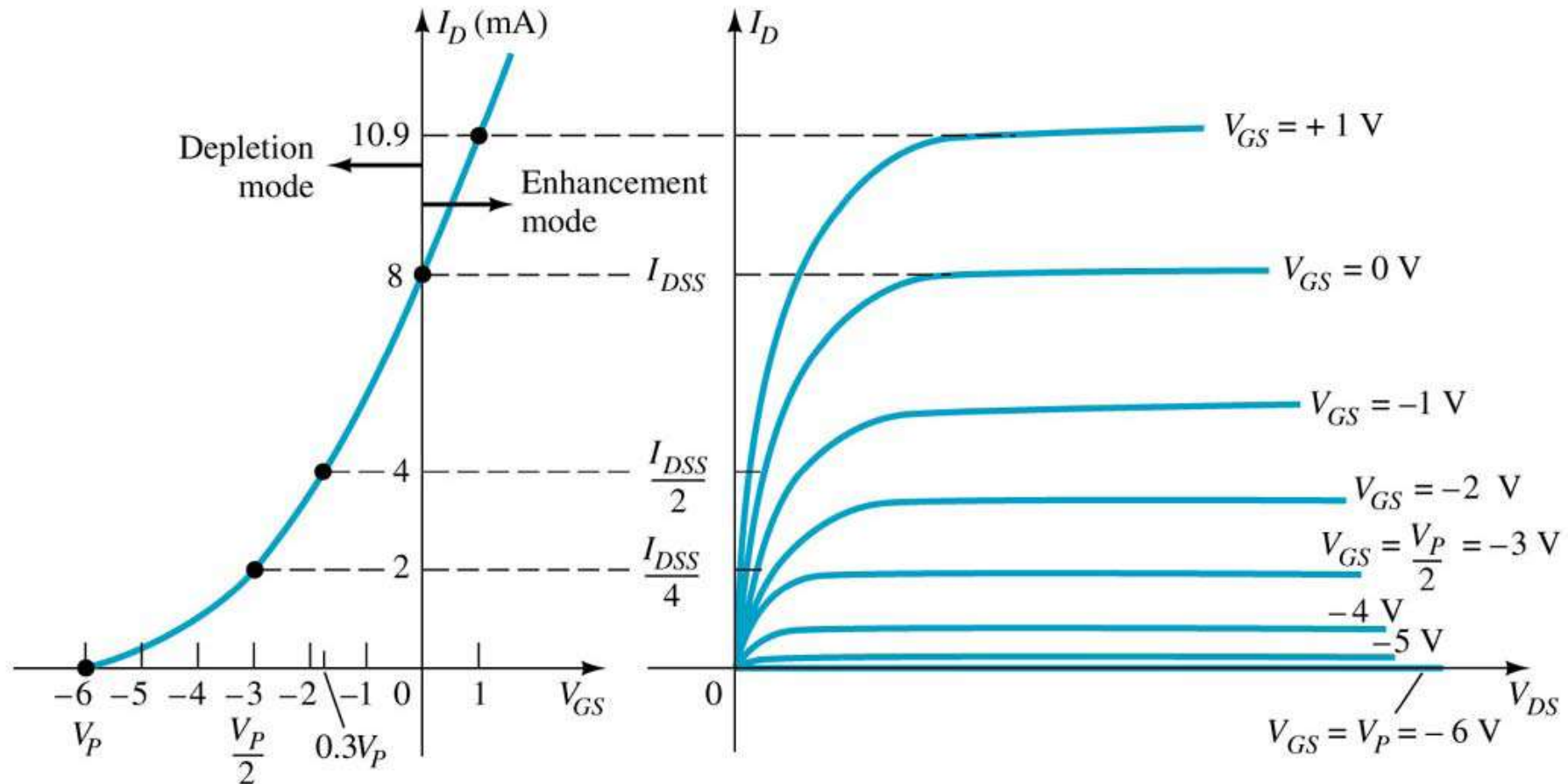
## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

### **D-MOSFET n-channel ທຳງານໃນ modes : Enhancement**

ຖ້າຈຳຍ  $V_{GS}$  ມີຄ່າເປັນບວກປ້ອນໃຫ້ຂົ້ວ G ຄວາມແຕກຕ່າງຂອງແຮງໄຟທີ່ຂົ້ວ G ຈະດຶງດູດອີເລັກຕຣອນຈາກສານເຄິ່ງຕົວນຳ P ມາຍັງບໍລິເວນ  $\text{SiO}_2$  ເຮັດໃຫ້ພາຫະການນຳກະແສແລະສະພາບການນຳກະແສຂອງແຊນແນວເພີ່ມຂຶ້ນ ດັ່ງນັ້ນກະແສ  $I_D$  ມີຄ່າເພີ່ມຂຶ້ນ ຫຼາຍກວ່າ  $I_{DSS}$  ການທຳງານຂະນະທີ່  $V_{GS}$  ເປັນບວກເອີ້ນວ່າ: **ການທຳງານໃນໂມດ Enhancement**

## 1.4 FET: D-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: n-channel

D-MOSFET n-channel ທຳງານໃນ modes : Enhancement.



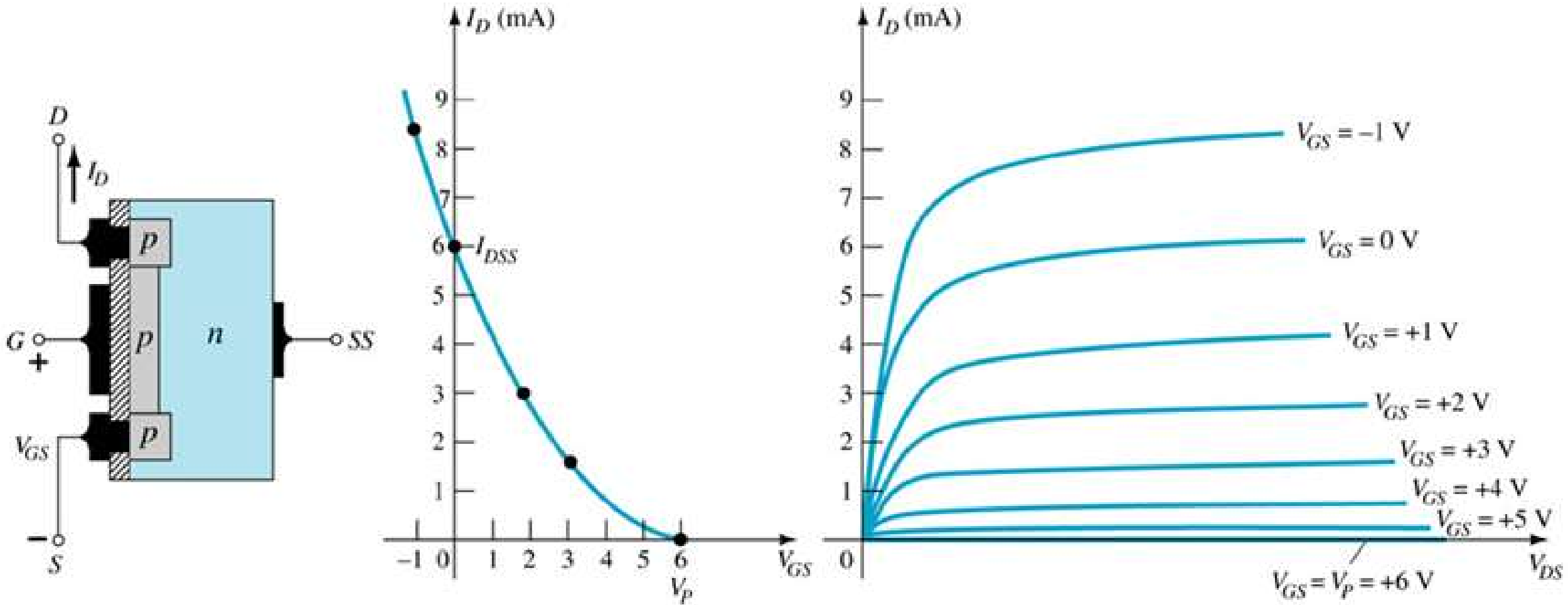
ເມື່ອ  $V_{GS} > 0$  ຈະໄດ້  $I_D > I_{DSS}$  ສົມຜົນຂອງກະແສ  $I_D$  ຄືກັບກະແສ  $I_D$  ຂອງ JFET (ແທນ  $V_{GS}$  ເປັນຄ່າບວກ)

## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: p-channel

ຈາກເສັ້ນສະແດງຄຸນລັກສະນະຮູບລຸ່ມນີ້ ເຮົາເຫັນວ່າທິດທາງຂອງກະແສ ແລະ ແຮງໄຟຕ່າງໆຈະປື້ນກັນ  $I_D$  ຈະເພີ່ມຂຶ້ນຈາກຈຸດ Cut off ທີ່  $V_{GS} = V_P$

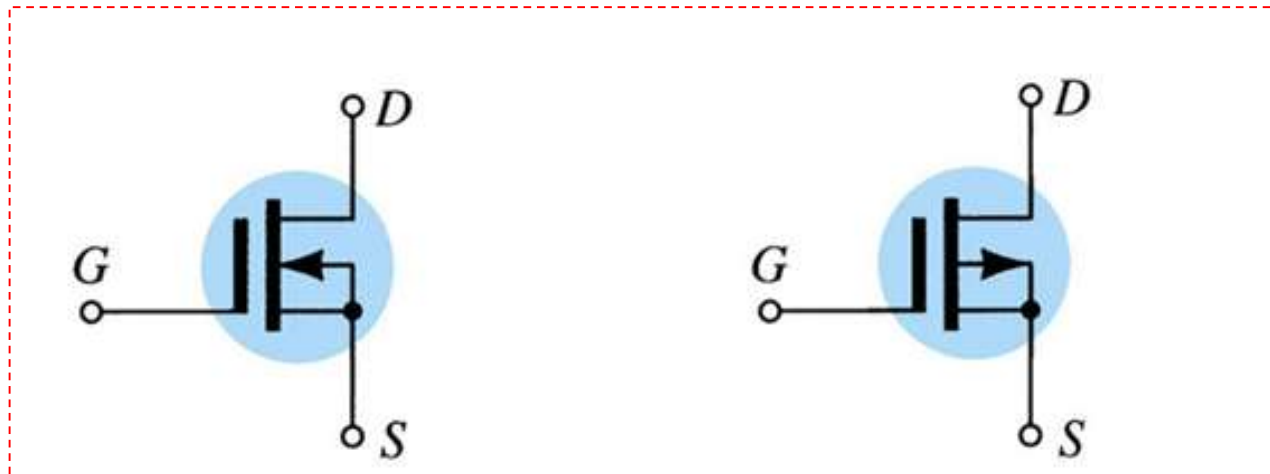
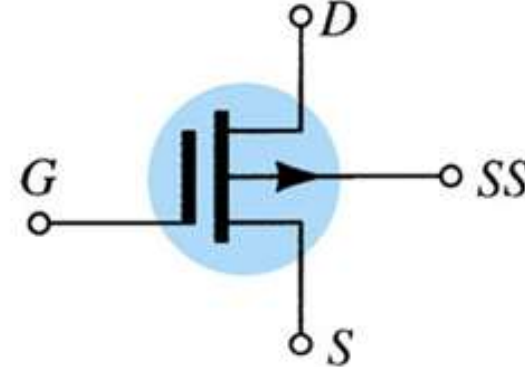
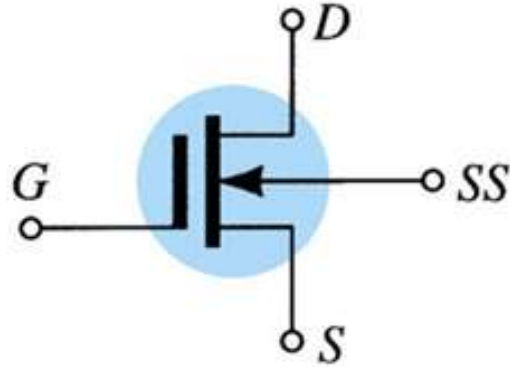
ຂະນະທີ່  $V_{GS}$  ມີຄ່າເປັນບວກລຸດລົງ ເຮັດໃຫ້  $I_D$  ເພີ່ມຢ່າງຕໍ່ເນື່ອງຈົນ ກາຍຄ່າ  $I_{DSS}$  ເມື່ອ  $V_{GS}$  ມີຄ່າເປັນລົບເພີ່ມຂຶ້ນ ສາມາດນຳໃຊ້ສົມຜົນຂອງ Shockley ແຕ່ລະວັງເຄື່ອງໝາຍ  $V_{GS}$  ແລະ  $V_P$  ໃນສົມຜົນ (ຄືຈະຕ້ອງມີເຄື່ອງໝາຍເປັນບວກ)

## 1.4 FET: D-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *p-channel*



## 1.4 FET: **D-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ

ສັນຍາລັກ D-MOSFET



*n*-channel

*p*-channel

## 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

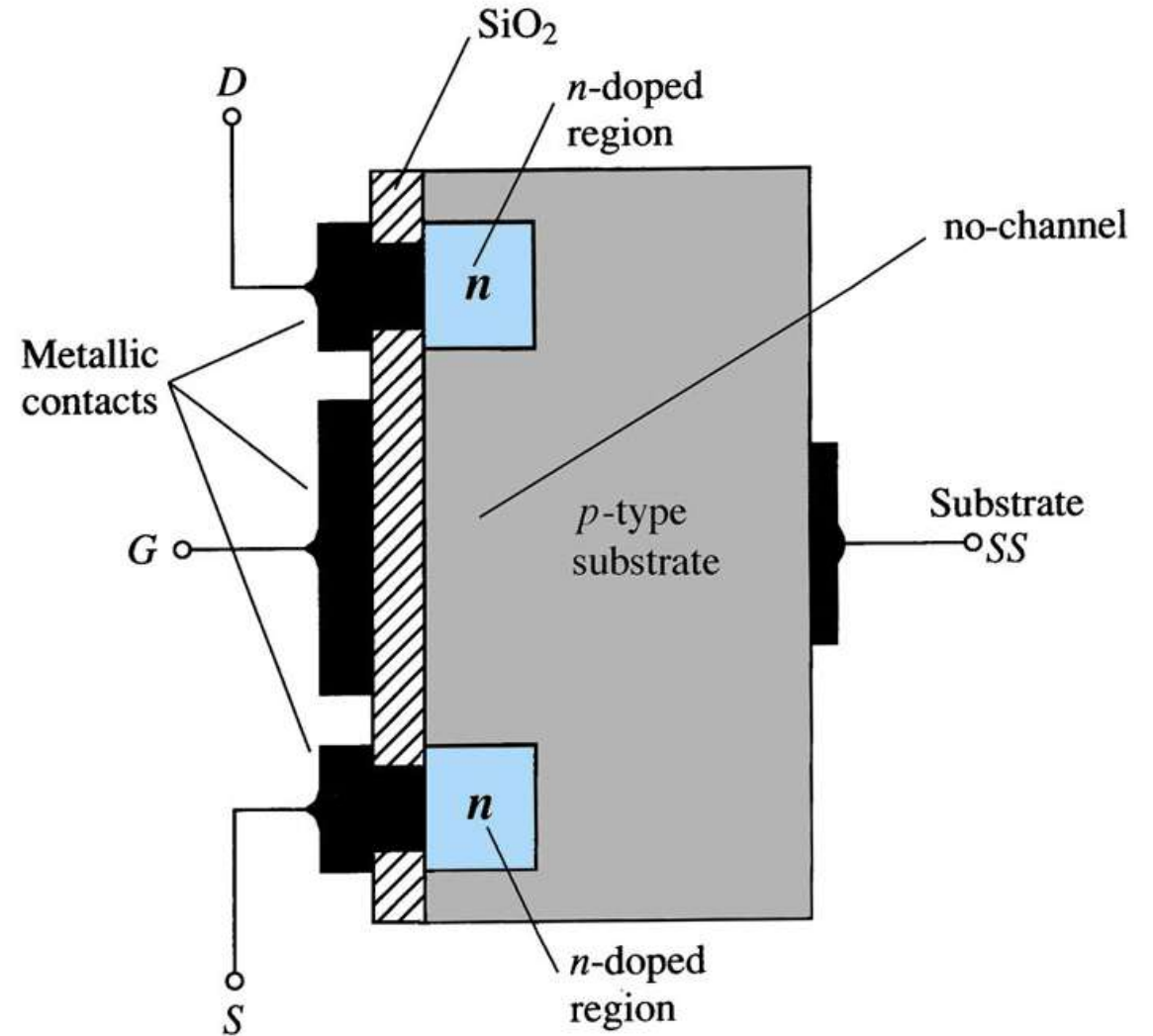
ໂຄງສ້າງແລະຂອບເຂດການທຳງານຂອງ D-MOSFET ແລະ E-MOSFET ຈະມີລັກສະນະຄ້າຍຄືກັນ ແຕ່ເສັ້ນຄຸນລັກສະນະຂອງອີມອສເຟດແຕກຕ່າງກັນ ແຕ່ຈະໃຊ້ສົມຜົນຂອງ Shockley ມາວິເຄາະຈະບໍ່ສາມາດນຳໃຊ້ໄດ້ໂຄງສ້າງຂອງ E-MOSFET ແລະ ກະແສ  $I_D$  ຍັງບໍ່ເກີດຂຶ້ນຈົນກວ່າກະທັ່ງ  $V_{GS}$  ມີຄ່າສູງເຖິງຄ່າສະເພາະຄ່າໜຶ່ງ (Threshold)



## 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

ປະກອບຂຶ້ນຈາກສານ  $p$  ທີ່ເປັນສານ ເຄິ່ງຕົວນຳທີ່ເຮັດຈາກຊີລິຄອນ ຂາ  $D$  ແລະ  $S$  ຈະຕໍ່ ກັບບໍລິເວນທີ່ມີການກະຕຸ້ນ  $n$  ທາງ ເບື້ອງນອກທີ່ເປັນໂລຫະ ນອກນັ້ນບາງຄັ້ງຈະ ຂົ້ວ  $SS$  ເຂົ້າກັບສານ  $p$

ຖ້າສັງເກດຈະເຫັນວ່າບໍ່ມີຊ່ອງທາງ ຜ່ານ (no-channel) ລະຫວ່າງບໍລິເວນກະ ຕຸ້ນ  $n$  ທັງສອງ ນັ້ນຄືຄວາມແຕກຕ່າງເບື້ອງ ຕົ້ນລະຫວ່າງໂຄງສ້າງຂອງອີມອສເຟດແລະ ດີມອສເຟດ

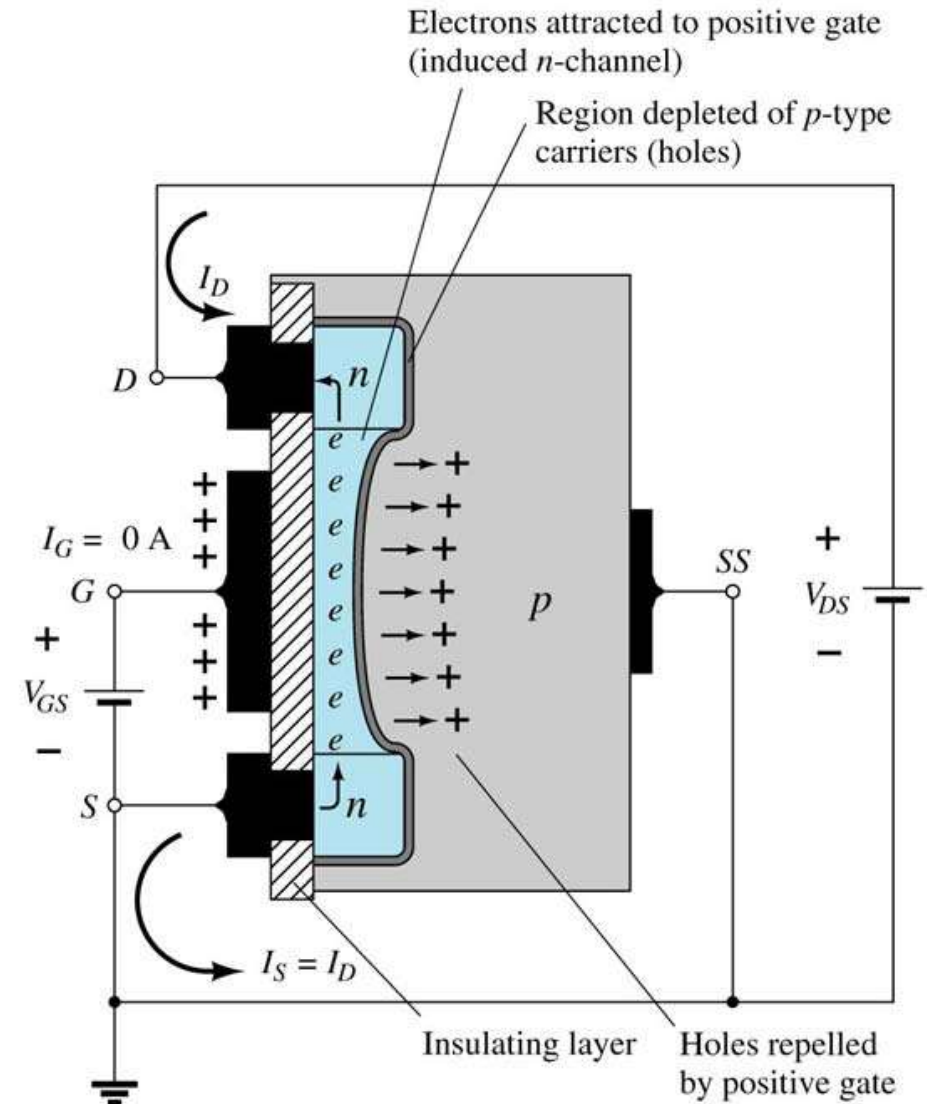


# 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

E-MOSFET n-channel : ການທຳງານຂອງ

Enhancement-MOSFET ເມື່ອ  $V_{GS} > 0$

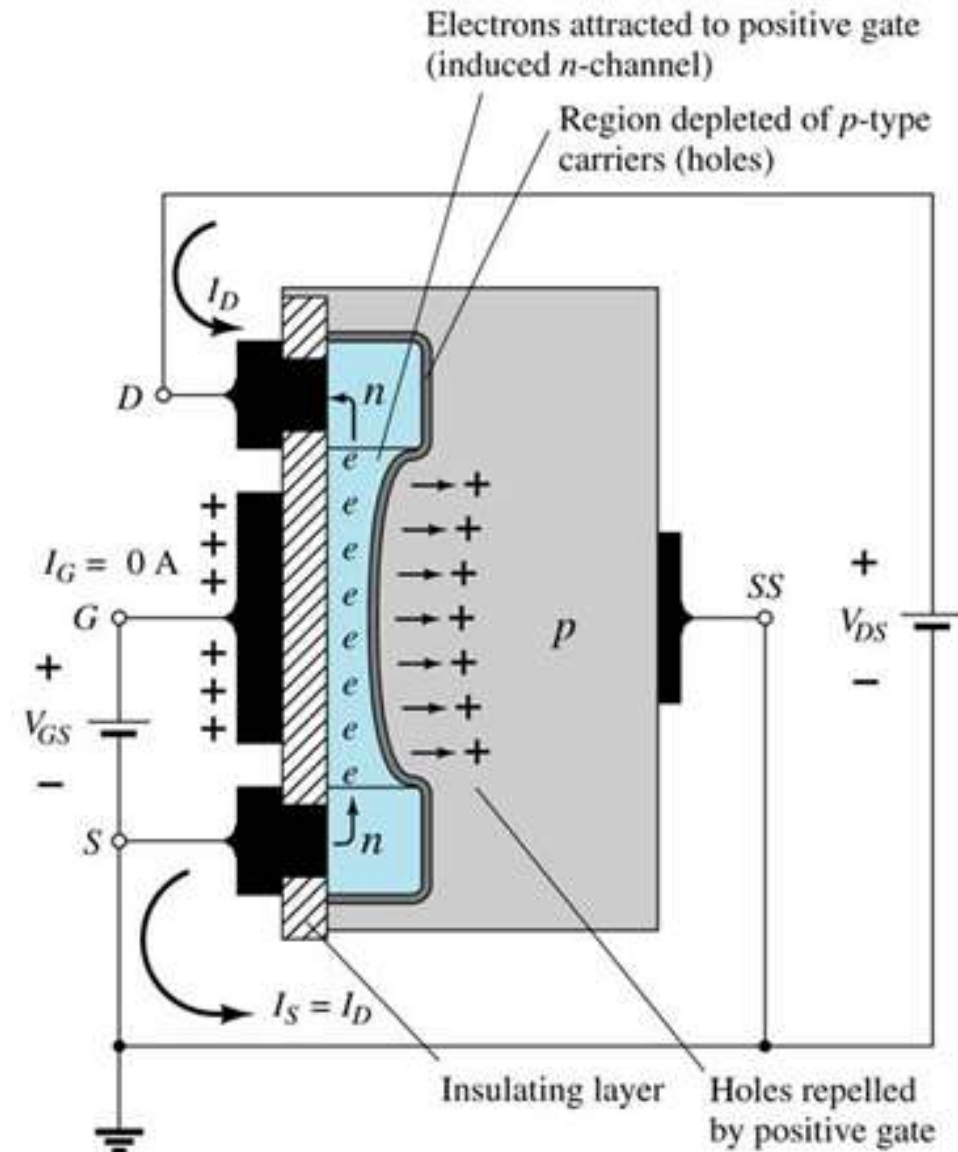
E-MOSFET ສາມາດທຳງານໄດ້ສະເພາະໃນ  
**Enhancement mode**



## 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

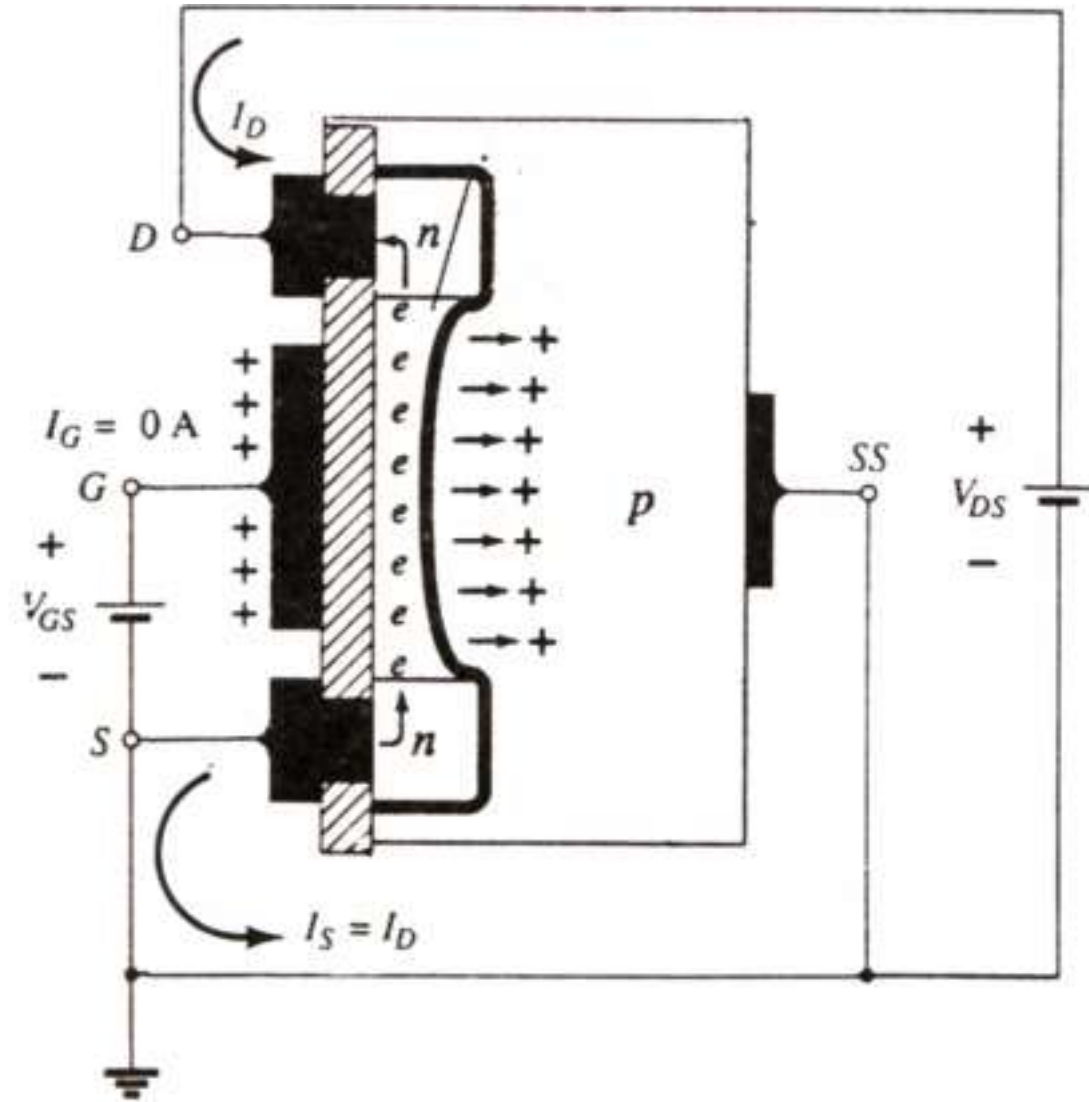
ກຳນົດໃຫ້  $V_{GS}=0V$  ແລະ ຈ່າຍ  $V_{DS}$  ທີ່ມີຄ່າເປັນ  
ບວກໃຫ້ຂາ S ກັບ D ໂດຍຂາ SS ຕໍ່ລວມກັບ S ດັ່ງຮູບ  
ລຸ່ມນີ້ ຈະເກີດການໃຫ້ໄບແອັດປີ້ນທີ່ຮອຍຕໍ່ N-P (ບໍລິເວນ  
ທີ່ມີການກະຕຸ້ນ N ກັບ P) ເນື່ອງຈາກບໍ່ມີເສັ້ນທາງການ  
ເຊື່ອມຕໍ່ຫຼື channel ລະຫວ່າງຂາ D ແລະ ຂາ S ເຮັດໃຫ້  
ເກີດການຕ້ານການໄຫຼຂອງອີເລັກຕອນກະແສ  $I_D=0$  ແຕກ  
ຕ່າງກັບ D-MOSFET ແລະ JFET ເຊິ່ງມີກະແສ  $I_D=I_{DSS}$

ຖ້າຈ່າຍ  $V_{DS}$  ແລະ  $V_{GS}$  ມີຄ່າເປັນບວກດັ່ງຮູບ  
ເຮັດໃຫ້ຂາ D ກັບ G ມີປະຈຸເປັນບວກທີ່ຂາ G ຈະຢູ່ໂຮນ  
ເຂົ້າໄປໃນສານ P ແລະ ດຶງອີເລັກຕອນໃນສານ P ອອກ



## 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

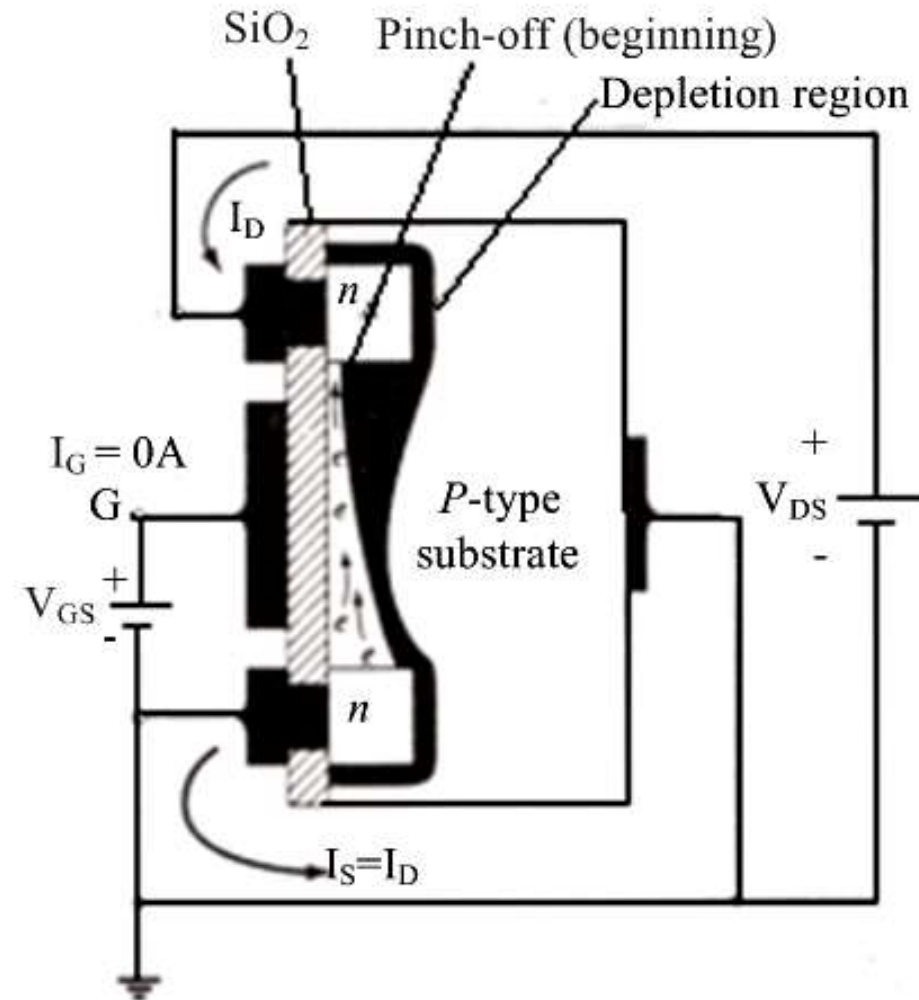
ຂະນະທີ່  $V_{GS}$  ເພີ່ມຂຶ້ນການລວມຕົວຂອງ ອີເລັກຕຣອນໃກ້ກັບຊັ້ນ  $\text{SiO}_2$  ກໍ່ຈະເພີ່ມ ຂຶ້ນຂະນະ ດຽວກັນນັ້ນບໍລິເວນທີ່ມີການກະຕຸ້ນ  $n$  ເກີດການ ໜຸ່ງວນຳຈາກແຮງໄຟ  $V_{GS}$  ເຮັດໃຫ້  $I_D$  ມີທິດທາງ ກົງກັນຂ້າມກັບອີເລັກຕຣອນໄຫຼລະຫວ່າງຂົ້ວ  $D$  ກັບ  $S$  ລະດັບ  $V_{GS}$  ທີ່ເຮັດໃຫ້  $I_D$  ໄຫຼເຮົາເອີ້ນແຮງ ໄຟນີ້ວ່າ: Threshold:  $V_T$  ໃນສະເປັກກຳນົດໃຫ້  $V_T$  ເປັນ  $V_{GS(Th)}$



## 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

ຖ້າເພີ່ມ  $V_{GS}$  ໃຫ້ສູງຂຶ້ນ  $I_D$  ກໍ່ຈະເພີ່ມຂຶ້ນແຕ່ຖ້າ  $V_{GS}$  ມີຄ່າຄົງທີ່ແລະເພີ່ມຄ່າ  $V_{DS}$  ຈະເຮັດໃຫ້  $I_D$  ເຖິງຈຸດອື່ນຕົວເນື່ອງຈາກຂົ້ວບວກຂອງ  $V_{DS}$  ດຶງດູດອີເລັກຕຣອນຈຶ່ງເຮັດໃຫ້ປ່າຍຂອງຊ່ອງທາງໜຽວນຳບໍລິເວນໃກ້ຂົ້ວ D ແຄບລົງເຂົ້າໃກ້ລະດັບ Pinch-off (beginning) ດັ່ງຮູບ ເມື່ອນຳ KVL ມາພິຈາລະນາລະຫວ່າງຂາ D ກັບ G

$$V_{DG} = V_{DS} - V_{GS}$$

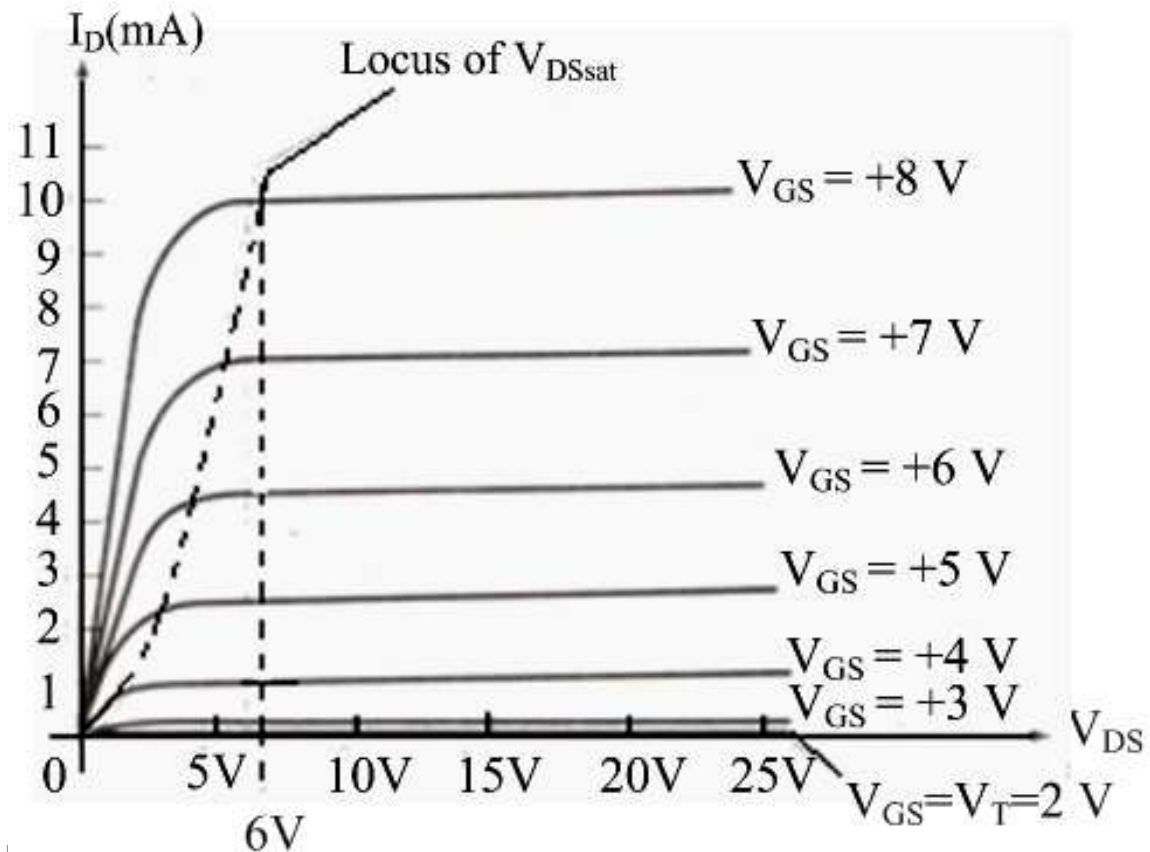


## 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: n-channel

### E-MOSFET n-channel : ການທຳງານຂອງ Enhancement-MOSFET

- ຈາກເສັ້ນຄຸນລັກສະນະຂອງອີມອສເຟດຂະນະທີ່  $V_T=2V$  ທີ່  $V_{GS}=8V$  ເຮັດໃຫ້  $V_{DS}$  ອີ່ມຕົວ ( $V_{DSsat}=6V$ ) ຈຶ່ງມີຄວາມສຳພັນກັນດັ່ງນີ້

$$V_{DS(sat)} = V_{GS} - V_T$$

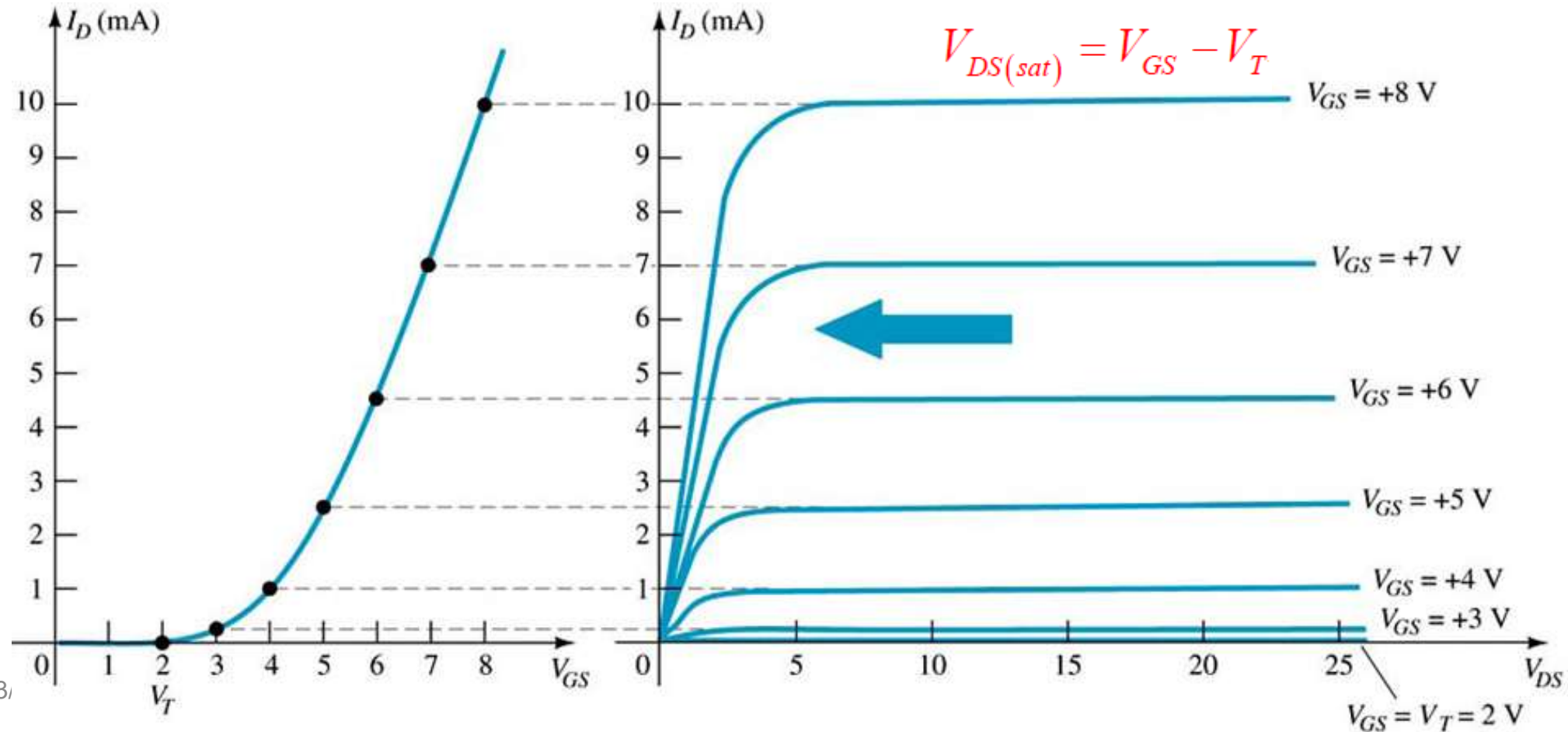




# 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: n-channel

E-MOSFET n-channel : ການທຳງານຂອງ Enhancement-MOSFET

- $V_{GS}$  ຈະມີຄ່າເປັນບວກເທົ່ານັ້ນ; ເມື່ອ  $V_{GS}$  ເພີ່ມຂຶ້ນຈະເຮັດໃຫ້  $I_D$  ເພີ່ມຂຶ້ນຄືກັນ; ແຕ່ຖ້າ  $V_{GS}$  ຄົງທີ່ ແລ້ວ ເພີ່ມ  $V_{DS}$  ຈະເຮັດໃຫ້  $I_D$  ມີຄ່າອົມຕົວ ( $I_{DSS}$ ); ທີ່ຄ່າ saturation ຫຼື ຈຸດ transition ຈະໄດ້ຄວາມສຳພັນ



## 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *n-channel*

- ເມື່ອ  $V_T$  ຄົງທີ່ແລະ  $V_{GS}$  ຍິ່ງມີຄ່າສູງຂຶ້ນເທົ່າໃດ  $V_{DSsat}$  ກໍ່ສູງຂຶ້ນ ຕາມຖ້າ  $V_T = 2V$   
ຕໍ່າແໜ່ງນີ້  $I_D = 0 \text{ mA}$  ດັ່ງນັ້ນຈຶ່ງເຮັດໃຫ້ຖ້າວ່າ  $V_{GS}$  ມີຄ່າຕໍ່າກວ່າ  $V_T$  ຄ່າ  $I_D$  ຂອງ  
ອີມອສເຟດຈະເປັນສູນເມື່ອບໍ່ມີກະແສໄຫຼ

$$I_D = K(V_{GS} - V_T)^2$$

K: ຄືຄ່າຄົງທີ່ຂອງໂຄງສ້າງອີມອສເຟດ

$$K = \frac{I_{D(on)}}{(V_{GS(on)})^2}$$

- ເມື່ອ  $I_{D(on)}$  ແລະ  $V_{GS(on)}$  ເປັນກະແສແລະແຮງໄຟທີ່ເຮັດໃຫ້ເກີດຈຸດສະເພາະໃນເສັ້ນ  
ສະແດງຄຸນລັກສະນະ



## 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: n-channel

ຕົວຢ່າງທີ່ 1.1: ເມື່ອ  $I_{D(on)} = 10\text{mA}$  ແລະ  $V_{GS(on)} = 8\text{V}$  ຈົ່ງຊອກຫາ  $I_D$ ?

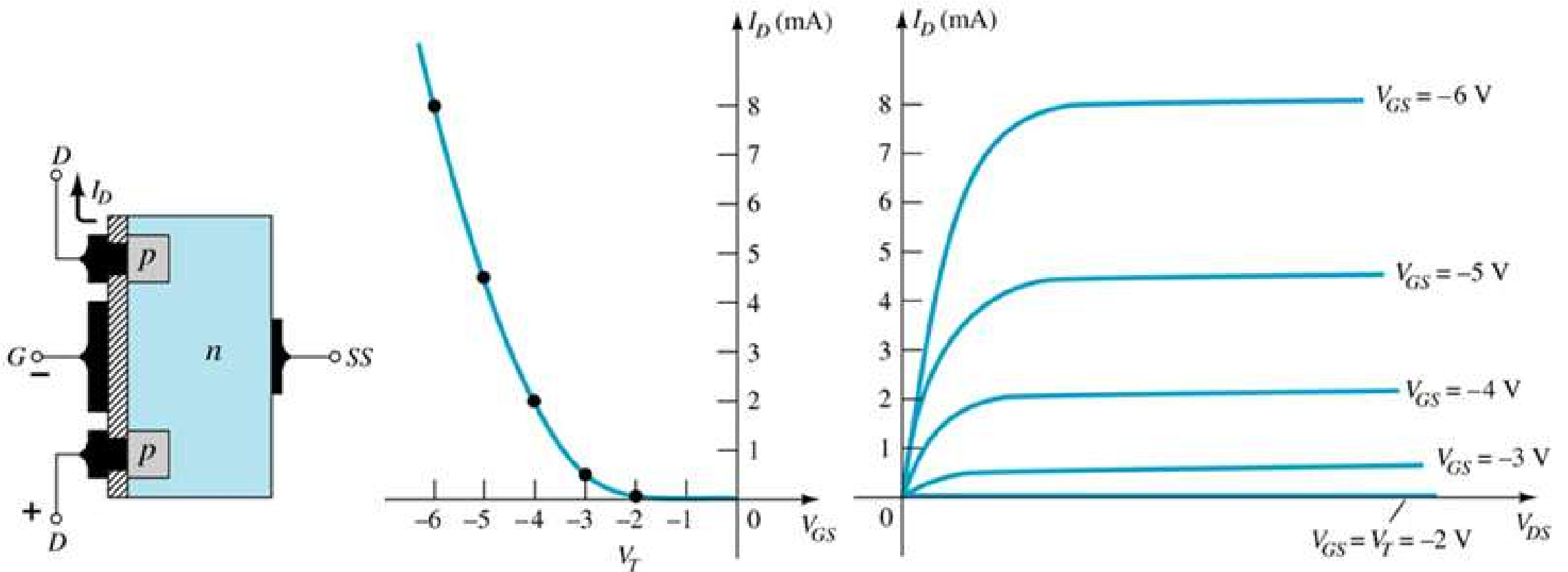
ເມື່ອ  $V_{GS} = 4\text{V}$

$$K = \frac{I_{D(on)}}{(V_{GS(on)})^2} = \frac{10\text{mA}}{(8\text{V})^2} = \frac{10\text{mA}}{64\text{V}^2}$$
$$= 0.156 \text{ mA/V}^2$$

$$I_D = K(V_{GS} - V_T)^2 = 0.156 \text{ mA/V}^2 (4\text{V} - 2\text{V})^2$$
$$= 0.624\text{mA}$$

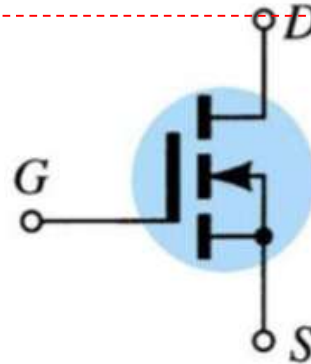
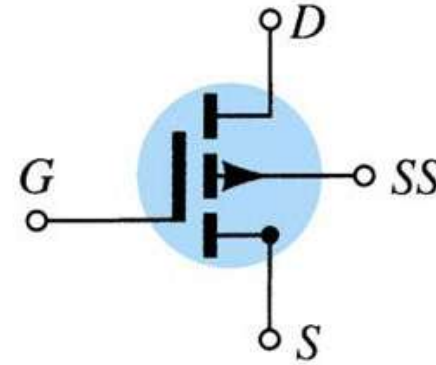
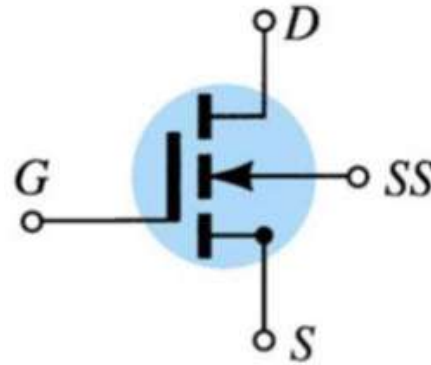
## 1.5 FET: E-MOSFET: ໂຄງສ້າງ ແລະ ການທຳງານ: p-channel

ໂຄງສ້າງຂອງ E-MOSFET ແບບ p-channel ຈະມີລັກສະນະ ຄືກັບກັບແບບ n-channel ດັ່ງຮູບລຸ່ມນີ້

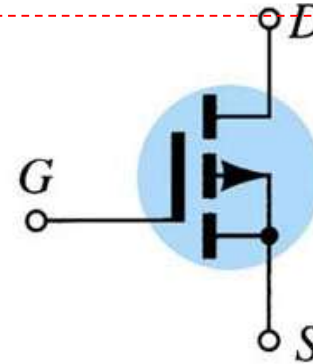


# 1.5 FET: **E-MOSFET**: ໂຄງສ້າງ ແລະ ການທຳງານ: *p-channel*

ສັນຍາລັກ E-MOSFET



*n*-channel



*p*-channel

# ຈົບບົດຮຽນທີ 1