

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, МОЛОДЕЖИ И СПОРТА УКРАИНЫ
СЕВАСТОПОЛЬСКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ

Кафедра кибернетики и
вычислительной техники

Пояснительная записка
к курсовому проекту
по дисциплине «Цифровые ЭВМ»
на темы:
«СИНТЕЗ ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА ЦВМ»

Выполнил: студент гр. М-43д
Кущинский Д. В.
Вариант № 58
Проверил:
профессор Апраксин Ю. К.

Севастополь
2012

ВВЕДЕНИЕ

В данном курсовом проекте разработчику предлагается разработать центральное обрабатывающее устройство (ЦОУ).

Предлагается системы команд содержащая 5 видов команд: арифметическая, логическая, команда перехода, команда чтения ОП, команда чтения с устройства В/В.

Используя справочную литературу, проектировщик разработает форматы команд, составит алгоритм и построит по этому алгоритму граф-схему.

Затем рассмотрит общую структуру ЦОУ как систему, анализируя при этом из каких подсистем (отдельных устройств) должна состоять ЦОУ, чтобы функционально покрыть заданную систему команд, в результате построит структурную схему своего ЦОУ.

На этапе написания микропрограммы (МП) управления ЦОУ разработчик сначала рассмотрит структуру управляющего автомата(УА), затем закодирует условную, операционную и адресную часть микрокоманд и на этом этапе перейдёт к построению принципиальной электрической схемы, которая будет содержать: блок памяти программ, формирователь микроопераций(ФМО), формирователя адреса(ФА), блок управления сбросом и запуском ЦОУ и блок синхронизации. Также будет проведён анализ схемы ЭП установка дополнительных элементов с целью повышения надёжности (повышение помехоустойчивости). После проектировщик рассчитает временные задержки для синхросигналов.

Главным результатом проектирования будет построенная ГСА, ЦОУ, структурная схема и принципиальная электрическая схема УУ.

1. ПОСТАНОВКА ЗАДАЧИ

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ.

Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой.

К функциям процессорного блока относятся:

- управление потоком обработки команд исполняемой компьютером программы;
- управление процессом исполнения команд;
- управление процессом взаимодействия всех блоков ЦОУ.

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером.

К ним относятся:

- арифметическая команда,
- логическая команда,
- команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
- команда обращения к устройству ввода/вывода,
- команда передачи управления,
- команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

- 1) осуществить выборку команды из ОП в строгом соответствии с форматом команды,
- 2) расшифровать код операции в команде,
- 3) выполнить расшифрованную операцию,
- 4) подготовить компьютер к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых отдельных шин, приведена на рисунке 1.

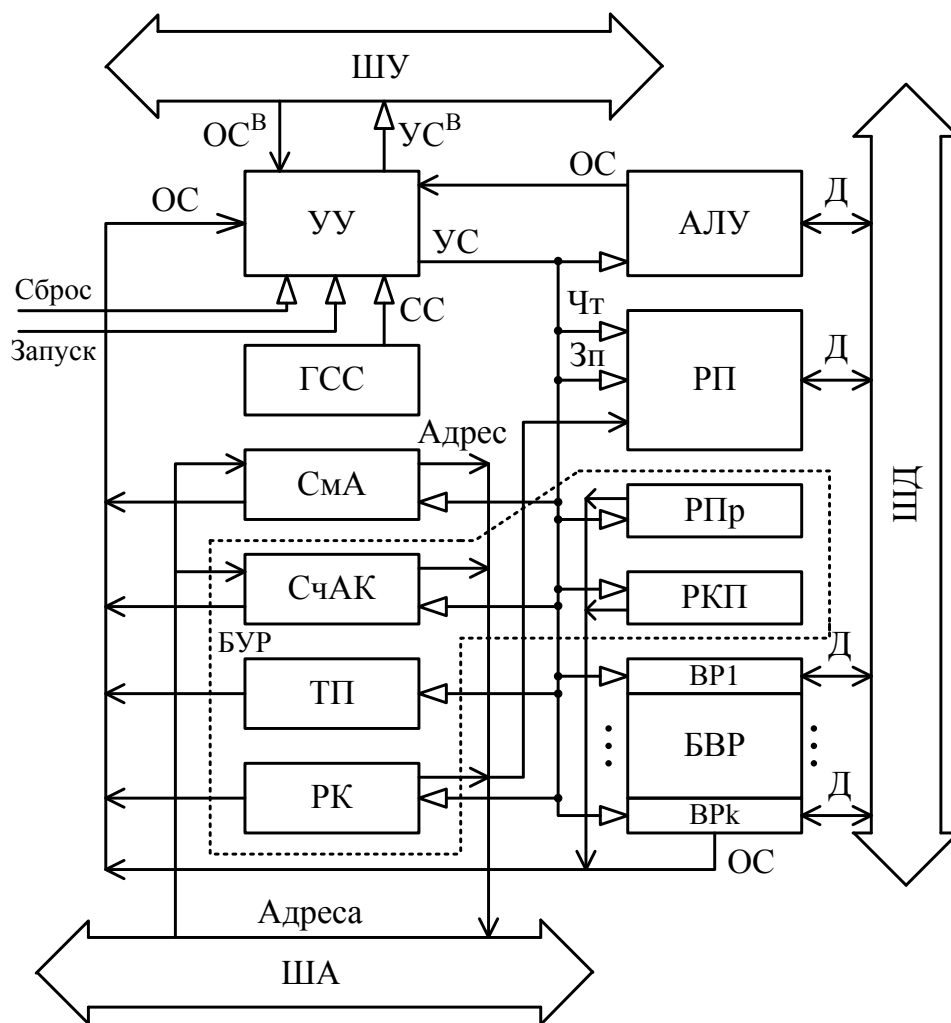


Рисунок 1.1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

- РК – регистр команд,
- СчАК – счетчик адреса команд,
- РПР – регистр признака результата,
- РКП – регистр кода прерывания (регистр флагов прерывания),
- ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, ..., ВРк), используемых для эффективной организации процесса исполнения команд;

ОС^В – внешние осведомительные сигналы;

УС^В – внешние управляющие сигналы;

Д – данные.

Исходные данные:

Разработать центральное обрабатывающее устройство (**ЦОУ**), которое реализует заданную систему команд.

№ вар	Команды АЛУ				Дополнит. команды			ОП		РП		Способы адресации					
	КА	ДА	КЛ	ДЛ	ПУ	ОбрП	ВВ	Е _{ОП}	ШВ	Е _{РП}	Тип	Н	П	К	Р	КР	О
58	–	F4	∧	L1	ПВз	ЗП I4	ПМ	128	4	8	Р	+	+	+		+	+
Устройство управления – автомат с программируемой логикой																	
Способ адресации микрокоманд – принудительная адресация (П)																	
Способ кодирования микроопераций –вертикально-горизонтальный (ВГ)																	

Разработать систему команд, состоящую из 5 команд.

Команда арифметическая – вычитание четырехбайтных чисел с плавающей точкой (**F4**).

Команда логическая – конъюнкция над операндами размером один байт(**L1**).

Команда передачи управления – переход с возвратом.

Команда обращения к памяти – запись в оперативную память (**ЗП**) слова(**I4**).

Команда ввода/вывода – обратная передача.

Совокупность команд должна включать следующие способы адресации операндов в команде:

- непосредственная,
- прямая,
- косвенная,
- косвенная через регистр,
- относительная.

Способ адресации микрокоманд – принудительная.

Способ кодирования микроопераций – вертикально-горизонтальный (**ВГ**)

Объём ОП – 128 Мбайт.

Объём регистровой памяти – 8 ячеек.

Объём регистровой памяти регистровая память для чисел с плавающей точкой (**РПП**) – 8 ячеек.

Рекомендуемая серия микросхем – К155.

Рекомендуемая микросхема постоянного запоминающего устройства (**ПЗУ**) – К155РЕЗ.

2. ОПИСАНИЕ ФОРМАТА ДАННЫХ И КОМАНД

2.1. Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – $[-2^n, 2^n-1]$, где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (P) и мантиисы (M), при этом P – целое со знаком, $|M| < 1$. В случае так называемой нормализованной мантиисы $\frac{1}{2} \leq |M| < 1$ для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – $[M_{\min} \cdot 2^{P_{\min}}, M_{\max} \cdot 2^{P_{\max}}]$.

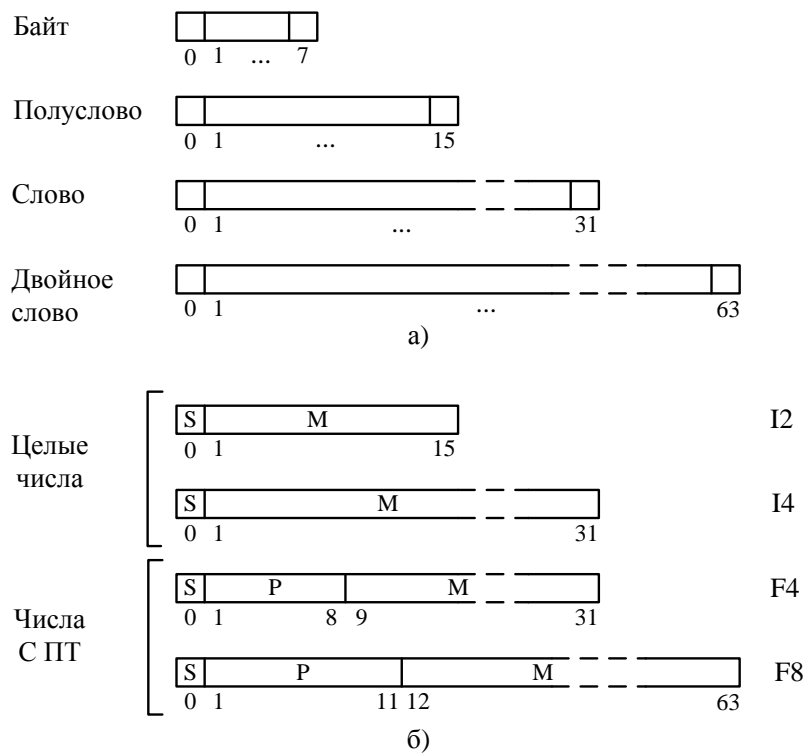


Рисунок 2.1 – Форматы данных

2.2. Описание формат команд

Все форматы команд будут кратны 2 байтам (для облегчения процесса выборки команды из ОП). Адрес команды в ОП должен быть кратен 2 (согласно методу целочисленных границ). Под поле КОП в команде отводится 1 байт (принято, что система команд процессора состоит из 128-256 команд, а мы разрабатываем фрагмент).

Разрабатывается система команд с учётом заданных параметров устройств.

Объём ОП – 128Мбайт – 2^{27} ячеек.

Следовательно, для адресации к ОП необходимо выделить 27 разрядов.

Объём РП (регистровая память) – 8 ячеек – 2^3 ячеек.

Следовательно, для адресации к РП необходимо выделить 3 разряда.

Объём РПП (регистровая память для чисел с плавающей точкой) – 8 ячеек – 2^3 ячеек.

Следовательно, для адресации к РПП необходимо выделить 3 разряда.

Опишем форматы команд.

Вычитание с плавающей точкой (класс 2).

Формат данных – 4х байтное число с плавающей точкой(**F4**).

Определим формат команды. (Рисунок 2.2)

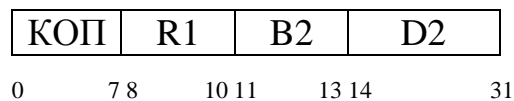


Рисунок 2.2 – Структура формата команды

Способы адресации, используемые в команде: Относительная, Регистровая. Команда вырабатывает следующие признаки результата:

- сумма равна нулю,
- сумма больше нуля,
- сумма меньше нуля,
- переполнение.

Команда может вызывать следующие прерывания программы:

- адресация,
- спецификация,

Конъюнкция (класс 4).

Операнды – двоичные вектора, длиной 1 байт(**L1**).

Так как операнды короткие, удобно использовать непосредственную адресацию.

Определим формат команды. (Рисунок 2.3)

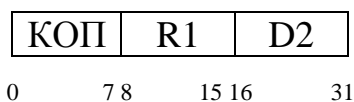


Рисунок 2.3 – Структура формата команды

Способы адресации, используемые в команде: Непосредственная, Косвенная.
Команда вырабатывает следующие признаки результата:

- результат равен нулю,
- результат не равен нулю.

Команда может вызывать следующие прерывания программы:

- адресация.

Команда перехода по индексу меньше (класс 6).

Команда сохраняет адрес текущей команды и передает управление в другое место.

Определим формат команды. (Рисунок 2.4)

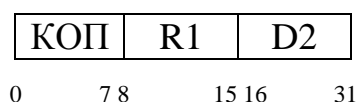


Рисунок 2.4 – Структура формата команды

Способы адресации, используемые в команде: Относительная, Регистровая.
Команда не вырабатывает признаки результата.

Команда может вызывать следующие прерывания программы:

- адресация.

Команда чтения из памяти (класс 1).

Операнд, содержащий число с фиксированной точкой длиной 4 байта (**I4**) переписывается из ячеек ОП, по адресу в регистре, номер которого содержит R2 в регистровую память по адресу заданному в регистре, номер которого хранится в R1. 8-байтные операнды располагаются в регистровых парах РП. Номер первого регистра пары четный.

R1 - номер регистра, в который будет записано число из ОП.

R2(кр) - номер регистра, который содержит адрес ОП по которому располагается число.

Определим формат команды. (Рисунок 2.5)

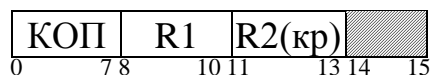


Рисунок 2.5 – Структура формата команды

Способы адресации, используемые в команде: Регистровая, Косвенная через регистр.

Команда не вырабатывает признаки результата.

Команда может вызывать следующие прерывания программы:

- адресация,
- спецификация.

Нарушение адресации и спецификации (адрес должен заканчиваться на три нуля, номер регистра, указанного в поле R1 должен быть четным).

Команда ввода-вывода – ПМ (класс 7).

Байт данных из порта процессора пересылается в порт устройства, адрес которого задан в команде (прямая адресация).

8-разрядный адрес дает возможность подключить к МВВ 256 устройств ввода/вывода.

Определим формат команды. (Рисунок 2.6)

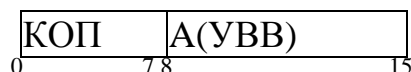


Рисунок 2.6 – Структура формата команды

Способы адресации, используемые в команде: Прямая.

Команда не вырабатывает признаки результата.

Команда не вызывает прерывания программы.

Таким образом, все заданные вариантом способы адресации реализованы.

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. При этом в поле КОП команды будем выделять три поля: КОП (0:1) – для кода формата команды, КОП (2:4) – для кода класса команды, КОП (5:7) – для номера команды в списке класса. Код длины формата: 00 – 2 байта, 01 – 4 байта.

Результаты разработки системы команд сведем в таблицу 2.1.

Таблица 2.1 - Система команд процессора

Номер класса	Номер подкласса	Название	Содержание	ПП	Флаг	Код двоичн.			Код шест.
						01	234	567	
2	1	Вычитание с плавающей точкой	$РП[R1] = РП[R1] - ОП[(B2)+D2]$	>0 <0 =0 пр.	A S ППФ	01	010	001	8Ah
4	1	Логическая операция – конъюнкция	$ОП[(B2)+D2] = Im1 \wedge ОП[(B2)+D2]$	=0 ≠0	A	01	100	001	86h
6	1	Переход с возвратом	РСРПф:=000.РПр(0:1). СЧАК(0:26). СЧАК = (B2)+D2	нет	A	01	110	001	8Eh
1	1	Чтение из памяти	$РП[R1] = ОП[РП[R2]]$.	нет	A S	00	001	001	90h
7	1	Команда В/В – из процессора в МВВ	$УВВ[A_{УВВ}] = ПортД$	нет	нет	00	111	001	9Ch

3. СТРУКТУРНАЯ СХЕМА ЦОУ

Схема обмена данными между Процессором, ОП и МВВ изображена на рисунке 3.1.

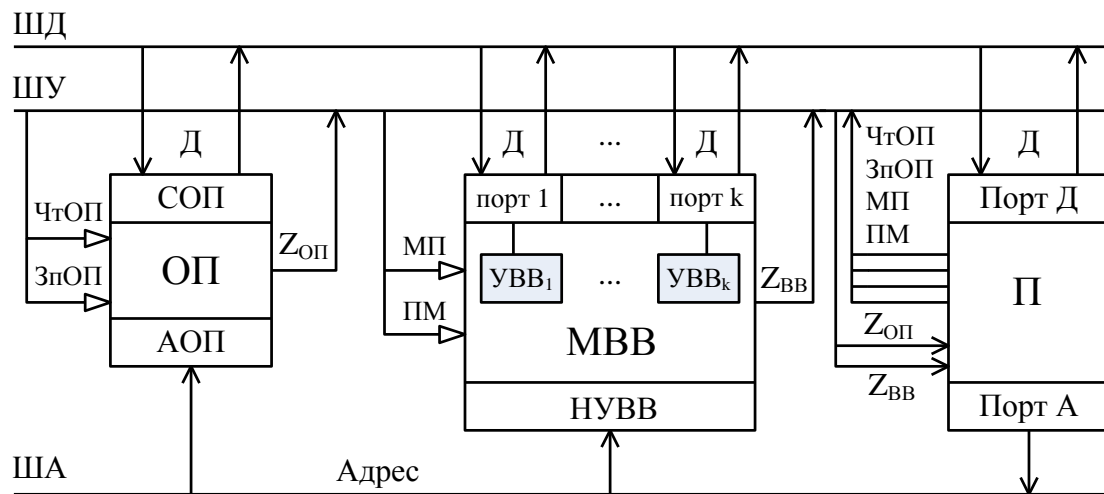


Рисунок 3.1 - Схема обмена данными в ЦОУ

Используются следующие обозначения:

- СОП – входы/выходы данных (слово ОП),
- АОП – адресные входы ОП (адрес слова ОП),
- порт 1 ... порт k – порты (регистры), через которые внешние устройства $УВВ_1...УВВ_k$ обмениваются данными с процессором (П),
- НУВВ – адресные входы МВВ (на них поступает номер (адрес) устройства ввода/вывода),
- порт Д – порт процессора, через который он обменивается данными с внешними устройствами (ОП и МВВ),
- порт А – порт, через который процессор выдает адрес слова ОП или номер УВВ.

Обмен типа «П-МВВ» реализуется при исполнении команд ввода (МП), обеспечивающих перемещение данных из адресуемого устройства ВВ в П, или вывода (ПМ), обеспечивающих обратную передачу от П к устройству ВВ. Предполагается, что передача данных осуществляется 8-разрядными двоичными векторами. Формат команды ввода/вывода представлен на рисунке 3.2.



Рисунок 3.2 – Формат команды ввода/вывода

Передача данных при вводе осуществляется следующим образом:

- 1) П направляет адрес выбранного устройства ввода на МВВ по адресной шине, определяя с тем самым с какого порта ввода должны быть получены данные;
- 2) по шине управления П посылает МВВ сигнал ввода (МП);
- 3) данные, представленные в адресуемом порте ввода, пересылаются в порт данных П, если $Z_{ВВ}$ (осведомительный сигнал) определяет выбранное устройство как готовое к выполнению операции.

Операция вывода осуществляется аналогичным вводу способом, но передача данных осуществляется в обратном направлении.

Обмен типа «П-ОП» происходит в следующих случаях:

- 1) при реализации команд загрузки регистра (ЗР) и записи в память (ЗП);
- 2) в процессе выборки команды из ОП;
- 3) в процессе исполнения арифметической или логической команды при выборке из ОП операндов и записи в ОП результата.

Главным элементом процессорного блока является АЛУ.

Условное обозначение АЛУ показано на рисунке 3.3.

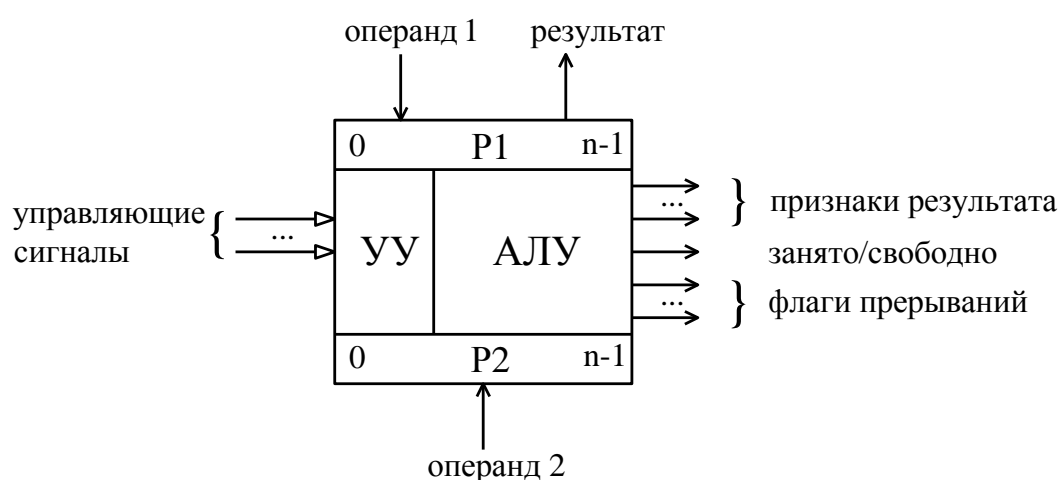


Рисунок 3.3 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах P1(0:n-1) (первый операнд) и P2(0:n-1) (второй операнд). Результат выполненной операции помещается в P1. Разрядность регистров n выбирается равной максимальной длине операндов. Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ). АЛУ вырабатывает три группы осведомительных сигналов: признаки результата, флаги прерываний, признак занятости.

Регистровая память (РП) организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. По типу РП определяется как раздельная (для данных в формате с фиксированной точкой и с плавающей точкой) или раздельная, состоящая из двух самостоятельных блоков (регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ)). Условное обозначение блока РП показано на рисунке 3.4.

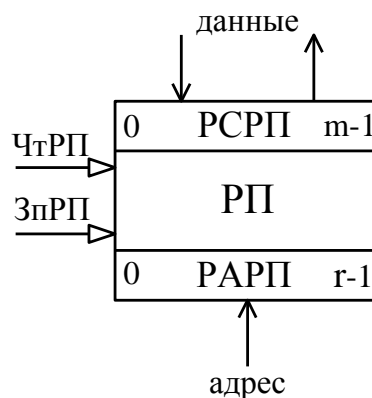


Рисунок 3.4 – Условное обозначение РП

Разрядность m регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства $m=32$. Разрядность r регистра адреса регистровой памяти (РАРП) определяется как $\lceil \log_2 E_{РП} \rceil$, где $E_{РП}$ – количество регистровых схем в блоке памяти.

На регистр команд (**РК**) выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды (4 байта).

Счетчик адреса команды (**СЧАК**), предназначенный для хранения адреса очередной выбираемой из ОП команды, обеспечивает адресацию к любому байту ОП.

Сумматор адреса (**СМА**), предназначен для вычисления исполнительного адреса ($A_{ИСП}$) в случае его задания в виде нескольких компонент (например, при относительной адресации $A_{ИСП} = (B) + D$). По разрядности СМА отличается от СЧАК дополнительным старшим разрядом, фиксирующим переполнение.

Триггер перехода (**ТП**) сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП может потребоваться при выборке команд из ОП.

Регистр признака результата (**РПр**) состоит из двух разрядов.

Регистра флагов прерываний (**РФП**) состоит из трёх триггеров:

- переполнения с фиксированной точкой (**Тпфт**),
- флаг нарушения спецификации (**S**),
- флаг нарушения адресации (**A**).

Буферный регистр (**БР**) выбирается размерностью полуслово.

Регистр слова оперативной памяти (**РСОП**) выбирается размером слово.

Регистр адреса оперативной памяти (**РАОП**) выбирается размером 26 разрядов.

Порт адреса (**ПортА**) выбирается размером 26 разрядов.

Порт данных (**ПортД**) выбирается размером слово.

4. СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

- 1) Выборка команды;
- 2) Выполнение команды;
- 3) Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
- 4) Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 4.1.

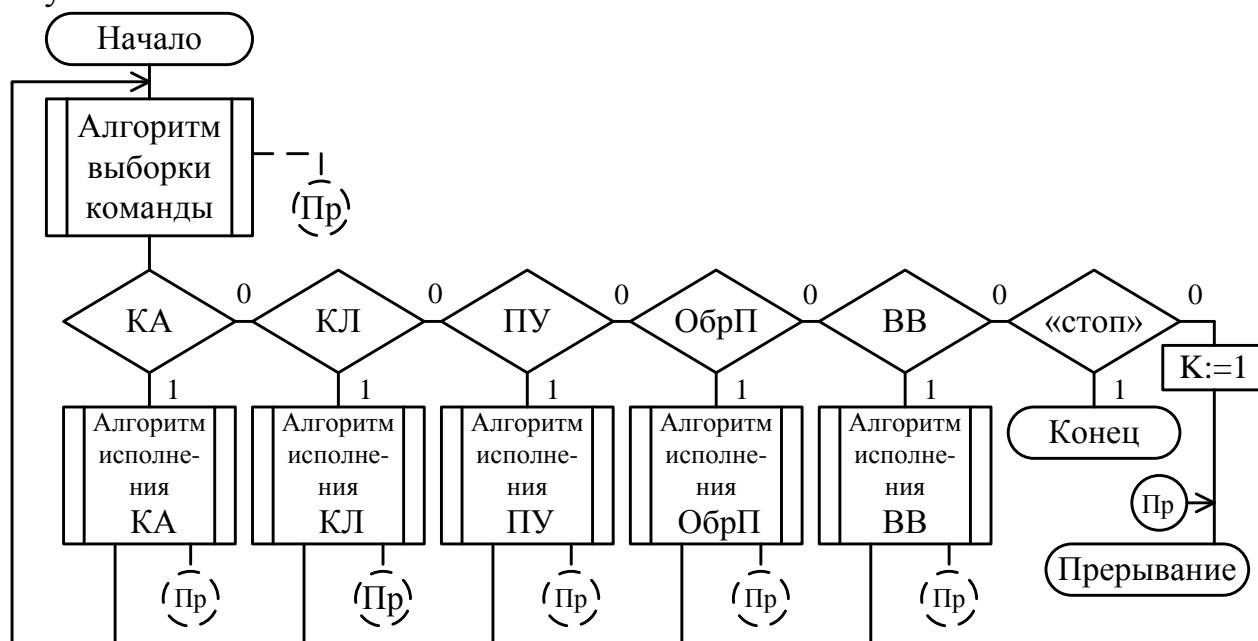


Рисунок 4.1 – Упрощенная схема алгоритма функционирования ЦОУ

Длины команд составляют 2 и 4 байта, а ширина выборки – 4 байта. Корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 4.2

0	СОП		31
...			
K _{2B}		K _{2B}	
1/2 K _{4B}		1/2 K _{4B}	
K _{2B}		1/2 K _{4B}	
1/2 K _{4B}		K _{2B}	
1/2 K _{4B}		1/3 K _{6B}	
1/3 K _{6B}		1/2 K _{4B}	
1/3 K _{6B}		1/3 K _{6B}	
K _{2B}		1/3 K _{6B}	
1/3 K _{6B}		K _{2B}	
...			
0	АОП		26

Рисунок 4.2 – Размещение команд в ОП

ГСА выборки команды изображено на рисунке 4.3.

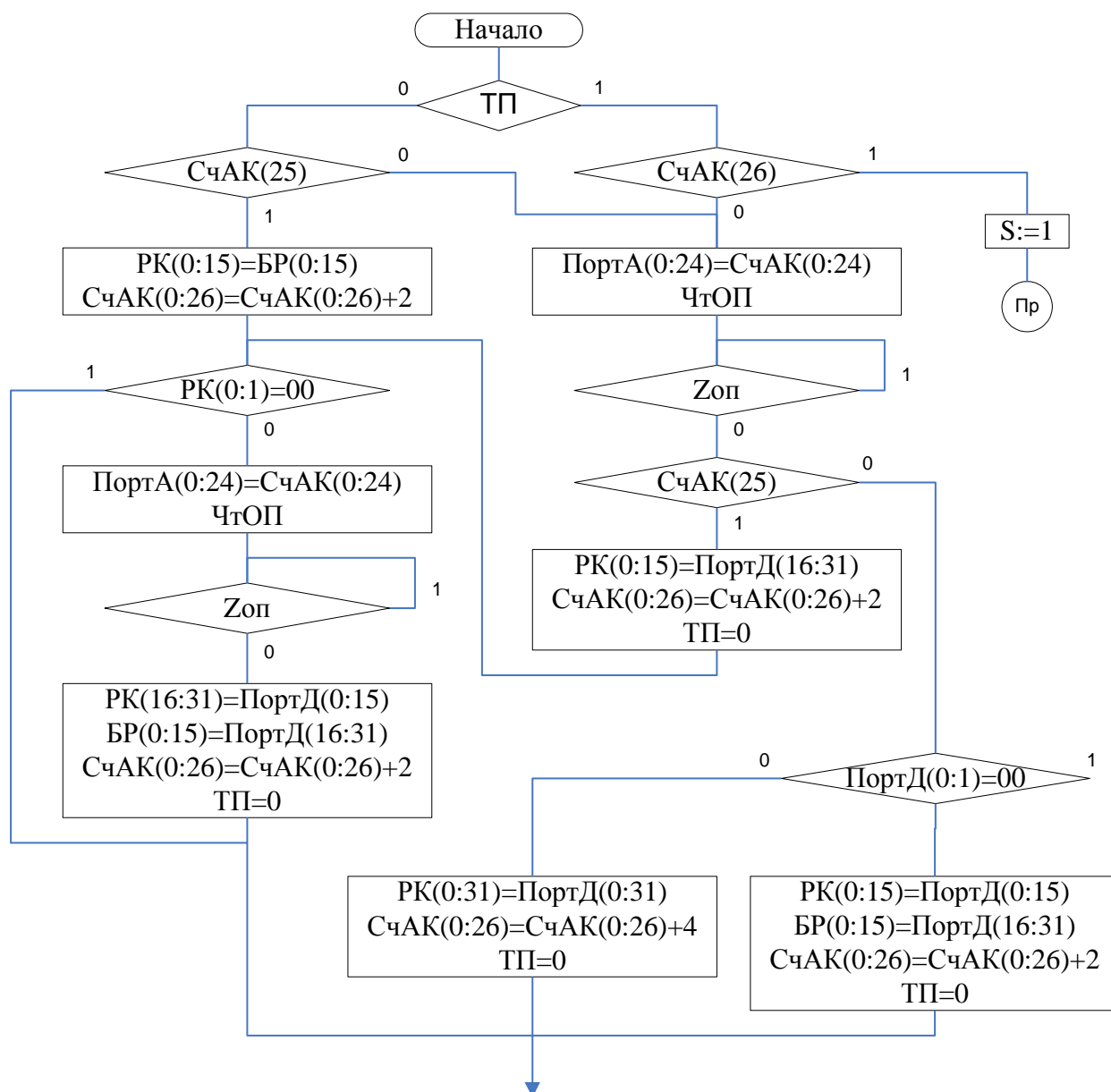


Рисунок 4.3. – ГСА выборки команд

Для реализации команд необходимы следующие модели устройств.

РК – регистр команд, хранит команду.

СмА (0:26) – сумматор адреса, состоит из 27 разрядов (0-й разряд используется для выявления факта переполнения), используется для вычисления полного адреса путём сложения базы и смещения.

АЛУ - арифметико-логическое устройство, выполняет операции: сложение, конъюнкция, сравнение. Разрядность регистров Р1 и Р2 АЛУ выбирается в соответствии с максимальной длиной данных, обрабатываемых на АЛУ. В данном случае $n=32$.

РП - регистровая память, состоит из 8 регистров, используется для временного хранения чисел.

РПП - регистровая память для чисел с плавающей точкой, состоит из 8 регистров.

РПр (0:1) - регистр признака результата, состоит из двух разрядов.

Тпфт - триггер переполнения с фиксированной точкой, состоит из одного разряда.

Триггер S - флаг нарушения спецификации, состоит из одного разряда.

Триггер А - флаг нарушения адресации, состоит из одного разряда.

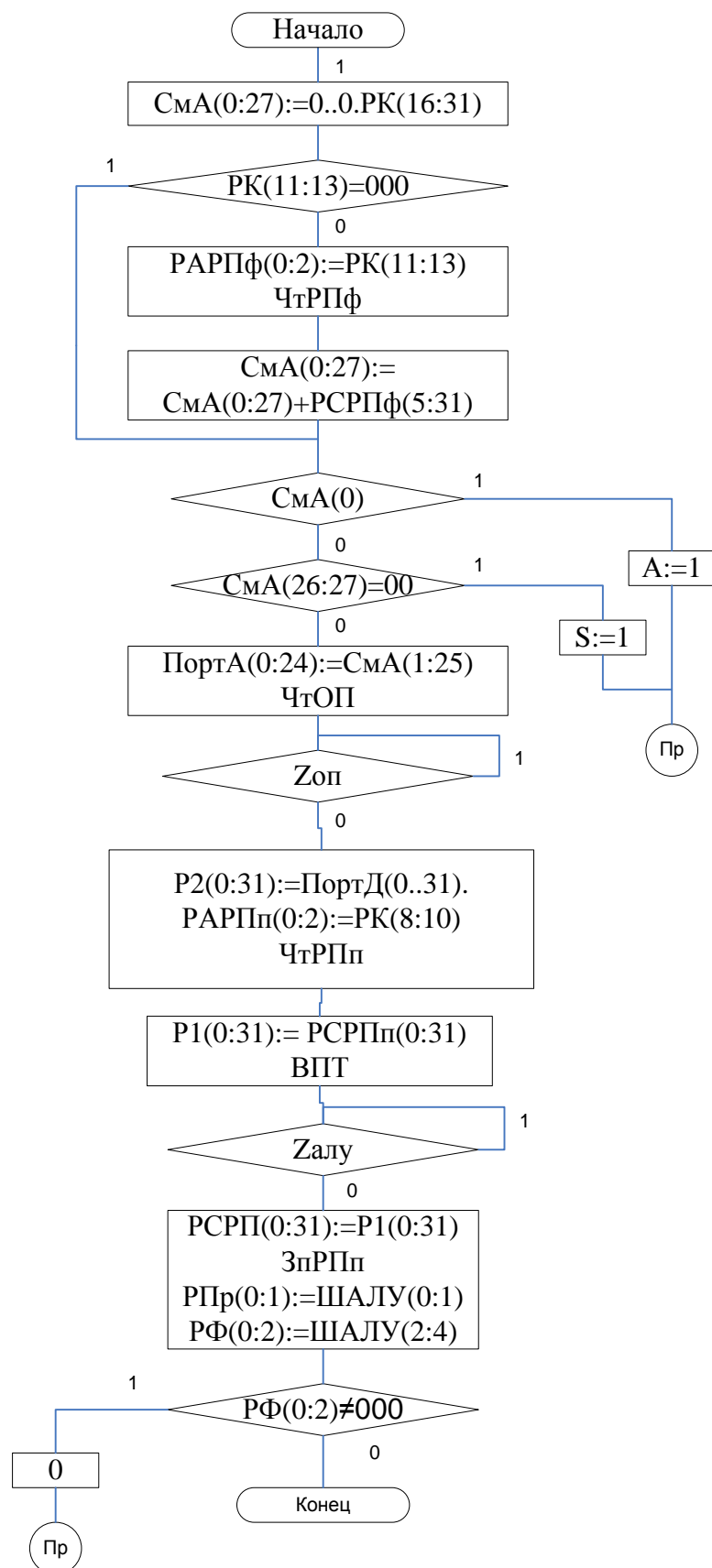


Рисунок 4.4. – ГСА команды – вычитание с плавающей точкой

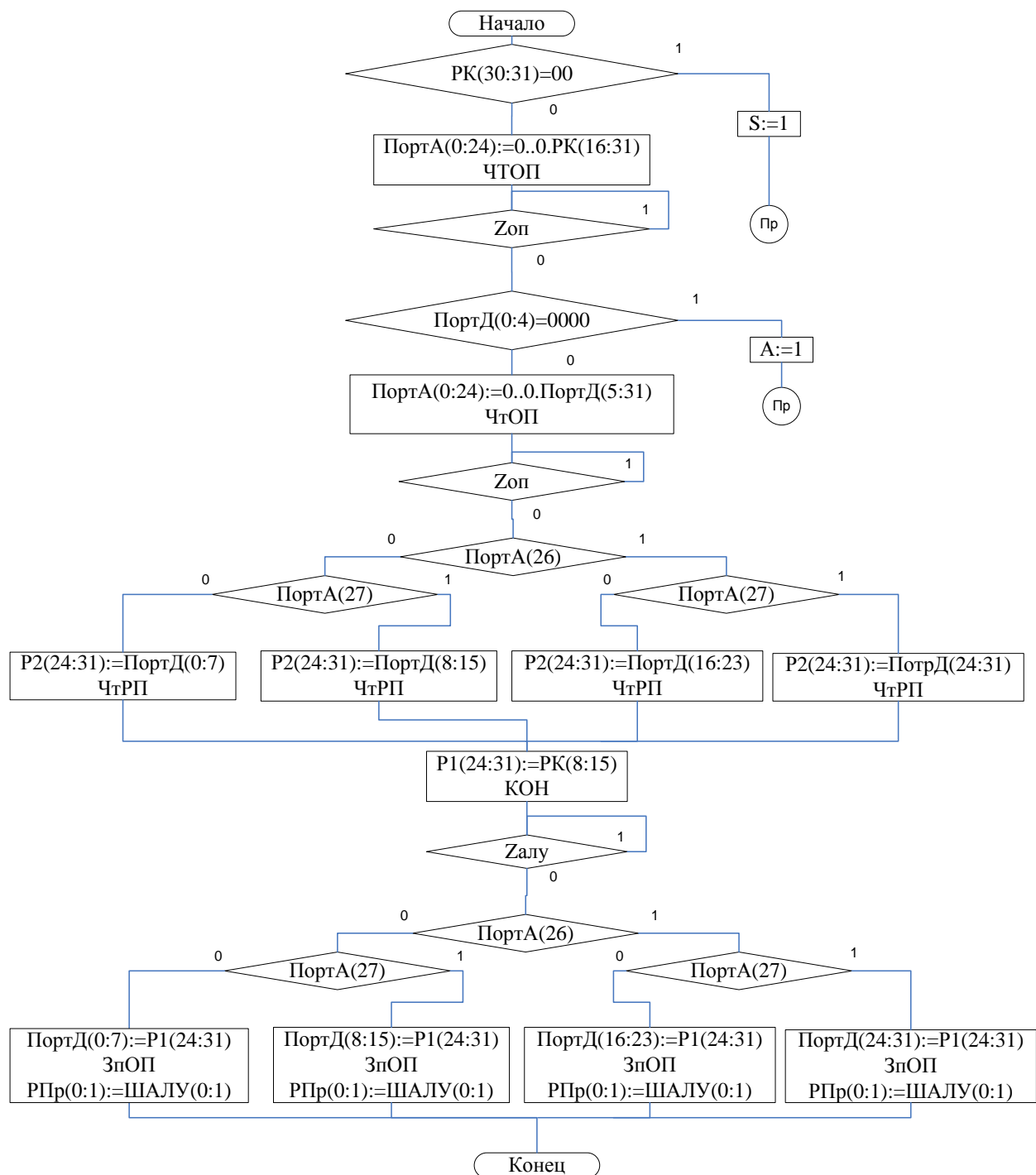


Рисунок 4.5. – ГСА логической команды - конъюнкция

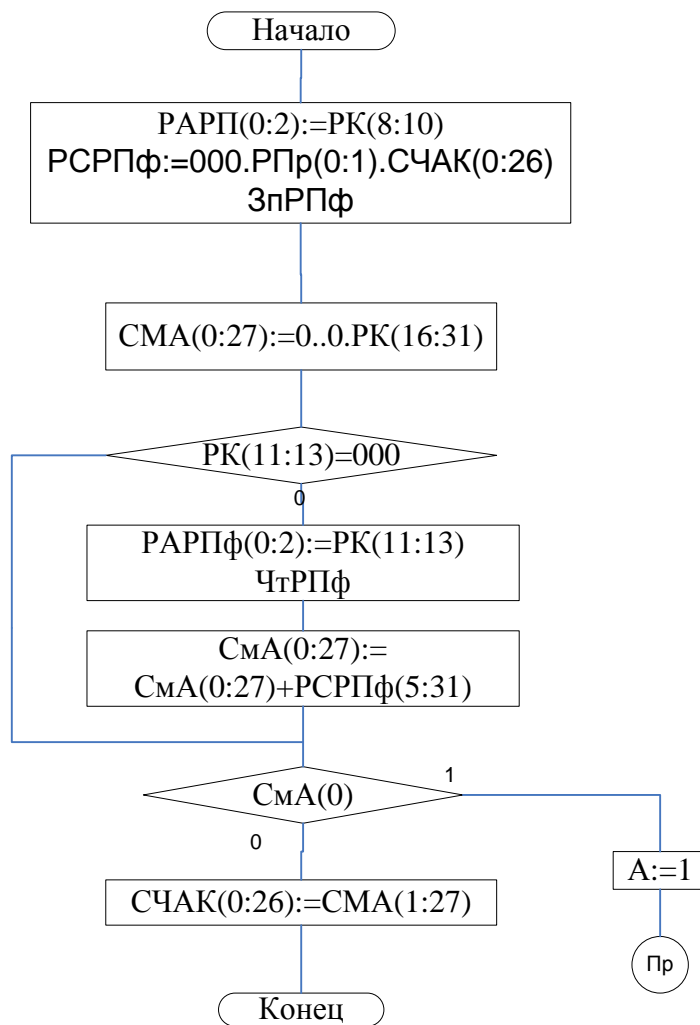


Рисунок 4.6. – ГСА команды – передачи управления

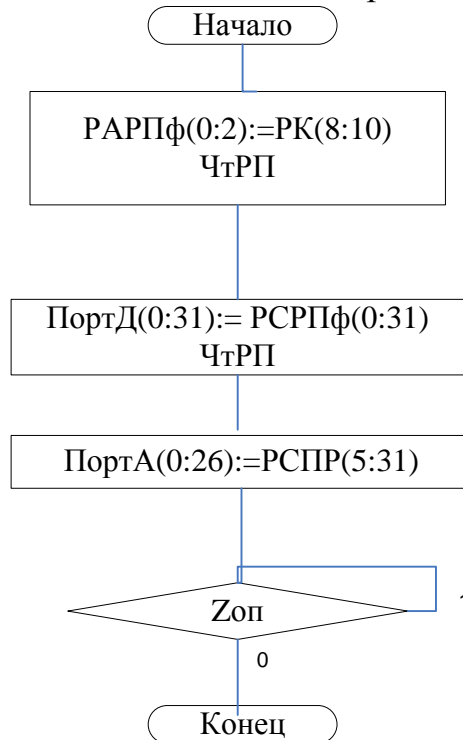


Рисунок 4.7. – ГСА команды – запись в ОП

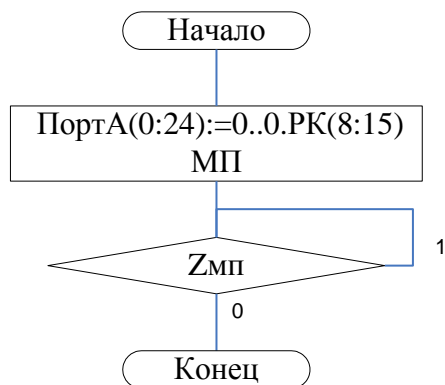


Рисунок 4.8 – ГСА команды – чтение из MBV в процессор

После алгоритма выборке команды проверяется первый байт РК, если он равен одной из команд, то осуществляется переход на алгоритм этой команды и после её выполнения переход на алгоритм выборки команды и т.д., иначе устанавливается триггер конца (**К**) и переход на конец. При возникновении прерывания также осуществляется переход на конец.

Упрощенная структура объединённого ГСА функционирования процессора изображена на рисунке 4.1.

5. АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА

Процессор имеет 27 внешних выводов адреса (A_i) и 32 внешних выводов данных (D_i). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП), «ввод» (МП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности Z_{OP} от медленного внешнего по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности Z_{BV} от медленного внешнего по отношению к процессору устройства MBV. Вывод +5V используется для питания, GND – земля, RESET – сброс, SET – установка, CLC – синхронизация.

Если подсчитать количество функциональных выводов на данный момент, то их будет 70. Так как при разработке архитектуры внешних выводов следует ориентироваться на использование стандартных корпусов, имеющих ограниченное количество выводов, а именно 40, 68, 132, 144, 168, то правильным решением будет использование 132-ух контактного корпуса. Распределение свободных выводов будет таковым:

- 30 свободных контактов используется для линий питания;
- 30 свободных контактов используется для GND;
- 2 свободных контакта используется для увеличения разрядности ША.

Обобщенное условное графическое обозначение процессорного блока приведено на рисунке 5.1.

Нумерация контактов:

- 1) 1:31 – питание;
- 2) 32 – используется для приема сигнала готовности Z_{OP} от медленного внешнего по отношению к процессору устройства ОП;
- 3) 33 – используется для приема сигнала готовности Z_{BV} от медленного внешнего по отношению к процессору устройства MBV;
- 4) 34 – сброс;
- 5) 35 – установка;
- 6) 36 – синхронизация;
- 7) 37:67 – земля;
- 8) 68:96 – адресные выводы (27 + 2 для увеличения разрядности ША);
- 9) 97:128 – выводы данных;
- 10) 129 – используется для сигнала «ЧтОП»;
- 11) 130 – используется для сигнала «ЗпОП»;
- 12) 131 – используется для сигнала «Ввод»;
- 13) 132 – используется для сигнала «Вывод»;

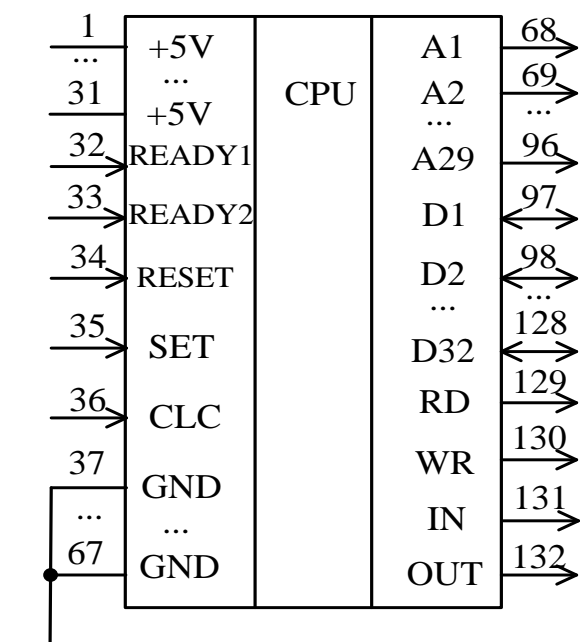


Рисунок 5.1 – Обобщенное условное графическое обозначение процессорного блока