

Министерство образования и науки Российской Федерации  
Севастопольский национальный технический университет

Кафедра Кибернетики и  
Вычислительной техники

Пояснительная записка  
К курсовому проекту  
По дисциплине: «Архитектура ЭВМ»  
На тему:  
«Синтез центрального обрабатывающего устройства ЦВМ»

Выполнил:  
Ст.гр. М-41д  
Дробот А.И.  
Проверил:  
Проф. д.т.н. Апраксин Ю.К.

Севастополь  
2014



## СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	5
1 ПОСТАНОВКА ЗАДАЧИ.....	6
2 ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБАТЫВАЕМЫХ ДАННЫХ....	9
2.1 Форматы данных .....	9
2.2 Описание форматов команд.....	10
3 СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ .....	14
4 СТРУКТУРНАЯ СХЕМА ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА .....	16
5 АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ .....	21
6 СИНТЕЗ УПРАВЛЯЮЩЕГО АВТОМАТА .....	23
6.1 Общая структура .....	23
6.2 Адресация микрокоманд .....	24
6.3 Кодирование поля микрооперации .....	25
6.4 Разработка принципиальной схемы УА .....	27
7 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ ЦОУ .....	38
ЗАКЛЮЧЕНИЕ .....	42
СПИСОК ИСПОЛЬЗУЕМОЙ ЛИТЕРАТУРЫ .....	43
Приложение А. Граф совместимости МО .....	44
Приложение Б. Микропрограмма в условных обозначениях.....	45
Приложение В. Микропрограмма в двоичных обозначениях .....	47
Приложение Г. Перечень элементов .....	49

## ВВЕДЕНИЕ

Данная курсовая работа посвящена изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Целью является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ».

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой электронно-вычислительной машины (ЦЭВМ). Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

## 1 ПОСТАНОВКА ЗАДАЧИ

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины (ЦВМ).

ЦОУ обеспечивает реализацию хранящейся в оперативной памяти (ОП) программы, команды которой принадлежат ограниченному множеству типовых команд, исполняемых компьютером. К ним относятся:

- арифметическая команда,
- логическая команда,
- команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
- команда обращения к устройству ввода/вывода,
- команда передачи управления,
- команда «Стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

- 1) осуществить выборку команды из ОП в строгом соответствии с форматом команды,
- 2) расшифровать код операции в команде,
- 3) выполнить расшифрованную операцию,
- 4) подготовить устройство к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых отдельных шин, приведена на рисунке 1.1.

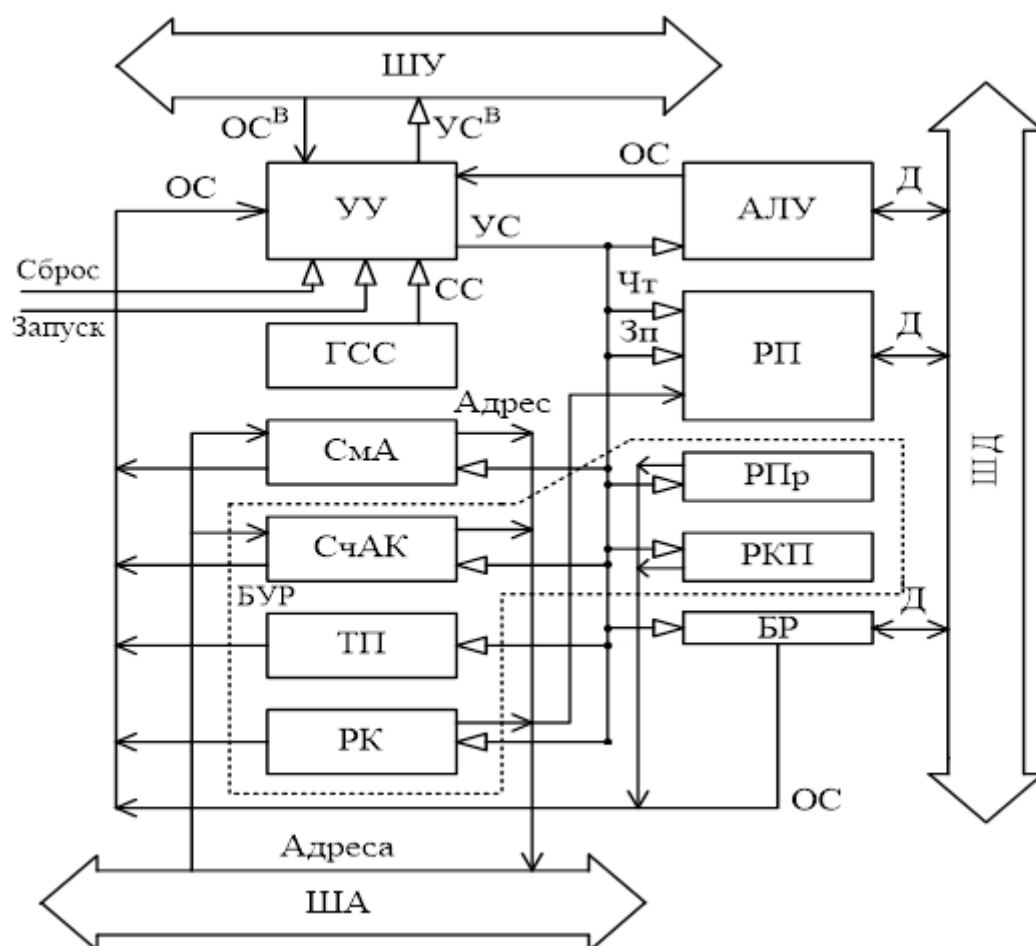


Рисунок 1.1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

- РК – регистр команд,
- СчАК – счетчик адреса команд,
- РПР – регистр признака результата,
- РКП – регистр кода прерывания (регистр флагов прерывания),
- ТП – триггер переходов;

БР – буферный регистр;

ОС<sup>В</sup> – внешние осведомительные сигналы;

УС<sup>В</sup> – внешние управляющие сигналы;

Д – данные.

Исходные данные для курсового проектирования:

Перечень аппаратно поддерживаемых типов данных:

- I2 – 16-разрядные целые числа (данные для арифметической команды).
- L1 – двоичный вектор длиной 8 байт (данные для логической команды);
- F8 – 64-разрядные числа в формате с плавающей точкой (данные для обращения к памяти);

Типы команд:

- Арифметическая команда – сложение чисел с фиксированной точкой;
- Логическая команда – конъюнкция;
- Команда передачи управления – переход по индексу «меньше»;
- Команда обращения к памяти – запись данных из регистра в оперативную память;
- Команда ввода/вывода – передача байта из модуля ввода/вывода (MBV) в процессор;
- Команда «Стоп».

Способы адресации операндов в команде – непосредственная, прямая, регистровая, косвенная через регистр, относительная.

Основные характеристики ОП:

- $E_{ОП} = 128$  – емкость ОП в мегабайтах;
- ШВ = 4 – ширина выборки (разрядность слова ОП в байтах);

Характеристики РП:

- $E_{РП} = 8$  – емкость РП – определяется количеством регистров в блоке.

Регистры отдельные.

- Емкость регистра 32 бита.

Графический материал должен состоять из следующих чертежей:

- 1) Граф-схема алгоритма функционирования центрального обрабатывающего устройства – чертеж.
- 2) Структурная схема центрального обрабатывающего устройства – чертеж.
- 3) Принципиальная схема устройства управления с перечнем элементов – чертеж.



## 2 ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБАТЫВАЕМЫХ ДАННЫХ

### 2.1 Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел –  $[-2^n, 2^n-1]$ , где  $n$  – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (P) и мантиисы (M), при этом P – целое со знаком,  $|M| < 1$ . В случае так называемой нормализованной мантиисы  $\frac{1}{2} \leq |M| < 1$  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой –  $[M_{\min} \cdot 2^{P_{\min}}, M_{\max} \cdot 2^{P_{\max}}]$ .

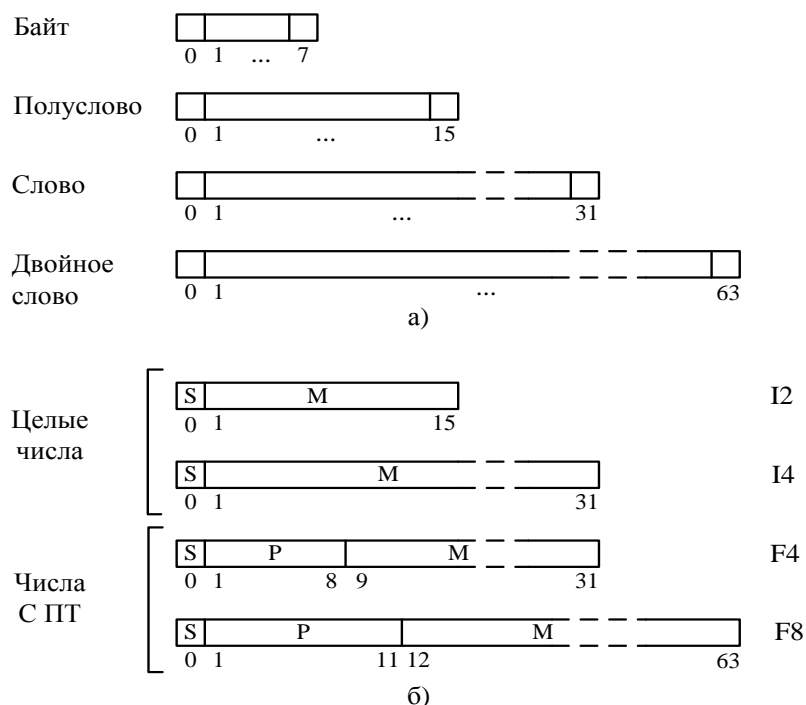


Рисунок 2.1 – Форматы данных

## 2.2 Описание форматов команд

Будем считать, что проектируемое устройство, реализующее пять определенных вариантов задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. Для облегчения процесса выборки команды из ОП все форматы команд будут кратны 2 байтам. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. Под поле код операции (КОП) в команде отводится 1 байт. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

ЦОУ реализует следующие команды:

1) Сложение чисел с фиксированной точкой.

Способы адресации: 1-й операнд – регистровая, 2й операнд – относительная.

Длина команды – 4 байта: КОП(0:7) – код операции; R1(8:11) – адрес РП, по которому хранится первый операнд; В(11:13) – адрес РП, по которому хранится базовый адрес ОП; D(14:31) – смещение в ОП.

Поскольку под смещение отведено 18 бит, то размер сегмента  $2^D = 2^{18} = 256$  Кб.

Команда формирует следующие флаги: нарушение адресации, нарушение спецификации.

Возможные признаки результата: больше нуля, меньше нуля, равно нулю, переполнение порядка.

КОП		R1		В		D	
0	7	8	11	11	13	14	31

2) Двойной логический сдвиг влево над векторами длиной 8 байт.

Способы адресации: 1-й операнд – регистровая, 2й операнд – непосредственная.

Длина команды – 4 байта: КОП(0:7) – код операции, R1(8:10) – адрес РП, в котором хранится 1 операнд, Im(11:18) – константа L1, X(19:31) – неиспользуемые разряды.

Команда формирует следующие флаги: нарушение спецификации.

Возможные признаки результата: равен нулю.

КОП		A(y)		Im		X	
0	7	8	10	11	18	19	31

3) Условный переход по индексу «меньше»:

Способы адресации: 1-й операнд – регистровая, 2й операнд – регистровая, 3й операнд - относительная.

Длина команды – 4 байта: КОП(0:7) – код операции,  $R_1(8:10)$  – адрес в регистровой памяти по которому хранится 1-й операнд,  $R_2(11:13)$  – адрес а ОП, по которому хранится адрес начала цикла.

Команда не вырабатывает признаки результата и не формирует флаги.

КОП		$R_1$		$R_2$		B		D	
0	7	8	10	11	13	14	16	17	31

4) Чтение из РП и запись прочитанных данных в ОП.

Способ адресации: 1-й операнд – регистровая, 2-й операнд – косвенная через регистр.

Длина команды – 2 байта. КОП(0:7) – код операции,  $R_1(8:10)$  – содержит адрес регистра, в котором хранятся данные для записи,  $R_2(12:15)$  – адрес в ОП, куда будут записаны данные из РП, X(14:15)-неиспользуемые разряды.

Команда формирует следующие флаги: нарушение адресации.

Команда не вырабатывает признаки результата.

КОП		$R_1$		$R_2$		X	
0	7	8	10	11	13	14	15

5) Передача байта из процессора в УВВ.

Способ адресации: прямая.

Длина команды – 2 байта: КОП(0:7) – код операции; A(НУНВВ)(8:15) – адрес в ОП, где хранится номер устройства ввода/вывода.. Общее количество

адресуемых УВВ – 256. Байт данных из порта процессора передается в порт устройства, адрес которого задан в 1-м операнде.

КОП		A(НУВВ)	
0	7	8	15

6) Команда «СТОП».

Длина команды – 2 байта: КОП(0:7) – код операции; X(8:15) – неиспользуемые разряды.

Завершает работу устройства. Флагов и прерываний не вырабатывает.

КОП		X	
0	7	8	15

Для заданных команды были подобраны все виды адресаций. Для кодирования 0 и 1 бита КОП будет использована следующая схема: 00 – 2байта, 10 – 4 байта.

Представим полученную систему команд в виде таблице (таблица 1).

Таблица 1. Система команд

№ кл.	№ ком	Название	Содержание	ПР	Флаги	Код (КОП)			
						01	234	567	hex
2	1	Сложение с ФТ	$(R1) := (R1) + ((B) + D)$	$<0, >0, =0$ , ППФТ	A S	10	010	001	91
5	2	Конъюнкция	$(R2) := (R2) \wedge Im$	$=0$	S	10	101	010	AA

Продолжение таблицы 1.

6	3	Переход по индексу «меньше»	$(CчAK):=((B)+D)$ Если $(R1+R2)<((B)+D)$	-		10	110	011	B3
1	4	Запись в память числа с ПТ	$(R2):=R1$	-	A	00	001	100	0C
7	5	Передача байта из процессора в УВВ	$(ПортA):=(HУВВ)$	-	-	00	111	101	3D
		Стоп	STOP	-	-	00	111	111	3F

### 3 СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

- 1) Выборка команды;
- 2) Выполнение команды;
- 3) Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
- 4) Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания К (резервная команда). Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 3.1.

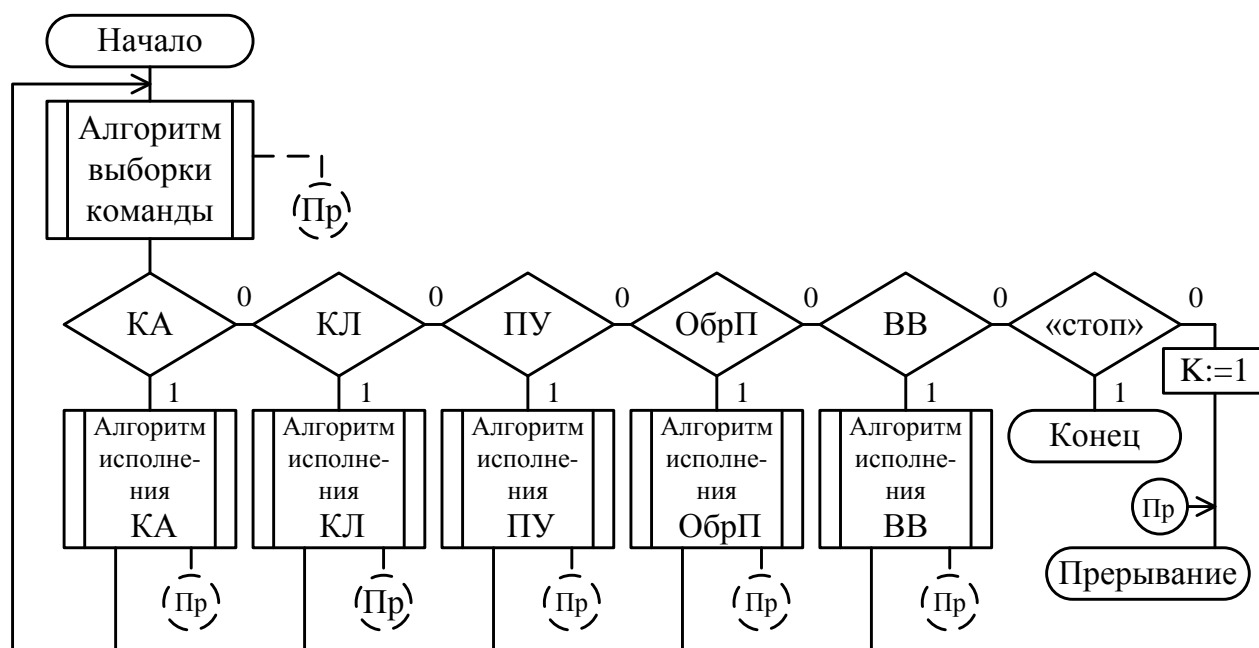


Рисунок 3.1 – Схема алгоритма функционирования ЦОУ

Длины команд составляют 2 и 4 байта, а ширина выборки – 4 байта. Следовательно корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 3.2.

ОП	
0	СОП 31
...	
$K_{2B}$	$K_{2B}$
$1/2 K_{4B}$	$1/2 K_{4B}$
$K_{2B}$	$1/2 K_{4B}$
$1/2 K_{4B}$	$1/3 K_{6B}$
$1/3 K_{6B}$	$1/3 K_{6B}$
$1/3 K_{6B}$	$1/3 K_{6B}$
$1/3 K_{6B}$	$K_{2B}$
...	
АОП	

Рисунок 3.2 – Размещения команд в ОП при ширине выборки 4 байта

Также следует учитывать, что некорректный адрес не дает возможности завершить алгоритм выборки команды. Поэтому в соответствии с методом целочисленных границ, применяемым для обеспечения достоверности выбираемой из ОП информации, команда должна начинаться в памяти с целочисленной границы полуслова (т.е. адрес команды должен быть кратен 2). В противном случае возникает нештатная ситуация (прерывание) – нарушение спецификации.

Содержательная ГСА функционирования ЦОУ представлена на чертеже 2014.М-41д.52.01.

#### 4 СТРУКТУРНАЯ СХЕМА ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА

Структурная схема разрабатываемого ЦОУ содержит следующие элементы:

##### 1. Управляющий автомат (УУ):

Устройство управления – это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов  $\{Y_i\}$ , причем, генерируемые управляющим автоматом последовательности управляющих сигналов  $\{Y_i\}$  предопределяются поступающими на вход этого устройства сигналами из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации  $\{X_i\}$ .

2. АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ представлено на рисунке 4.1.

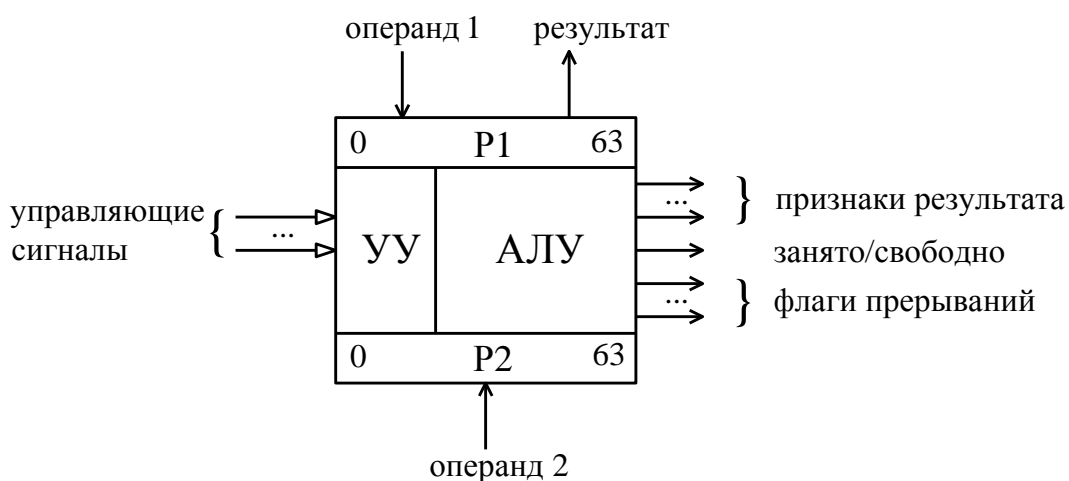


Рисунок 4.1– Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах P1 (первый операнд) и P2 (второй операнд). Результат выполненной операции помещается в P1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 64-разрядные числа в формате с плавающей точкой, то разрядность регистров АЛУ составляет 64 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: сложение чисел с фиксированной точкой (Сложение ФТ), конъюнкция.



АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (больше, меньше, равно нулю, не равно нулю, признак переполнения,  $1 \text{ операнд} < 2 \text{ операнд}$ ), флаги прерываний (нарушение адресации, нарушение спецификации), признак занятости ( $Z_{\text{АЛУ}}$ ).

3. Регистровая память (РП) - организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. Тип РП – раздельная, регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ) разделены по двум блокам. Условное обозначение блока РП показано на рисунке 4.2.

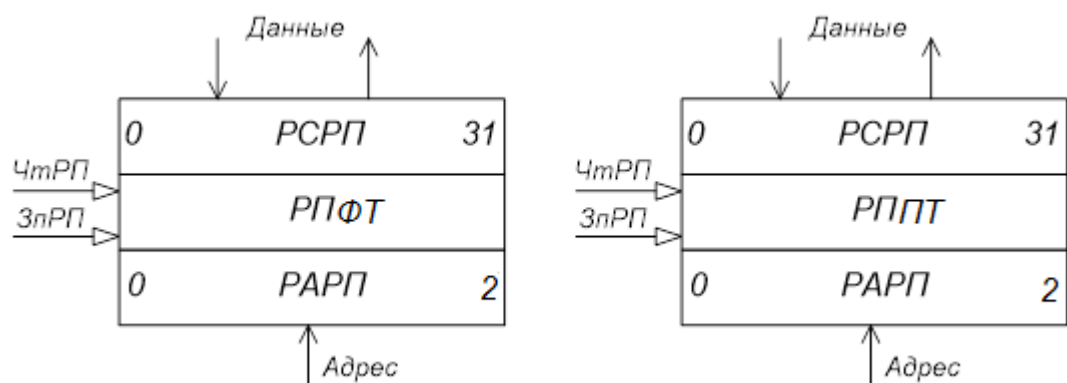


Рисунок 4.2 – Условное обозначение РП

Разрядность регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства разрядность равна 8. Разрядность регистра адреса регистровой памяти (РАРП) определяется как  $\lceil \log_2 E_{\text{РП}} \rceil$ , где  $E_{\text{РП}}$  – количество регистровых схем в блоке памяти. Следовательно разрядность РАРП равна  $\lceil \log_2 8 \rceil = 3$ . Таким образом, регистровая память представляет собой два блока, содержащих по 8 32-разрядных регистров с фиксированной точкой и 8 32-разрядных регистров с плавающей точкой.

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

4. Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 4.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды, то есть 32 разряда.

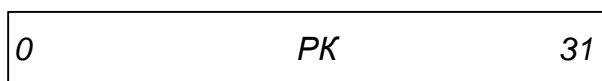


Рисунок 4.3 – Условное обозначение регистра команд

5. Счетчик адреса команды (СчАК) - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как  $\lceil \log_2 E_{ОП} \rceil = \lceil \log_2 128 \rceil = 27$ . При этом, младшие  $k = \lceil \log_2 ШВ \rceil = \lceil \log_2 4 \rceil = 2$  разрядов определяют адрес байта в слове, а старшие разряды (25) – адрес слова ОП. Структура СчАК приведена на рисунке 4.4.

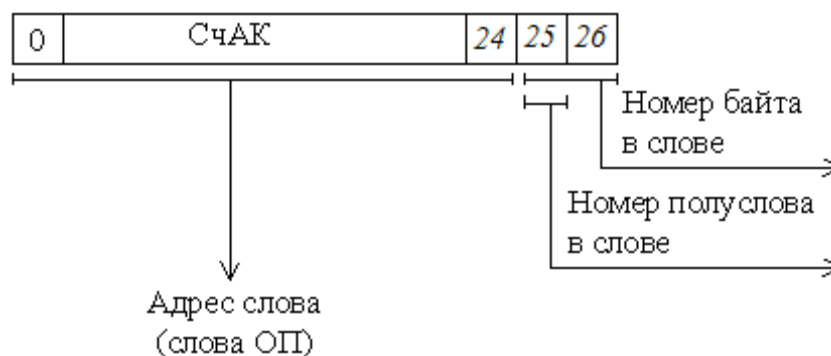


Рисунок 4.4 – Структура СчАК

6. ОП – оперативная память. Исходя из разрядности адреса двойного слова (слова ОП) выбирается разрядность регистра адреса ОП (АОП), то есть его разрядность составляет 24 разрядов. Обращение к РАОП производится через ПортА. Разрядность слова ОП (СОП) равна разрядности слова (так как ШВ 4 байт), то есть 32 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 4.5.

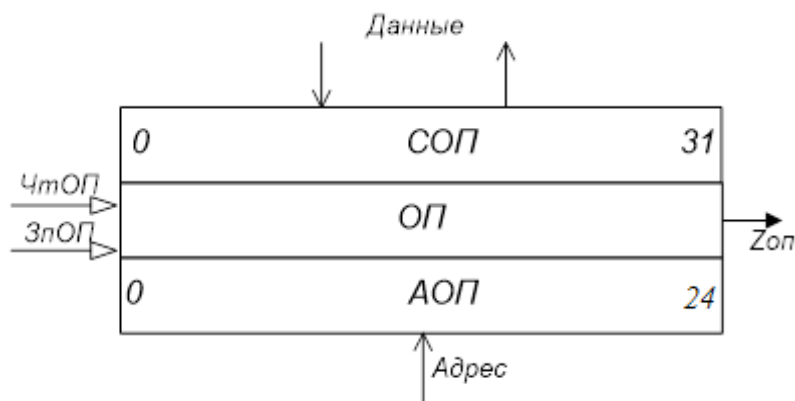


Рисунок 4.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости ( $Z_{ОП}$ ).

7. Сумматор адреса (СМА) – предназначен для вычисления исполнительного адреса ( $A_{ИСП}$ ) в случае его задания в виде нескольких компонент (при относительной адресации  $A_{ИСП}=(B)+D$ ). По разрядности СМА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение. То есть разрядность СМА составляет 28 разрядов (рисунок 4.6).

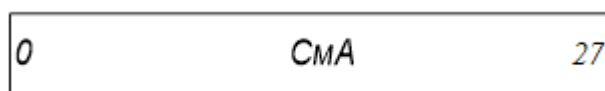


Рисунок 4.6 – Условное обозначение СМА

В данном случае 0-й разряд служит для фиксации переполнения.

8. Триггер перехода (ТП) – сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП требуется при выборке команд из ОП.

9. Разрядность регистра признака результата (РПР) составляет 3 разряда, так как на АЛУ вырабатывается 5 признаков, для кодирования которых необходимо 3 разряда.

10. Регистр флагов имеет разрядность 2, так как на АЛУ формируется 2 флага. Соответствующий разряд устанавливается в 1 в случае формирования соответствующего флага.

11. Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР.

Поскольку ШВ=4, то его разрядность следует выбрать равной 16 разрядов.

12. Процессор обменивается данными с 255 внешними устройствами. На адресные входы в ПортА поступает номер устройства ввода-вывода. Для задания номера устройства требуется 8 разрядов. Условное обозначение модуля ввода-вывода приведено на рисунке 4.7.

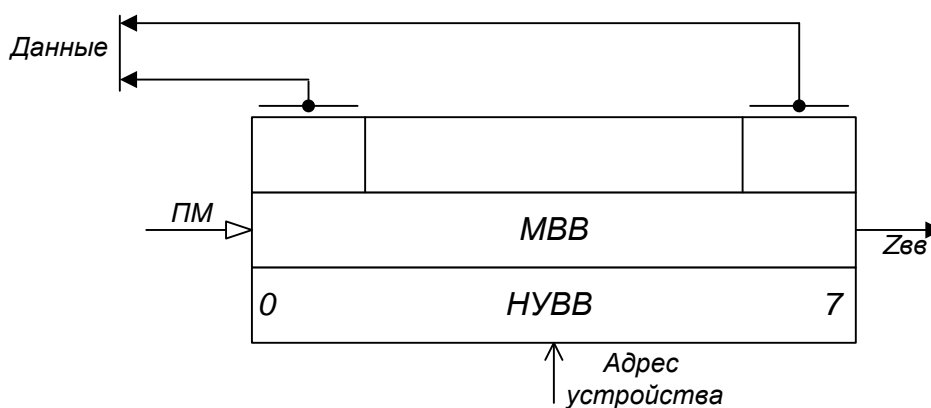


Рисунок 4.7 – Условное обозначение модуля ввода-вывода

На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из МВВ в процессор (ПМ).

МВВ вырабатывает один осведомительный сигнал – признак занятости ( $Z_{ВВ}$ ).

13.Флаг нарушения адресации (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

14.Флаг нарушения спецификации (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

15.Флаг прерывания К (резервная команда) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

Структурная схема ЦОУ представлена на чертеже 2014.М41.52.02.

## 5 АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ

Используя данные, полученные на предыдущих этапах, можно составить архитектуру внешних выводов процессорного блока. Процессор имеет 25 внешних выводов адреса ( $A_i$ ) и 32 внешних выводов данных ( $D_i$ ). Выводы RD, WR, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности  $Z_{ОП}$  от медленной по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности  $Z_{ВВ}$  от медленного внешнего по отношению к процессору устройства MBV. Вывод +5V используется для питания, GND – земля, A – сброс, B – запуск, C – синхросигнал.

При подсчете количества функциональных выводов получим 67 выводов. Так как при разработке архитектуры внешних выводов следует ориентироваться на использование стандартных корпусов, имеющих ограниченное количество выводов, а именно 40, 68, 132, 144, 168, то правильным решением будет использование 68-ми контактного корпуса. Т.к. число выводов в проектируемом устройстве меньше чем число выводов в корпусе, то используем 1 неиспользуемых вывод для линии питания.

Приведем нумерацию контактов используемых в условном графическом обозначении (уго) процессорного блока:

- 1 – питание;
- 2 – используется для приема сигнала готовности  $Z_{ОП}$  от медленного внешнего по отношению к процессору устройства ОП;
- 3 – используется для приема сигнала готовности  $Z_{ВВ}$  от медленного внешнего по отношению к процессору устройства MBV;
- 4 – сброс;
- 5 – запуск;
- 6 – синхросигнал;
- 7 – земля
- 8:32 – адресные выводы ;
- 33:64 – выводы данных;
- 65 – используется для сигнала «ЧтОП»;

- 66 – используется для сигнала «ЗпОП»;
- 67 – используется для сигнала «Вывод»;

Условное графическое обозначение представлено на рисунке 5.1.

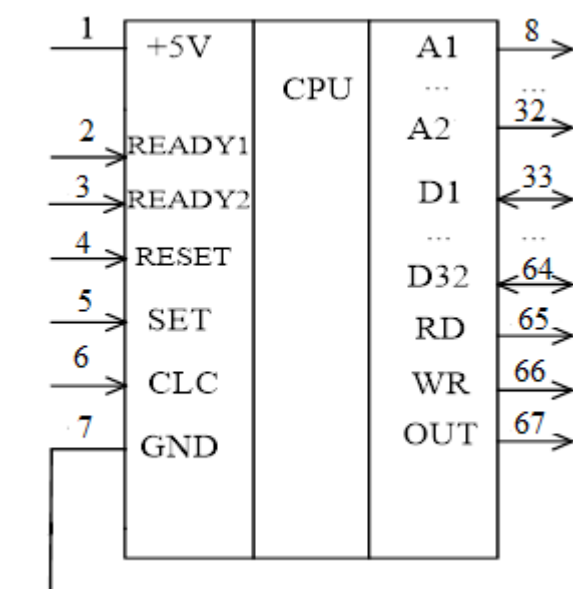


Рисунок 5.1 - Условное графическое обозначение процессорного блока.



## 6.2 Адресация микрокоманд

Принцип принудительной адресации МК предполагает единый формат МК типа М.Х.А. Причем исполнительный адрес следующей МК определяется в предыдущей МК по правилу

$$A_{\text{исп}} = \begin{cases} A.i, \text{ если } X = i \ (x_i = 1), \\ A.0, \text{ в противном случае.} \end{cases}$$

В процессе выполнения микроопераций может измениться значение осведомительного сигнала  $x_i$ , номер которого  $i$  задан в поле Х МК. По окончании выполнения микроопераций и выработки осведомительных сигналов в ОА, рассматриваемая МК инициирует переход к МК, расположенной в ПМК по четному адресу А.0, если  $x_i = 0$ . Если  $x_i = 1$ , то переход осуществляется к микрокоманде, расположенной по нечетному адресу А.1. Результат расстановки адресов представим в виде таблицы 2.

Таблица 2. Результат расстановки адресов

Адрес	М	Адрес	М	Адрес	М
A 0.0	-	A 13.0	-	A 26.0	y25, y26
A 0.1	-	A 13.1	y17	A 26.1	-
A 1.0	y2, y3	A 14.0	y1	A 27.0	-
A 1.1	y1	A 14.1	y3, y18	A 27.1	-
A 2.0	-	A 15.0	y5, y19, y20	A 28.0	-
A 2.1	-	A 15.1	-	A 28.1	y35, y36
A 3.0	-	A 16.0	y23, y24	A 29.0	-
A 3.1	-	A 16.1	-	A 29.1	y14, y15
A 4.0	-	A 17.0	y1, y17	A 30.0	-
A 4.1	y4, y5	A 17.1	y25, y26	A 30.1	y41, y42
A 5.0	-	A 18.0	-	A 31.0	y15, y20, y40
A 5.1	y5, y11	A 18.1	y15, y20	A 31.1	y17
A 6.0	-	A 19.0	y27, y28, y29	A 32.0	y15, y43, 44
A 6.1	y5, y6, y7, y8	A 19.1	y30	A 32.1	-
A 7.0	y5, y7, y8, y9	A 20.0	y25, y26	A 33.0	y24, y41, y42
A 7.1	y5, y8, y10	A 20.1	-	A 33.1	-
A 8.0	-	A 21.0	-	A 34.0	-
A 8.1	y2, y3	A 21.1	y31	A 34.1	-
A 9.0	y5, y7, y8, y9	A 22.0	y15, y32	A 35.0	-
A 9.1	-	A 22.1	y3, y18	A 35.1	y17
A 10.0	-	A 23.0	y16	A 36.0	-
A 10.1	y13	A 23.1	y15, y20, y33	A 36.1	y45, y46
A 11.0	y14, y15	A 24.0	y14, y15	A 37.0	-
A 11.1	-	A 24.1	-	A 37.1	-
A 12.0	y16	A 25.0	y37, y38	A 38.0	y12
A 12.1	y21, y22	A 25.1	y34, y39	A 38.1	-



### 6.3 Кодирование поля микрооперации

При вертикально-горизонтальном способе кодирования все множество МО делится на подмножества, однако в каждое подмножество включаются только те МО, которые связаны между собой отношением совместимости по времени исполнения (встречаются вместе хотя бы в одной МК). Для всех этих подмножеств выделяется в операционной части МК одно поле  $M_3$ , длина которого определяется максимальным количеством МО в подмножествах. Принцип кодирования МО в поле  $M_3$  – горизонтальный. Идентифицирующее поле  $M_2$  заполняется вертикальным кодом номера подмножества, зафиксированного в поле  $M_3$ . Отличительной особенностью вертикально-горизонтального способа кодирования является требование несовместимости выделенных подмножеств МО между собой. Удовлетворить этому требованию можно, выделив наиболее часто встречающиеся в МК микрооперации в отдельное подмножество (универсальную группу). Кодирование МО универсальной группы – горизонтальное. Код универсальной группы помещается в поле  $M_1$  операционной части МК.

Для более наглядного отображения совместимых микроопераций (МО) построим граф совместимости МО. Данный граф представлен в Приложении А.

В результате выполнения алгоритма кодирования была получена следующая универсальная группа:  $y_5$ , подмножество несовместимых МО (таблица 3).

Таблица 3. Подмножества несовместимых МО

Адрес подмножества	Подмножество
<b>00000</b>	$Y1=\{y_{14},y_{15},y_{19},y_{20},y_{32},y_{33}\}$
<b>00001</b>	$Y2=\{y_{40},y_{43},y_{44},y_{47},y_{48},y_{49}\}$
<b>00010</b>	$Y3=\{y_6,y_7,y_8,y_9,y_{10}\}$
<b>00011</b>	$Y4=\{y_{23},y_{24},y_{41},y_{42}\}$
<b>00100</b>	$Y5=\{y_{27},y_{28},y_{29}\}$
<b>00101</b>	$Y6=\{y_2,y_3,y_{18}\}$
<b>00110</b>	$Y7=\{y_1,y_{17}\}$
<b>00111</b>	$Y8=\{y_{21},y_{22}\}$
<b>01000</b>	$Y9=\{y_{25},y_{26}\}$
<b>01001</b>	$Y10=\{y_{34},y_{39}\}$
<b>01010</b>	$Y11=\{y_{35},y_{36}\}$
<b>01011</b>	$Y12=\{y_{37},y_{38}\}$
<b>01100</b>	$Y13=\{y_{45},y_{46}\}$
<b>01101</b>	$Y14=\{y_{12}\}$
<b>01110</b>	$Y15=\{y_{13}\}$
<b>01111</b>	$Y16=\{y_{11}\}$
<b>10000</b>	$Y17=\{4\}$

<b>10001</b>	Y18={16}
<b>10010</b>	Y19={30}
<b>10011</b>	Y20={31}

Количество осведомительных сигналов ЦОУ – 22, что потребует 5 бит в поле МК для логического условия. Кодировать их будем тривиальным позиционным кодом. Коды осведомительных сигналов представлены в табл. 4.

Таблица 4. Коды осведомительных сигналов

Осведомительный сигнал	Код				
<b>x6/0</b>	0	0	0	0	0
<b>x1</b>	0	0	0	0	1
<b>x2</b>	0	0	0	1	0
<b>x3</b>	0	0	0	1	1
<b>x4</b>	0	0	1	0	0
<b>x5</b>	0	0	1	0	1
<b>x6</b>	0	0	1	1	0
<b>x7</b>	0	0	1	1	1
<b>x8</b>	0	1	0	0	0
<b>x9</b>	0	1	0	0	1
<b>x10</b>	0	1	0	1	0
<b>x11</b>	0	1	0	1	1
<b>x12</b>	0	1	1	0	0
<b>x13</b>	0	1	1	0	1
<b>x14</b>	0	1	1	1	0
<b>x15</b>	0	1	1	1	1
<b>x16</b>	1	0	0	0	0
<b>x17</b>	1	0	0	0	1
<b>x18</b>	1	0	0	1	0
<b>x19</b>	1	0	0	1	1
<b>x20</b>	1	0	1	0	0
<b>x6/1</b>	1	1	1	1	1

Микропрограмма в условных обозначениях представлена в Приложении Б.

Количество разрядов, необходимых для кодирования части М в МК, равняется 12, для поля М1 отводится 1 разряд, для М2 – 5 разрядов, и для М3 – 6 разрядов. Общее количество адресов 39 составляет, что потребует 6 бит в поле МК для определения адреса. Формат микрокоманды представлен на рисунке 6.2.

М												Х					А					
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23

Рисунок 6.2 – Формат микрокоманды

Микропрограмма в двоичных обозначениях представлена в Приложении В.

#### 6.4 Разработка принципиальной схемы УА

Память микропрограммы имеет размерность  $76 \times 23$ . Для реализации ПМП была взята ИМС K155PE3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит ( $32 \times 8$ ). Для реализации ПМП в данном курсовом проекте потребуется 9 микросхем K155PE3 (DD24-DD32).

На адресные входы всех микросхем подаются адреса 0..4 с регистра адреса микрокоманд (АМК). Старшие адреса микрокоманды (5:6) подаются на дешифратор DD33 (K155ИД4). Дешифратор, в свою очередь, выбирает линейку из трех микросхем памяти, которые хранят код одной микрокоманды.

Регистр микрокоманд имеет разрядность 23 бита. Для реализации его в схеме электрической принципиальной использовались 3 регистра K155ИР13 (DD35-DD37).

В исходном состоянии по всем адресам и разрядам записан логический ноль. По стробу С1 данные с памяти микропрограмм поступают на входы регистра микрокоманд.

Регистр адреса микрокоманд имеет разрядность 7 бит и для реализации его в схеме используется регистр K155ИР13 (DD38). По стробу С3 данные из регистра микрокоманд (РМК[18:23]) и сформированный осведомительный сигнал как младший бит поступают на регистр адреса микрокоманд. Старший бит регистра адреса микрокоманд замыкается на землю.

В качестве выбора условия использовались четыре микросхемы K155КП5 (DD20–DD23). Младшие 3 разряда РМК[14;15;16] подаются на 3 мультиплексора формируя сигнал  $x_i$ , который подается на 4-й мультиплексор который и формирует выходной сигнал. Результирующий мультиплексор (DD23) вырабатывает сигнал  $Xx1$ , который путем сложения со стробом С3 образует сигнал  $Xx$ , который подается на младший разряд регистра адреса микрокоманд DD38.

В качестве формирователя сигнала микроопераций использовалась 13 микросхем K155ЛИ1 (DD7-DD19), 4 микросхемы K155ЛН1 (DD3–DD6) и дешифраторы K155ИД3 (DD1-DD2).

Универсальная группа микроопераций формируется на первом элементе микросхемы DD7. На вход этой микросхемы подается сигнал РМК[0] и стробом С2 осуществляется дешифрация универсальной группы.

Дешифрация кода группы осуществляется на DD1 и DD2. На входы ИМС подаются сигналы РМК[2:5], которые образуют код группы. Стробом  $\neg$ С2 осуществляется дешифрация кода группы. Полученный унитарный код выбирает одну из групп  $y_j$  на микросхемах DD7-DD19.

Полученные  $y_j$  подаются на разъемы ХР1, ХР2.

С целью устранения низкочастотных и высокочастотных помех по питанию, были использованы электролитические, низкочастотные конденсаторы (С1-С5) и керамические высокочастотные конденсаторы (С6-С19), из расчета 0,1 мкФ на один корпус для низкочастотных фильтров, и 0,002 мкФ на одну интегральную схему для высокочастотных.

Электрическая принципиальная схема УА приведена на чертеже 2014.М41д.52.03.

Условные графические обозначения и характеристики использованных элементов:

1. K155РЕЗ – электрически программируемое ПЗУ емкостью 32х8 (рис.6.3).

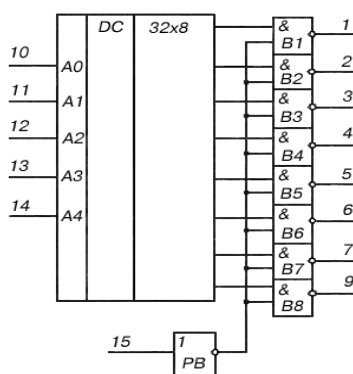


Рисунок 6.3 – Условное графическое обозначение ИМС K155РЕЗ

- |               |                        |
|---------------|------------------------|
| 1-выход В1;   | 9 - выход В8;          |
| 2 - выход В2; | 10 - вход адресный А0; |
| 3 - выход В3; | 11 - вход адресный А1; |

- |               |                                  |
|---------------|----------------------------------|
| 4 - выход В4; | 12 - вход адресный А2;           |
| 5 - выход В5; | 13 - вход адресный А3;           |
| 6 - выход В6; | 14 - вход адресный А4;           |
| 7 - выход В7; | 15 - вход разрешения выборки РВ; |
| 8 - общий;    | 16 - напряжение питания;         |

#### Электрические параметры ИМС:

1	Номинальное напряжение питания	5 В +-5 %
2	Выходное напряжение низкого уровня	не более 0,5 В
3	Напряжение на антизвонном диоде	не менее -1,5 В
4	Входной ток низкого уровня	не более -1 мА
5	Входной ток высокого уровня по выводам 10-14 ,по выводу 15	не более 0,04 мА не более 0,08 мА
6	Выходной ток высокого уровня	не более 0,1 мА
7	Ток утечки на входе	не более 1 мА
8	Ток потребления	не более 110 мА
9	Потребляемая статическая мощность	не более 550 мВт
10	Время выборки разрешения при включении	не более 50 нс
11	Время выборки разрешения при выключении	не более 50 нс
12	Время выборки адреса при включении	не более 65 нс
13	Время выборки адреса при выключении	не более 65 нс

2.К155ИД3 – Дешифратор – демультиплексор 4 линии на 16(рис.6.4).

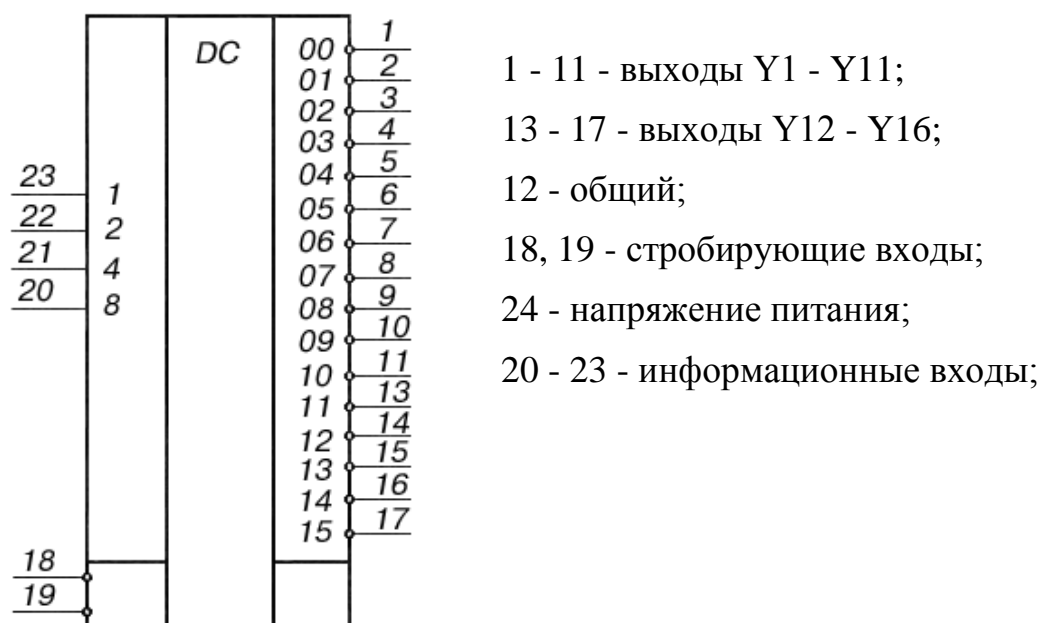
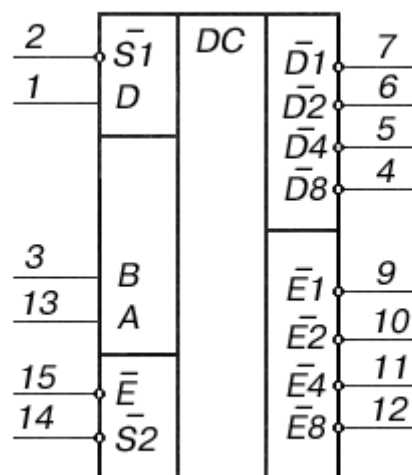


Рисунок 6.4– УГО ИМС К155ИД3

Электрические параметры:

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 56 мА
7	Время задержки распространения при включении: по входам 20 – 23 по входам 18, 19	не более 33 нс не более 27 нс
8	Время задержки распространения при выключении по входам 20 - 23 по входам 18, 19	не более 36 нс не более 30 нс
9	Время дешифрации	не более 35 нс
10	Потребляемая мощность	не более 294 мВт

3.К155ИД4 – Сдвоенный дешифратор-демультиплексор(рис.6,5).



1 - информационный вход D; 9 - выход E1;  
 2 - стробирующий вход S1; 10 - выход E2;  
 3 - адресный вход B; 11 - выход E4;  
 4 - выход D8; 12 - выход E8;  
 5 - выход D4; 13 - адресный вход A;  
 6 - выход D2; 14 - стробирующий вход S2;  
 7 - выход D1; 15 - информационный вход E;  
 8 - общий; 16 - напряжение питания;

Рисунок 6.5 –УГО ИМС К155ИД4

Электрические параметры:

1	Номинальное напряжение питания	5 В +5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 56 мА
7	Напряжение на антизвонном диоде	не менее -1,5 В
8	Входной пробивной ток	не более 1 мА
9	Потребляемая мощность	не более 294 мВт

4. К155ИР13 – восьмиразрядный реверсивный сдвиговый регистр(рис.6.6).

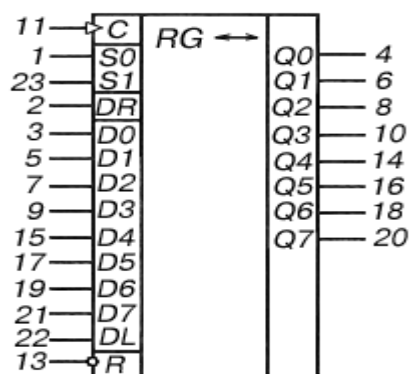


Рисунок 6.6 –УГО ИМС У155ИР13

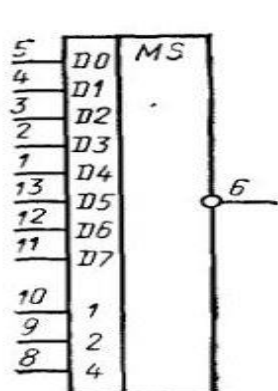
- |   |   |
|---|---|
| 1 - вход режимный S0;   | 13 - вход инверсный "сброс" R;                                    |
| 2 - вход последовательного ввода информации при сдвиге вправо DR; | 14 - выход Q4; 15 - вход D4;                                      |
| 3 - вход информационный D0;                                       | 16 - выход Q5; 17 - вход D5;                                      |
| 4 - выход Q0; 5 - вход D1;  | 18 - выход Q6; 19 - вход D6;                                      |
| 6 - выход Q1; 7 - вход D2;  | 20 - выход Q7; 21 - вход D7;                                      |
| 8 - выход Q2; 9 - вход D3;  | 22 - вход последовательного ввода информации при сдвиге влево DL; |
| 10 - выход Q3;  | 23 - вход режимный S1;  |
| 11 - вход синхронизации C;  | 24 - напряжение питания;  |
| 12 - общий;   |   |

Электрические параметры:

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Помехоустойчивость	Не менее 0,4В
7	Ток короткого замыкания	-18...-57мА
8	Рабочая частота	25Мгц
9	Потребляемая мощность	не более 609 мВт



### 5.К155КП5 – Селектор мультиплексор на 8 каналов(рис.6.7).



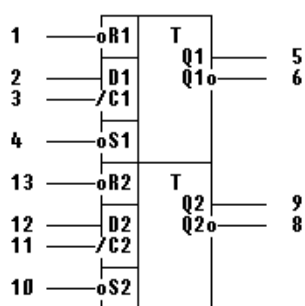
- |              |                          |
|--------------|--------------------------|
| 1 - вход X5; | 8 - вход X11;            |
| 2 - вход X4; | 9 - вход X10;            |
| 3 - вход X3; | 10 - вход X9;            |
| 4 - вход X2; | 11 - вход X8;            |
| 5 - вход X1; | 12 - вход X7;            |
| 6 – выход Y; | 13 - вход X6;            |
| 7 - общий;   | 14 - напряжение питания; |

Рисунок 6.7 – УГО ИМС К155КП5

Электрические параметры:

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 43 мА
7	Потребляемая мощность	не более 226 мВт

### 6.К155ТМ2 – два D-триггера(Рис. 6.8).



7 - общий;

- |                                      |                                       |
|--------------------------------------|---------------------------------------|
| 1 - инверсный вход установки "0" R1; | 9 - вход Q2;                          |
| 2 - вход D1;                         | 10 - инверсный вход установки "1" S2; |
| 3 - вход синхронизации C1;           | 11 - вход синхронизации C2;           |
| 4 - инверсный вход установки "1" S1; | 12 - вход D2;                         |
| 5 - выход Q1;                        | 13 - инверсный вход установки "0" R2; |
| 6 - выход инверсный Q1;              | 14 - напряжение питания;              |
| 8 - выход инверсный Q2;              |                                       |

Рисунок 6.8 – УГО ИМС К155ТМ2

Электрические параметры:

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Напряжение на антизвонном диоде	не более -1,5В
5	Входной ток высокого уровня по входам 2,4,10,12 по входам 1,3,11,13	не более -1,6мА не более -3,2 мА
6	Входной ток высокого уровня по входам 2,12 по входам 4,3,11,10	не более 0,04 мА не более 0,08 мА
7	Входной пробивной ток	не более 1 мА
8	Ток потребления	не более 30мА
9	Потребляемая статическая мощность	не более 75 мВт
10	Время задержки распространения при включении	не более 40 нс
11	Время задержки распространения при выключении	не более 25 нс

7.К155ЛИ1 – четыре логических элемента 2И(рис.6.9).

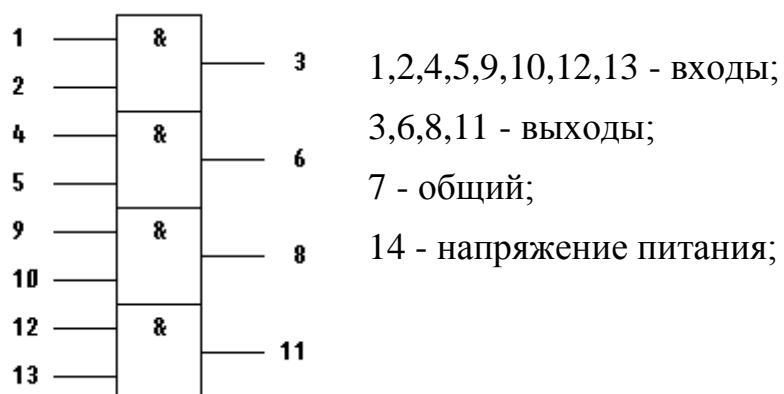


Рисунок 6.9 – УГО ИМС К155ЛИ1

### Электрические параметры

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 33 мА
7	Время задержки при включении	не более 19 нс
8	Время задержки при выключении	не более 27 нс

8.K155ЛН1 – шесть логических элементов НЕ(рис.6.10).

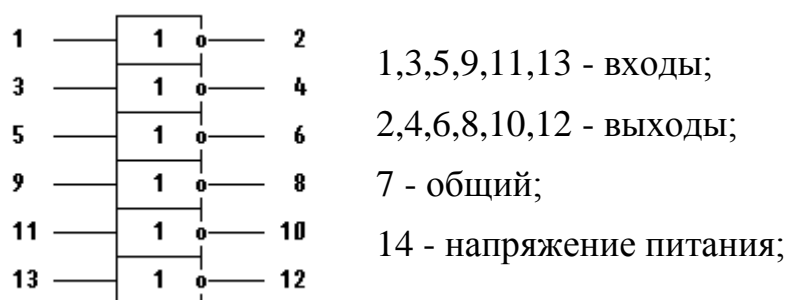
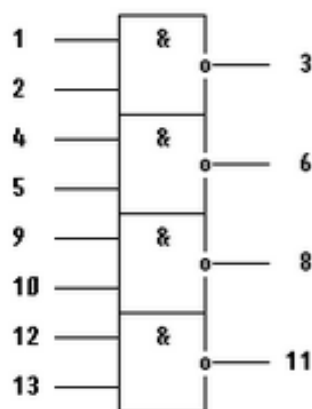


Рисунок 6.10 – УГО ИМС К155ЛН1

### Электрические параметры

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 33 мА
7	Время задержки при включении	не более 15 нс
8	Время задержки при выключении	не более 22 нс



9.K155ЛА3 – четыре логических элемента 2И-НЕ(рис.6.11)

1,2,4,5,9,10,12,13 - входы X1-X8;

3 - выход Y1;

6 - выход Y2;

7 - общий;

8 - выход Y3;

11 - выход Y4;

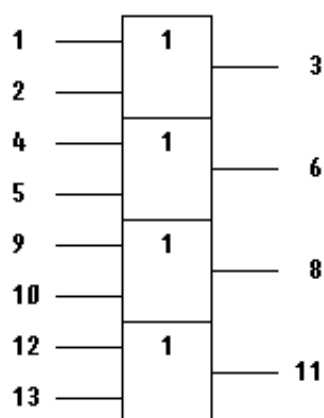
14 - напряжение питания;

Рисунок 6.11 – УГО ИМС К155ЛА3

Электрические параметры

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 22 мА
7	Время задержки при включении	не более 15 нс
8	Время задержки при выключении	не более 22 нс

10.K155ЛЛ1 – четыре логических элемента 2ИЛИ(6.12)



1,2,4,5,9,10,12,13 - входы;

3,6,8,11 - выходы;

7 - общий;

14 - напряжение питания;

Рисунок 6.12 – УГО ИМС К155ЛЛ1

### Электрические параметры

1	Номинальное напряжение питания	5 В $\pm$ 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 38 мА
7	Время задержки при включении	не более 22 нс
8	Время задержки при выключении	не более 15 нс

Перечень элементов представлен в Приложении Г.

## 7 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

$$T_{OU} = T_{УУ} + T_{ОБ},$$

где  $T_{УУ}$  – время срабатывания управляющего устройства,

$T_{ОБ}$  – время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО. Расчетное значение тактовой частоты определяется величиной  $F=1/T_{OU}$ .

Временная диаграмма работы ОУ с учетом реальных задержек в схемах устройства строится в соответствии со следующими временными соотношениями:

$\tau_1 \geq \tau_{\text{выб}}$ , где  $\tau_{\text{выб}}$  – максимальное время выборки слова из ПМП;

$$\tau_1 \geq 65 \text{ нс}$$

$\tau_2 \geq \tau_p$ , где  $\tau_p$  – время, необходимое для записи слова в РМК;

$$\tau_2 \geq 35 \text{ нс}$$

$\tau_3 \geq \max\{\tau_{\text{ФСМО}}, \tau_{\text{ФА}}\}$ , где  $\tau_{\text{ФСМО}}$  – время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  $\tau_{\text{ФА}}$  – суммарное время срабатывания всех схем, включенных в ФА;

$$\tau_3 \geq \max\{35 + 15 + 19; 15 + 35 + 19\} = \max\{69; 69\} = 69 \text{ нс}$$

$$\tau_4 = \max_k \{ \tau_{MO_k} \}, \text{ где } \tau_{MO_k} - \text{ время исполнения в ОБ } k\text{-ой микрооперации}$$

(в случае синхронизации с постоянным тактом);

$$\tau_4 \geq 55 \text{ нс}$$

$\tau_5 \geq \tau_{\Phi A}$ ;  $\tau_6 \geq \tau_{AMK}$ , где  $\tau_{AMK} = \tau_P$  – время срабатывания регистра АМК (РМАК);

$$\tau_5 \geq 69 \text{ нс} \quad \tau_6 \geq 20 \text{ нс}$$

$$T_{OY} = \tau_1 + \delta + \tau_2 + \tau_3 + \tau_4 + \tau_5 + \tau_6$$

$\delta = 10 \text{ нс}$  – интервал  $\delta$ , гарантирующий загрузку «правильного слова» в РМК.

$$T_{OY} = 65 + 10 + 35 + 69 + 55 + 69 + 20 = 323 \text{ нс}$$

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК.

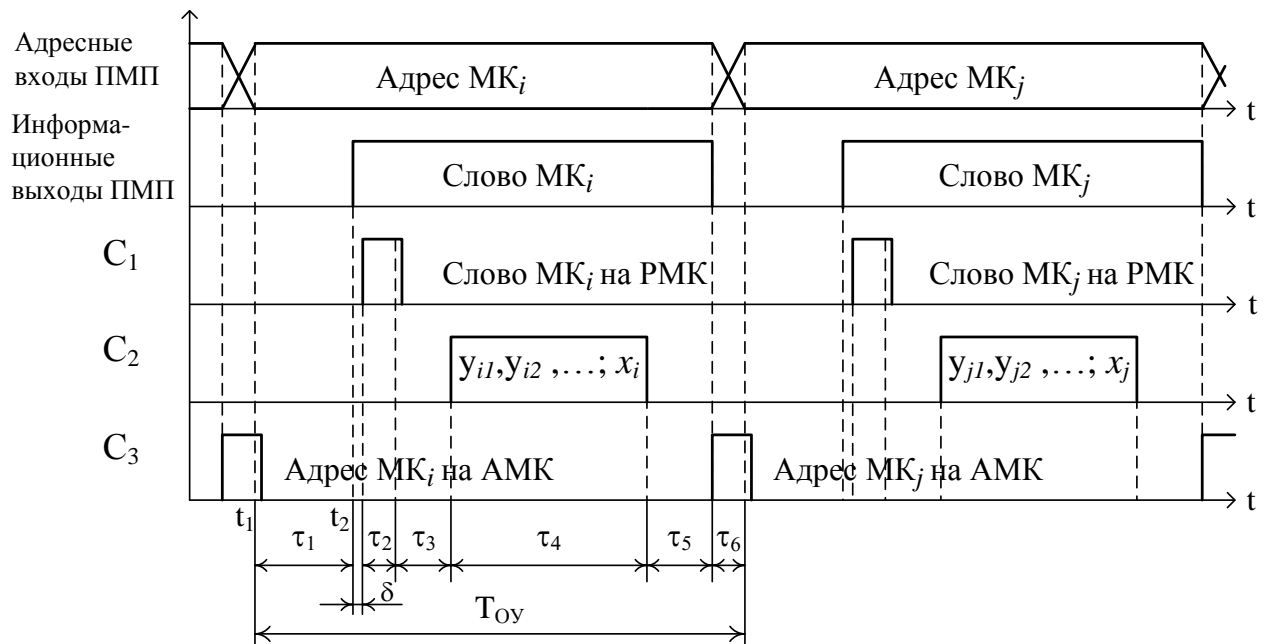


Рисунок 7.1 – Временная диаграмма процесса исполнения МК

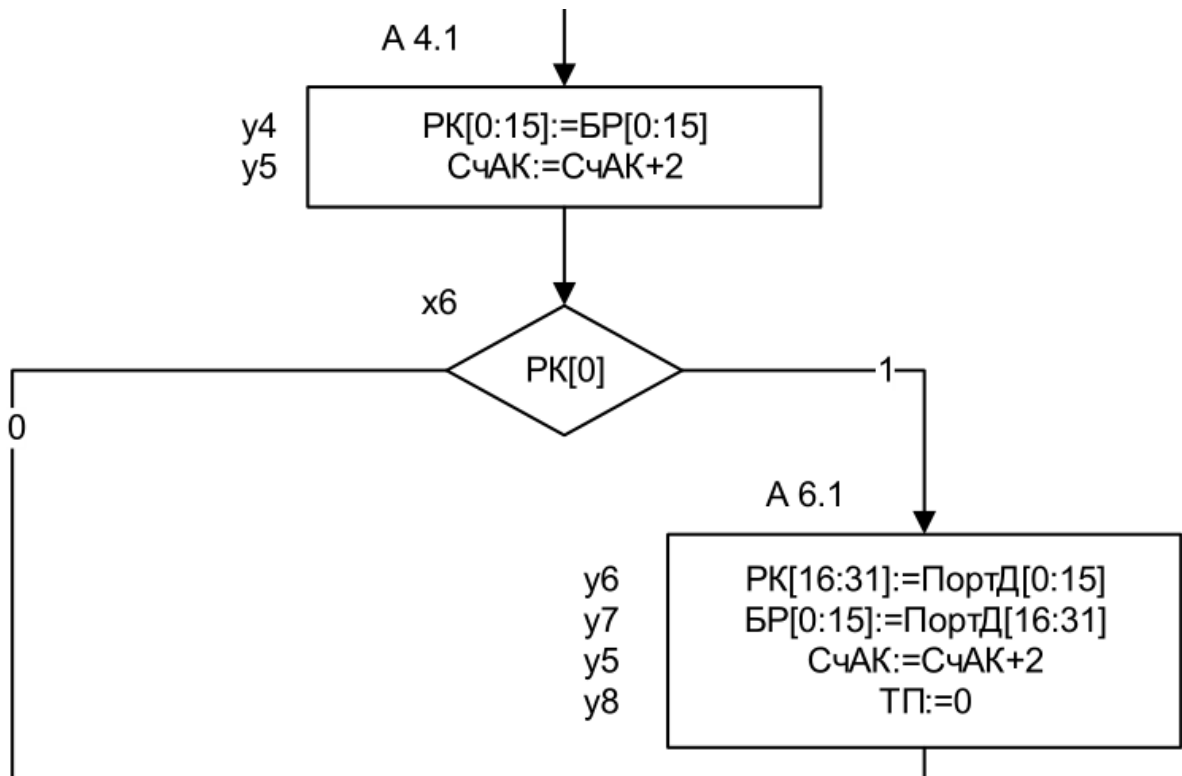
Расчетное значение тактовой частоты определяется величиной  $F = 1/T_{OY}$ .

$$F = \frac{1}{323 \cdot 10^{-9}} = 0,321 \cdot 10^6 \text{ Гц}$$

Рабочая частота  $F_p$  выбирается из гостированного ряда частот  $\{F\}$  при условии, что  $F_p \leq 0,8F$ .

$$F_p = 0,8 \cdot F = 0,8 \cdot 0,321 \cdot 10^6 = 0,256 \cdot 10^6 \text{ Гц}$$

Таким образом, рабочая частота составляет 1 МГц.  
Выполнил моделирования на следующем участке ГСА:



Входными условиями являются адрес микрокоманды А4.1, условие  $x_6=1$ .  
Стробом С1 происходит инициация записи слова МК в РМК. Содержание команды следующее:

Адрес	М											X					A						
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A 4.1	1	1	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	0

На ИМС DD20-DD23 происходит формирование сигнала  $X_{x1}$  по сигналам РМК[12:16], которые поступают со сдвиговых регистров DD35-DD37. Младшие разряды РМК[14:16] поступают на DD20-DD22, тем самым подготавливая значения управляющего сигнала  $x_6(x_6=1)$ , который подается на DD23.

По стробу  $\neg C_2$  происходит расшифровка номера группы на ИМС DD1, DD2 и пропуск сигналов универсальной группы. В данной МК не происходит никаких действий, поэтому управляющих сигналов выработано не будет.

По стробу  $C_3$  происходит пропуск сигнала  $X_x$ , который выработался на ИМС DD23, т.е. единицы. На ИМС DD38 происходит формирование АМК как



РМК[17:22].Хх. Следующим адресом, который будет записан в АМК будет адрес [00011 1], т.е. А6.1.

Так как АМК[5:6]=00, то на ИМС DD33 будет выбран строб Е1, который в свою очередь разрешит работу линейки ПЗУ DD24, DD27, DD30. На ПМП[0:22] будет сформировано, а затем по стробу С1 записано на РМК[0:22] следующее содержание команды:

Адрес	М												Х						А					
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
А 6.1	1	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	

На ИМС DD20-DD23 происходит формирование сигнала Хх1 по сигналам РМК[12:16], которые поступают со сдвиговых регистров DD31-DD33.

По стробу –С2 происходит расшифровка номера группы на ИМС DD1 и пропуск сигналов универсальной группы. РМК[1:5]=00010, значит произойдет выбор группы 2. В данной группе располагаются такие управляющие сигналы как [у6,у7,у8,у9,у10]. РМК[6:11]=111000, поэтому будут выработаны сигналы у6, у7,у8. Также РМК[0]=1, поэтому из универсальной группы будет выработан сигнал у5.

По стробу С3 происходит пропуск сигнала Хх, который выработался на ИМС DD23, т.е. нуля. На ИМС DD34 происходит формирование АМК как РМК[17:22].Хх. Следующим адресом, который будет записан в АМК будет адрес [000110], т.е. А6.0.

Результаты, полученные при моделировании соответствуют ожидаемым, что говорит о корректности функционирования ЦОУ.

## ЗАКЛЮЧЕНИЕ

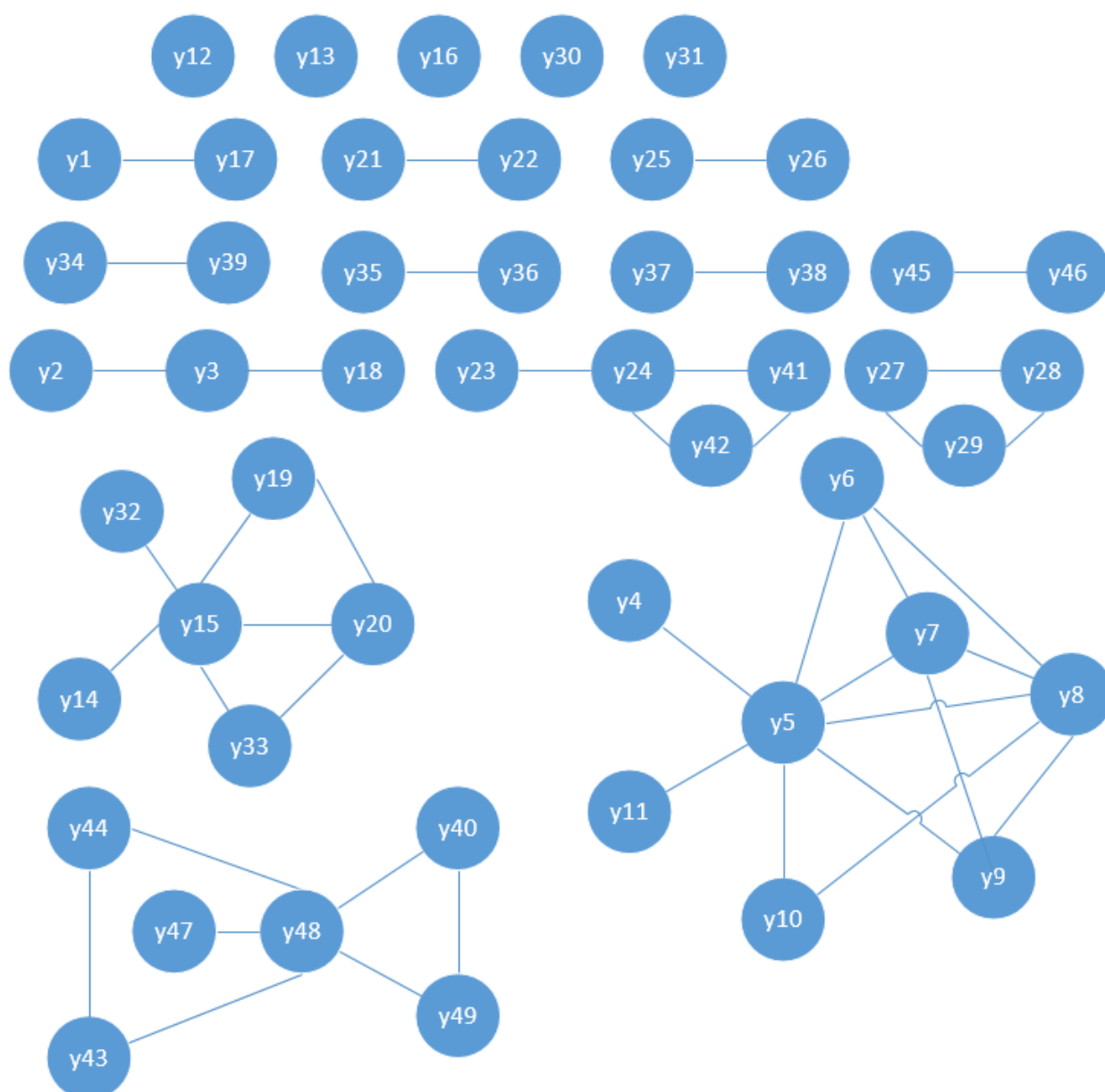
В данной курсовой работе были изучены принципы структурной и функциональной организации цифровых вычислительных машин и их узлов. Было спроектировано центральное обрабатывающее устройство, реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины. Устройство управления организовано в виде управляющего автомата с программируемой логикой.

В ходе выполнения курсовой работы было составлено описание форматов команд и обрабатываемых данных, построена граф-схема алгоритма функционирования центрального обрабатывающего устройства, структурная схема центрального обрабатывающего устройства. Также было синтезировано устройство управления с принудительной адресацией микрокоманд, составлена микропрограмма функционирования центрального обрабатывающего устройства, построена схема электрическая принципиальная управляющего устройства. Было проведено моделирование ЦОУ, которое показало, что устройство работает правильно. Были рассчитаны временные характеристики управляющего устройства.

## СПИСОК ИСПОЛЬЗУЕМОЙ ЛИТЕРАТУРЫ

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб.пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001 – 345с.
2. Танненбаум Э. Архитектура компьютера/ Э. Танненбаум. – СПб.: Питер, 2007. – 844 с.
3. ДСТУ 3008–95. Документация. Отчеты в сфере науки и техники. Структура и правила оформления. – Введ. 1995–02–23. – К.: Госстандарт Украины, – 81с.
4. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.
5. Популярныe цифровые микросхемы: Шило В. Л.: Справочник .- М.: Радио и связь, 1987. -357с.: ил.

# Приложение А. Граф совместимости МО



## Приложение Б. Микропрограмма в условных обозначениях

Адр.	М	Х	А
A0.0	-	x1	A1
A0.1	-	хбп/1	A38
A1.0	y2, y3	хбп/1	A2
A1.1	y1	хбп/1	A1
A2.0	-	x3	A3
A2.1	-	x2	A2
A3.0	-	x4	A4
A3.1	-	x4	A5
A4.0	-	x5	A7
A4.1	y4, y5	x6	A6
A5.0	-	x5	A7
A5.1	y5, y11	x6	A8
A6.0	-	x7	A10
A6.1	y5, y6, y7, y8	хбп/0	A6
A7.0	y5, y7, y8, y9	хбп/0	A6
A7.1	y5, y8, y10	хбп/0	A6
A8.0	-	x7	A10
A8.1	y2, y3	хбп/1	A9
A9.0	y5, y7, y8, y9	хбп/0	A6
A9.1	-	x2	A9
A10.0	-	x8	A18
A10.1	y13	x13	A11
A11.0	y14, y15	хбп/0	A12
A11.1	-	x14	A13
A12.0	y16	хбп/1	A11
A12.1	y21, y22	хбп/1	A16
A13.0	-	x15	A14
A13.1	y17	хбп/1	A0
A14.0	y1	хбп/1	A0
A14.1	y3, y18	хбп/1	A15
A15.0	y5, y19, y20	хбп/1	A12
A15.1	-	x2	A15
A16.0	y23, y24	x17	A17
A16.1	-	x16	A16
A17.0	y1, y17	хбп/1	A0
A17.1	y25, y26	хбп/0	A0
A18.0	-	x9	A21
A18.1	y15, y20	хбп/0	A19
A19.0	y27, y28, y29	хбп/1	A20
A19.1	y30	хбп/0	A0
A20.0	y25, y26	хбп/1	A19
A20.1	-	x16	A20
A21.0	-	x10	A29
A21.1	y31	x18	A22
A22.0	y15, y32	хбп/0	A23
A22.1	y3, y18	хбп/1	A24
A23.0	y16	хбп/1	A22
A23.1	y15, y20, y33	хбп/0	A25
A24.0	y14, y15	хбп/1	A23
A24.1	-	x2	A24
A25.0	y37, y38	хбп/1	A26

<b>A25.1</b>	y34, y39	хбп/1	A27
<b>A26.0</b>	y25, y26	хбп/1	A25
<b>A26.1</b>	-	х16	A26
<b>A27.0</b>	-	х19	A28
<b>A27.1</b>	-	х16	A27
<b>A28.0</b>	-	х1	A1
<b>A28.1</b>	y35, y36	хбп/0	A0
<b>A29.0</b>	-	х11	A36
<b>A29.1</b>	y47, y48	хбп/0	A30
<b>A30.0</b>	-	х20	A31
<b>A30.1</b>	y41, y42	хбп/1	A32
<b>A31.0</b>	y48, y49, y40	хбп/1	A30
<b>A31.1</b>	y17	хбп/1	A0
<b>A32.0</b>	y48, y43, 44	хбп/0	A33
<b>A32.1</b>	-	х2	A32
<b>A33.0</b>	y24, y41, y42	хбп/1	A34
<b>A33.1</b>	-	-	-
<b>A34.0</b>	-	х17	A35
<b>A34.1</b>	-	х2	A34
<b>A35.0</b>	-	х1	A1
<b>A35.1</b>	y17	хбп/1	A0
<b>A36.0</b>	-	х12	A38
<b>A36.1</b>	y45, y46	хбп/1	A37
<b>A37.0</b>	-	х1	A1
<b>A37.1</b>	-	х2	A37
<b>A38.0</b>	y12	хбп/1	A38
<b>A38.1</b>	-	-	-

## Приложение В. Микропрограмма в двоичных обозначениях

Адрес	М												Х					А					
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
A 0.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1
A 0.1	-	-	-	-	-	-	-	-	-	-	-	-	1	1	1	1	1	1	0	0	1	1	1
A 1.0	0	0	0	1	0	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0
A 1.1	0	0	0	1	1	0	1	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	1
A 2.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
A 2.1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0
A 3.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
A 3.1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1
A 4.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1
A 4.1	1	1	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	0
A 5.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1
A 5.1	1	0	1	1	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0
A 6.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0	1	0
A 6.1	1	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0
A 7.0	1	0	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0
A 7.1	1	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	1	1	0
A 8.0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0	1	0
A 8.1	0	0	0	1	0	1	1	1	0	0	0	0	1	1	1	1	1	0	0	1	0	0	1
A 9.0	1	0	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0
A 9.1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1
A10.0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0
A10.1	0	0	1	1	1	0	1	0	0	0	0	0	0	1	1	0	1	0	0	1	0	1	1
A11.0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
A11.1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	1	1	0	1
A12.0	0	1	0	0	0	1	1	0	0	0	0	0	1	1	1	1	1	0	0	1	0	1	1
A12.1	0	0	0	1	1	1	1	1	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0
A13.0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	1	0
A13.1	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0
A14.0	0	0	0	1	1	0	1	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0
A14.1	0	0	0	1	0	1	0	1	1	0	0	0	1	1	1	1	1	0	0	1	1	1	1
A15.0	0	0	0	0	0	0	0	1	1	1	0	0	1	1	1	1	1	0	0	1	1	0	0
A15.1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
A16.0	0	0	0	0	1	1	1	1	0	0	0	0	1	0	0	0	1	0	1	0	0	0	1
A16.1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
A17.0	0	0	0	1	1	0	1	1	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0
A17.1	0	0	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
A18.0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0	1	0	1
A18.1	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	0	1	1
A19.0	0	0	0	1	0	0	1	1	1	0	0	0	1	1	1	1	1	0	1	0	1	0	0
A19.1	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
A20.0	0	1	0	0	0	0	1	1	0	0	0	0	1	1	1	1	1	0	1	0	0	1	1
A20.1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0
A21.0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1	1	0	1
A21.1	0	1	0	0	1	1	1	0	0	0	0	0	1	0	0	1	0	0	1	0	1	1	0
A22.0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	0	1	1	1
A22.1	0	0	0	1	0	1	0	1	1	0	0	0	1	1	1	1	1	0	1	1	0	0	0
A23.0	0	1	0	0	0	1	1	0	0	0	0	0	1	1	1	1	1	0	1	0	1	1	0
A23.1	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	1	1	0	0	1
A24.0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	1	1	1	0	1	0	1	1	1
A24.1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0

[illegible]



## Приложение Г. Перечень элементов

	Наименование		Примечание
	Стандартные элементы		
	Микросхемы		
DD21-DD29	K155PE3	9	
DD1	K155ИД3	1	
DD30	K155ИД4	1	
DD31-DD34	K155ИР13	4	
DD17-DD20	K155КП5	4	
DD37	K155ТМ2	1	
D5-D16D38.1	K155ЛИ1	13	
D2-D4,D35	K155ЛН1	4	
DD37.1-2	K155ЛА3	2	
D36,D39.1-3	K155ЛЛ1	2	
	Конденсаторы		
C1-C5	K53-4 1мкФ ±5%	5	
C6-C19	KM5 15нФ ±5%	19	
	Резисторы		
R1	МЛТ-0,25 1кОм ±10%	1	
	Разъёмы		
XP1	CONN-DIL 30	1	
XP2	CONN-DIL 50	1	