Севастопольский национальный технический университет

Кафедра Кибернетики и

Вычислительной техники

Пояснительная записка

К курсовому проекту

По дисциплине: «Архитектура ЭВМ»

На тему:

«Синтез центрального обрабатывающего устройства ЦВМ»

Выполнил:

Ст.гр. М-41д

Салидинов А.И.

Проверил:

Проф. д.т.н. Апраксин Ю.К.

Севастополь

2014

СОДЕРЖАНИЕ

ВВЕДЕНИЕ 5

1 ПОСТАНОВКА ЗАДАЧИ 6

2 ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБАТЫВАЕМЫХ ДАННЫХ 9

2.1 Форматы данных 9

2.2 Описание форматов команд 10

3 СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ 14

4 СТРУКТУРНАЯ СХЕМА ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА 16

5 АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ 21

6 СИНТЕЗ УПРАВЛЯЮЩЕГО АВТОМАТА 23

6.1 Общая структура 23

6.2 Адресация микрокоманд 24

6.3 Кодирование поля микрооперации 25

6.4 Разработка принципиальной схемы УА 27

7 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ ЦОУ 38

ЗАКЛЮЧЕНИЕ 42

СПИСОК ИСПОЛЬЗУЕМОЙ ЛИТЕРАТУРЫ 43

Приложение А. Граф совместимости МО 44

Приложение Б. Микропрограмма в условных обозначениях 45

Приложение В. Микропрограмма в двоичных обозначениях 46

Приложение Г. Перечень элементов 48

ВВЕДЕНИЕ

Данная курсовая работа посвящена изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Целью является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ».

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой электронно-вычислительной машины (ЦЭВМ). Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

1 ПОСТАНОВКА ЗАДАЧИ

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины (ЦВМ).

ЦОУ обеспечивает реализацию хранящейся в оперативной памяти (ОП) программы, команды которой принадлежат ограниченному множеству типовых команд, исполняемых компьютером. К ним относятся:

* арифметическая команда,
* логическая команда,
* команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
* команда обращения к устройству ввода/вывода,
* команда передачи управления,
* команда «Стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

1. осуществить выборку команды из ОП в строгом соответствии с форматом команды,
2. расшифровать код операции в команде,
3. выполнить расшифрованную операцию,
4. подготовить устройство к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 1.1.



Рисунок 1.1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

* РК – регистр команд,
* СчАК – счетчик адреса команд,
* РПР – регистр признака результата,
* РКП – регистр кода прерывания (регистр флагов прерывания),
* ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, …, ВРk), используемых для эффективной организации процесса исполнения команд;

ОСВ – внешние осведомительные сигналы;

УСВ – внешние управляющие сигналы;

Д – данные.

Исходные данные для курсового проектирования:

Перечень аппаратно поддерживаемых типов данных:

* I4 – 32-разрядные целые числа (данные для арифметической команды).
* F4 – 32-разрядные числа в формате с плавающей точкой (данные для обращения к памяти);
* L8 – двоичный вектор длиной 8 байт (данные для логической команды);

Типы команд:

* Арифметическая команда – вычитание чисел с фиксированной точкой;
* Логическая команда – двойной сдвиг влево;
* Команда передачи управления – переход по счетчику;
* Команда обращения к памяти – пересылка данных из регистра в оперативную память;
* Команда ввода/вывода – передача байта из процессора в модуль ввода/вывода (МВВ);
* Команда «Стоп».

Способы адресации операндов в команде – непосредственная, прямая, косвенная, регистровая, косвенная через регистр, относительная.

Основные характеристики ОП:

*  – емкость ОП в мегабайтах;
*  – ширина выборки (разрядность слова ОП в байтах);

Характеристики РП:

*  – емкость РП – определяется количеством регистров в блоке. Регистры универсальные.
* Емкость регистра 32 бита.

Графический материал должен состоять из следующих чертежей:

1. Граф-схема алгоритма функционирования центрального обрабатывающего устройства – чертеж.
2. Структурная схема центрального обрабатывающего устройства − чертеж.
3. Принципиальная схема устройства управления с перечнем элементов – чертеж.

2 ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБАТЫВАЕМЫХ ДАННЫХ

2.1 Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – .



Рисунок 2.1 – Форматы данных

2.2 Описание форматов команд

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. Для облегчения процесса выборки команды из ОП все форматы команд будут кратны 2 байтам. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. Под поле код операции (КОП) в команде отводится 1 байт. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

ЦОУ реализует следующие команды:

1)Вычитание чисел с фиксированной точкой.

Способы адресации: 1-й операнд – регистровая, 2й операнд – относительная.

Длина команды – 4 байта: КОП(0:7) – код операции; R1(8:11) – адрес РП, по которому хранится первый операнд; B(12:15) – адрес РП, по которому хранится базовый адрес ОП; D(16:31) – смещение в ОП.

Поскольку под смещение отведено 16 бит, то размер сегмента 2D = 216= 64 Кб.

Команда формирует следующие флаги: нарушение адресации, нарушение спецификации.

Возможные признаки результата: больше нуля, меньше нуля, равно нулю, переполнение порядка.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | B | D |
| 0 7 | 8 11 | 12 15 | 16 31 |

2) Двойной логический сдвиг влево над векторами длиной 8 байт.

Способы адресации: 1-й операнд – косвенная, 2й операнд – непосредственная.

Под косвенную адресацию зарезервируем первые 4096 ячеек памяти(12 разрядов): 212 = 4096 = 4Кб.

Длина команды – 4 байта: КОП(0:7) – код операции, А(У)(8:19) – укороченный адрес, в котором содержится полный адрес 1-го операнда в ОП , Im(20:25) – константа сдвига, т.к. сдвигаемый вектор равен 8 байтам то отведено 6 разрядов : 26 = 64 разряда, Х(26:31) – неиспользуемые разряды.

Команда формирует следующие флаги: нарушение спецификации.

Возможные признаки результата: равен нулю.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| КОП | А(у) | | Im | X |
| 0 7 | | 8 19 | 20 25 | 26 31 |

3)Условный переход по счетчику:

Способы адресации: 1-й операнд – регистровая, 2й операнд – регистровая.

Длина команды – 2 байта: КОП(0:7) – код операции, R1(8:11)– адрес в регистровой памяти по которому хранится 1-й операнд, количество повторений цикла, R2(12:15)–адрес а ОП, по которому хранится адрес начала цикла.

Команда не вырабатывает признаки результата и не формирует флаги.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | | R2 |
| 0 7 | | 8 11 | 12 15 |

4)Чтение из РП и запись прочитанных данных в ОП.

Способ адресации: 1-й операнд – регистровая, 2-й операнд –косвенная через регистр.

Длина команды – 2 байта. КОП(0:7) – код операции, R1(8:11)– содержит адрес регистра, в котором хранятся данные для записи, R2(12:15) – адре св ОП, куда будут записаны данные и РП.

Команда формирует следующие флаги: нарушение адресации.

Команда не вырабатывает признаки результата.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | | R2 |
| 0 7 | | 8 11 | 12 15 |

5) Передача байта из процессора в УВВ.

Способ адресации: прямая.

Длина команды – 2 байта: КОП(0:7) – код операции; А(НУНВВ)(8:15) – адрес в ОП, где хранится номер устройства ввода/вывода.. Общее количество адресуемых УВВ – 256. Байт данных из порта процессора передается в порт устройства, адрес которого задан в 1-м операнде.

|  |  |  |
| --- | --- | --- |
| КОП | | А(НУВВ) |
| 0 7 | 8 15 | |

6) Команда «СТОП».

Длина команды – 2 байта: КОП(0:7) – код операции; X(8:15) – неиспользуемые разряды.

Завершает работу устройства. Флагов и прерываний не вырабатывает.

|  |  |  |
| --- | --- | --- |
| КОП | | Х |
| 0 7 | 8 15 | |

Для заданных команды были подобраны все виды адресаций. Для кодирования 0 и 1 бита КОП будет использована следующая схема: 00 – 2байта, 10 – 4 байта.

Представим полученную систему команд в виде таблице (таблица 1).

Таблица 1. Система команд

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № кл. | №  ком | Название | Содержание | ПР | Флаги | Код (КОП) | | | |
| 01 | 234 | 567 | hex |
| 2 | 1 | Вычитание с ФТ | (R1):=(R1)-((B)+D) | <0,>0,=0, ППФТ | А  S | 10 | 010 | 001 | 91 |
| 5 | 2 | Логический сдвиг влево | (А):=<<Im | =0 | S | 10 | 101 | 010 | AA |

Продолжение таблицы 1.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 6 | 3 | Переход по счетчику | (СчАК):=(R2)  Если R1-1=0 | - | - | 00 | 110 | 011 | 33 |
| 1 | 4 | Запись в память числа с ПТ | (R2):=R1 | - | A | 00 | 001 | 100 | 0C |
| 7 | 5 | Передача байта из процессора в УВВ | (НУВВ):=(ПортД) | - | - | 00 | 111 | 101 | 3D |
|  |  | Стоп | STOP | - | - | 00 | 111 | 111 | 7F |

3 СОДЕРЖАТЕЛЬНАЯ ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

1. Выборка команды;
2. Выполнение команды;
3. Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
4. Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания K (резервная команда). Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 3.1.



Рисунок 3.1 – Схема алгоритма функционирования ЦОУ

Длины команд составляют 2 и 4 байта, а ширина выборки – 4 байта. Следовательно корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 3.2.



Рисунок 3.2 - Размещения команд в ОП при ширине выборки 4 байта

Также следует учитывать ,что некорректный адрес не дает возможности завершить алгоритм выборки команды. Поэтому в соответствии с методом целочисленных границ, применяемым для обеспечения достоверности выбираемой из ОП информации , команда должна начинаться в памяти с целочисленной границы полуслова (т.е. адрес команды должен быть кратен 2). В противном случае возникает нештатная ситуация (прерывание) – нарушение спецификации.

Содержательная ГСА функционирования ЦОУ представлена на чертеже 2014.М-41д.62.01.

4 СТРУКТУРНАЯ СХЕМА ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА

Структурная схема разрабатываемого ЦОУ содержит следующие элементы:

1.Управляющий автомат (**УУ**):

Устройство управления – это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов {Yi}, причем, генерируемые управляющим автоматом последовательности управляющих сигналов {Yi} предопределяются поступающими на вход этого устройства сигналами из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации {Xi}.

2.АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ представлено на рисунке 4.1.



Рисунок 4.1– Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1 (первый операнд) и Р2 (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 64-разрядные числа в формате с плавающей точкой, то разрядность регистров АЛУ составляет 64 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: вычитание чисел с фиксированной точкой(Выч ФТ), двойной логический сдвиг влево (СДВ).

АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (больше, меньше, равно нулю, не равно нулю. признак переполнения), флаги прерываний (нарушение адресации, нарушение спецификации), признак занятости (ZАЛУ).

3.Регистровая память (РП) - организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. Тип РП – универсальная, регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ) объединены в один блок. Условное обозначение блока РП показано на рисунке 4.2.



Рисунок 4.2 – Условное обозначение РП

Разрядность регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства разрядность равна 32. Разрядность регистра адреса регистровой памяти (РАРП) определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти. Следовательно разрядность РАРП равна ⎡log232⎤ = 5, но при формировании адреса регистра старший разряд приписывается автоматически в зависимости от типа используемого регистра, что позволяет использовать 4 младшие разряда для указания адреса регистра в регистре команд . Таким образом, регистровая память представляет собой блок, содержащий 16 32-разрядных регистров с фиксированной точкой и 16 32-разрядных регистров с плавающей точкой.

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).Также предусмотрен сигнал «-1», по которому значение регистра в РП уменьшается на 1.

4. Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 4.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды, то есть 32 разряда.



Рисунок 4.3 – Условное обозначение регистра команд

5.Счетчик адреса команды (СчАК) - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2512⎤ = 29. При этом, младшие k = ⎡log2ШВ⎤ = ⎡log24⎤ =2 разрядов определяют адрес байта в слове, а старшие разряды (27) – адрес слова ОП. Структура СчАК приведена на рисунке 4.4 .



Рисунок 4.4 – Структура СчАК

6. ОП – оперативная память. Исходя из разрядности адреса двойного слова (слова ОП) выбирается разрядность регистра адреса ОП (АОП), то есть его разрядность составляет 26 разряда. Обращение к РАОП производится через ПортА. Разрядность слова ОП (СОП) равна разрядности слова (так как ШВ 4 байт), то есть 32 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 4.5.



Рисунок 4.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

7. Сумматор адреса (СмА) – предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент ( при относительной адресации АИСП=(B)+D ). По разрядности СмА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение. То есть разрядность СмА составляет 30 разрядов (рисунок 4.6).



Рисунок 4.6 – Условное обозначение СмА

В данном случае 0-й разряд служит для фиксации переполнения.

8. Триггер перехода (ТП) – сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП требуется при выборке команд из ОП.

9. Разрядность регистра признака результата (РПР) составляет 2 разряда, так как на АЛУ вырабатывается 4 признака, для кодирования которых необходимо 2 разряда.

10.Регистр флагов имеет разрядность 2, так как на АЛУ формируется 2 флага. Соответствующий разряд устанавливается в 1 в случае формирования соответствующего флага.

11. Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР.

Поскольку ШВ=4, то его разрядность следует выбрать равной 16 разрядов.

12. Процессор обменивается данными с 255 внешними устройствами. На адресные входы МВВ поступает номер устройства ввода-вывода. Для задания номера устройства требуется 8 разрядов. Условное обозначение модуля ввода-вывода приведено на рисунке 4.7.



Рисунок 4.7 – Условное обозначение модуля ввода-вывода

На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из процессора в МВВ (ПМ).

МВВ вырабатывает один осведомительный сигнал – признак занятости (ZВВ).

13.Флаг нарушения адресации (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

14.Флаг нарушения спецификации (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

15.Флаг прерывания K (резервная команда) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

Структурная схема ЦОУ представлена на чертеже 2014.М41.62.02.

5 АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ

Используя данные, полученные на предыдущих этапах, можно составить архитектуру внешних выводов процессорного блока. Процессор имеет 27 внешних выводов адреса (Аi) и 32 внешних выводов данных (Di). Выводы RD, WR, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности ZОП от медленной по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ. Вывод +5V используется для питания, GND – земля, А – сброс, В – запуск , C – синхросигнал.

При подсчете количества функциональных выводов получим 69 выводов. Так как при разработке архитектуры внешних выводов следует ориентироваться на использование стандартных корпусов, имеющих ограниченное количество выводов, а именно 40, 68, 132, 144, 168, то правильным решением будет использование 132-ух контактного корпуса. Т.к. число выводов в проектируемом устройстве меньше чем число выводов в корпусе, то используем 35 неиспользуемых вывода для линий питания и 30 вывод для GND.

Приведем нумерацию контактов используемых в условном графическом обозначении (уго) процессорного блока:

* 1:35 – питание;
* 36 – используется для приема сигнала готовности ZОП от медленного внешнего по отношению к процессору устройства ОП;
* 37 – используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ;
* 38 – сброс;
* 39 – запуск;
* 40 – синхросигнал;
* 41:70 – земля:
* 71:97 – адресные выводы ;
* 98:129 – выводы данных;
* 130 – используется для сигнала «ЧтОП»;
* 131 – используется для сигнала «ЗпОП»;
* 132 – используется для сигнала «Вывод»;

Условное графическое обозначение представлено на рисунке 5.1.



Рисунок 5.1 - Условное графическое обозначение процессорного блока.

6 СИНТЕЗ УПРАВЛЯЮЩЕГО АВТОМАТА

6.1 Общая структура

Обобщенная структура УА с программируемой логикой представлена на рисунке 6.1.

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве АМК используется регистр . Пуск автомата осуществляется подачей в схему управляющего сигнала *В*, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала *А*. Сигнал Сброс или Уст (установка) устанавливает на АМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Формирователь адреса (ФА), сравнивая поле ЛУ в МК с двоичным вектором осведомительных сигналов (x1, x2,…,xn), принимает решение о передаче кода на АМК.



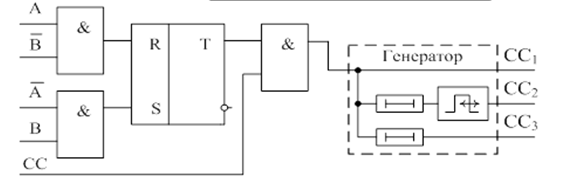


Рисунок 6.1 – Обобщенная структура УА

6.2 Адресация микрокоманд

Принцип принудительной адресации МК предполагает единый формат МК типа М.Х.А. Причем исполнительный адрес следующей МК определяется в предыдущей МК по правилу



В процессе выполнения микроопераций может измениться значение осведомительного сигнала *xi*, номер которого *i* задан в поле Х МК. По окончании выполнения микроопераций и выработки осведомительных сигналов в ОА, рассматриваемая МК инициирует переход к МК, расположенной в ПМК по четному адресу А.0, если *xi*= 0. Если *xi*= 1, то переход осуществляется к микрокоманде, расположенной по нечетному адресу А.1. Результат расстановки адресов представим в виде таблицы 2.

Таблица 2. Результат расстановки адресов

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес | М |  | Адрес | М |  | Адрес | М |
| A 0.0 | - |  | A 12.1 | y17 |  | A 25.0 | - |
| A 0.1 | y16 |  | A 13.0 | y1 |  | A 25.1 | y1 |
| A 1.0 | y2 y3 |  | A 13.1 | y18 y3 |  | A 26.0 | - |
| A 1.1 | у1 |  | A 14.0 | y19 y20 y15 |  | A 26.1 | y20 y15 |
| A 2.0 | - |  | A 14.1 | - |  | A 27.0 | y38 y26 |
| A 2.1 | - |  | A 15.0 | y21 y22 |  | A 27.1 | y39 y40 |
| A 3.0 | - |  | A 15.1 | y34 y35 |  | A 28.0 | - |
| A 3.1 | - |  | A 16.0 | y23у24 |  | A 28.1 | y14 y15 |
| A 4.0 | - |  | A 16.1 | - |  | A 29.0 | - |
| A 4.1 | y4 y5 |  | A 17.0 | y1 y17 |  | A 29.1 | y41 y15 |
| A 5.0 | - |  | A 17.1 | y25 y26 |  | A 30.0 | y42 y43 y15 |
| A 5.1 | y12 y5 |  | A 18.0 | - |  | A 30.1 | y44 y35у24 |
| A 6.0 | - |  | A 18.1 | y27 y3 |  | A 31.0 | - |
| A 6.1 | y7 y8 y5 y6 |  | A 19.0 | y28 y3 |  | A 31.1 | - |
| A 7.0 | y9 y8 y5 y6 |  | A 19.1 | - |  | A 32.0 | - |
| A 7.1 | y10 y11 y6 |  | A 20.0 | y29 y30 y3 |  | A 32.1 | y17 |
| A 8.0 | - |  | A 20.1 | - |  | A 33.0 | - |
| A 8.1 | y2 y3 |  | A 21.0 | y31 y32 y33 |  | A 33.1 | y45 y46 |
| A 9.0 | y7 y8 y5 y6 |  | A 21.1 | - |  | A 34.0 | - |
| A 9.1 | - |  | A 22.0 | y23у24 |  | A 34.1 | - |
| A 10.0 | - |  | A 22.1 | - |  | A 35.0 | y47 |
| A 10.1 | y13 |  | A 23.0 | y36 y37 y35 |  | A 35.1 | - |
| A 11.0 | y14 y15 |  | A 23.1 | - |  | A 36.1 | - |
| A 11.1 | - |  | A 24.0 | - |  |  |  |
| A 12.0 | - |  | A 24.1 | - |  |  |  |

6.3 Кодирование поля микрооперации

При вертикально-горизонтальном способе кодирования все множество МО делится на подмножества, однако в каждое подмножество включаются только те МО, которые связаны между собой отношением совместимости по времени исполнения (встречаются вместе хотя бы в одной МК). Для всех этих подмножеств выделяется в операционной части МК одно поле М3, длина которого определяется максимальным количеством МО в подмножествах. Принцип кодирования МО в поле М3 – горизонтальный. Идентифицирующее поле М2 заполняется вертикальным кодом номера подмножества, зафиксированного в поле М3. Отличительной особенностью вертикально-горизонтального способа кодирования является требование несовместимости выделенных подмножеств МО между собой. Удовлетворить этому требованию можно, выделив наиболее часто встречающиеся в МК микрооперации в отдельное подмножество (универсальную группу). Кодирование МО универсальной группы – горизонтальное. Код универсальной группы помещается в поле М1 операционной части МК.

Для более наглядного отображения совместимых микроопераций (МО) построим граф совместимости МО. Данный граф представлен в Приложении А.

В результате выполнения алгоритма кодирования была получена следующая универсальная группа: *у5,*  подмножество несовместимых МО(таблица 3).

Таблица 3. Подмножества несовместимых МО

|  |  |
| --- | --- |
| Адрес подмножества | Подмножество |
| 0000 | Y1={y2,y3,y18,y27,y29,y29,y30} |
| 0001 | Y2={y14,y15,y19,y20,y41,y42,y43} |
| 0010 | Y3={y23,y24,y34,y35,y36,y37,у44} |
| 0011 | Y4={y6,y7,y8,y9,y10,y11} |
| 0100 | Y5={y25,y26,y38} |
| 0101 | Y6={y31,y32,y33} |
| 0110 | Y7={y1,y17} |
| 0111 | Y8={y21,y22} |
| 1000 | Y9={y39,y40} |
| 1001 | Y10={y45,y46} |
| 1010 | Y11={y4} |
| 1011 | Y12={y13} |
| 1100 | Y13={y12} |
| 1101 | Y14={y16} |
| 1110 | У15={y47} |

Количество осведомительных сигналов ЦОУ – 24, что потребует 5 бит в поле МК для логического условия. Кодировать их будем тривиальным позиционным кодом. Коды осведомительных сигналов представлены в табл. 4.

Таблица 4. Коды осведомительных сигналов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Осведомительный сигнал | Код | | | | |
| хб/0 | 0 | 0 | 0 | 0 | 0 |
| x1 | 0 | 0 | 0 | 0 | 1 |
| x2 | 0 | 0 | 0 | 1 | 0 |
| x3 | 0 | 0 | 0 | 1 | 1 |
| x4 | 0 | 0 | 1 | 0 | 0 |
| x5 | 0 | 0 | 1 | 0 | 1 |
| x6 | 0 | 0 | 1 | 1 | 0 |
| x7 | 0 | 0 | 1 | 1 | 1 |
| x8 | 0 | 1 | 0 | 0 | 0 |
| x9 | 0 | 1 | 0 | 0 | 1 |
| x10 | 0 | 1 | 0 | 1 | 0 |
| x11 | 0 | 1 | 0 | 1 | 1 |
| x12 | 0 | 1 | 1 | 0 | 0 |
| x13 | 0 | 1 | 1 | 0 | 1 |
| x14 | 0 | 1 | 1 | 1 | 0 |
| x15 | 0 | 1 | 1 | 1 | 1 |
| x16 | 1 | 0 | 0 | 0 | 0 |
| x17 | 1 | 0 | 0 | 0 | 1 |
| x18 | 1 | 0 | 0 | 1 | 0 |
| x19 | 1 | 0 | 0 | 1 | 1 |
| x20 | 1 | 0 | 1 | 0 | 0 |
| x21 | 1 | 0 | 1 | 0 | 1 |
| хб/1 | 1 | 1 | 1 | 1 | 1 |

Микропрограмма в условных обозначениях представлена в Приложении Б.

Количество разрядов, необходимых для кодирования части М в МК, равняется 12, для поля М1 отводится 1 разряд, для М2 – 4 разряда, и для М3 – 7 разрядов. Общее количество адресов 36 составляет , что потребует 6 бит в поле МК для определения адреса. Формат микрокоманды представлен на рисунке 6.2.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| M | | | | | | | | | | | | X | | | | | A | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 |

Рисунок 6.2 – Формат микрокоманды

Микропрограмма в двоичных обозначениях представлена в Приложении В.

6.4 Разработка принципиальной схемы УА

Память микропрограммы имеет размерность 70х23. Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). Для реализации ПМП в данном курсовом проекте потребуется 9 микросхем К155РЕ3(DD21-DD29).

На адресные входы всех микросхем подаются адреса 0..4 с регистра адреса микрокоманд (АМК). Старшие адреса микрокоманды (5:6) подаются на дешифратор DD30 (К155ИД4). Дешифратор, в свою очередь, выбирает линейку из трех микросхем памяти, которые хранят код одной микрокоманды.

Регистр микрокоманд имеет разрядность 23 бита. Для реализации его в схеме электрической принципиальной использовались 3 регистра К155ИР13 (DD31-DD33).

В исходном состоянии по всем адресам и разрядам записан логический ноль.По стробу С1 данные с памяти микропрограмм поступают на входы регистра микрокоманд.

Регистр адреса микрокоманд имеет разрядность 7 бит и для реализации его в схеме используется регистр К155ИР13 (DD34). По стробу С3 данные из регистра микрокоманд (РМК[18:23]) и сформированный осведомительный сигнал как младший бит поступают на регистр адреса микрокоманд. Старший бит регистра адреса микрокоманд замыкается на землю.

В качестве выбора условия использовались четыре микросхемы К155КП5 (DD17–DD20). Младшие 3 разряда РМК[14;15;16] подаются на 3 мультиплексора формируя сигнал xi, который подается на 4-й мультиплексор который и формирует выходной сигнал. Результирующий мультиплексор (DD20) вырабатывает сигнал Хх1, который путем сложения со стробом С3 образует сигнал Хх, , который подается на младший разряд регистра адреса микрокоманд DD34.

В качестве формирователя сигнала микроопераций использовалась 12 микросхем К155ЛИ1 (DD5-DD16),3 микросхемы К155ЛН1(DD2–DD4) и дешифратор К155ИД3 (DD1).

Универсальная группа микроопераций формируется на первом элементе микросхемы DD5. На вход этой микросхемы подается сигнал РМК[0] и стробом С2 осуществляется дешифрация универсальной группы.

Дешифрация кода группы осуществляется на DD1. На входы ИМС подаются сигналы РМК[1:4], которые образуют код группы. Стробом ¬С2 осуществляется дешифрация кода группы. Полученный унитарный код выбирает одну из групп yj на микросхемах DD5-DD16.

Полученные yj подаются на разъемы ХР1, ХР2.

С целью устранения низкочастотных и высокочастотных помех по питани. были использованы электролитические, низкочастотные конденсаторы(С1-С5) и керамические высокочастотные конденсаторы (С6-С19), из расчета 0,1 мкФ на один корпус для низкочастотных фильтров, и 0,002мкФ на одну интегральную схему для высокочастотных.

Электрическая принципиальная схема УА приведена на чертеже 2014.М41д.62.03.

Условные графические обозначения и характеристики использованных элементов:

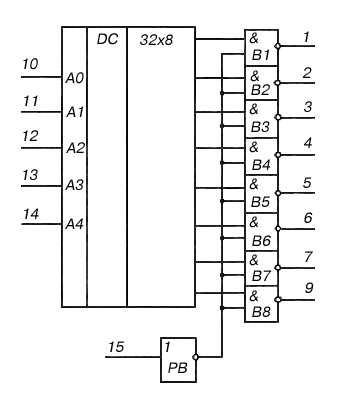
1.К155РЕ3 – электрически программируемое ПЗУ емкостью 32х8(рис.6.3).

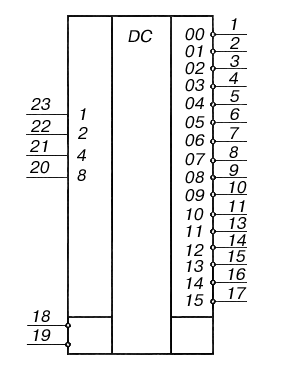
Рисунок 6.3 – Условное графическое обозначение ИМС К155РЕ3

1-выходB1; 9 - выход B8;  
2 - выход B2; 10 - вход адресный A0;  
3 - выход B3; 11 - вход адресный A1;  
4 - выход B4; 12 - вход адресный A2;  
5 - выход B5; 13 - вход адресный A3;  
6 - выход B6; 14 - вход адресный A4;  
7 - выход B7; 15 - вход разрешения выборки PB;  
8 - общий; 16 - напряжение питания;

Электрические параметры ИМС:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,5 В |
| 3 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 4 | Входной ток низкого уровня | не более -1 мА |
| 5 | Входной ток высокого уровня по выводам 10-14 ,по выводу 15 | не более 0,04 мА  не более 0,08 мА |
| 6 | Выходной ток высокого уровня | не более 0,1 мА |
| 7 | Ток утечки на входе | не более 1 мА |
| 8 | Ток потребления | не более 110 мА |
| 9 | Потребляемая статическая мощность | не более 550 мВт |
| 10 | Время выборки разрешения при включении | не более 50 нс |
| 11 | Время выборки разрешения при выключении | не более 50 нс |
| 12 | Время выборки адреса при включении | не более 65 нс |
| 13 | Время выборки адреса при выключении | не более 65 нс |

2.К155ИД3 – Дешифратор – демультиплексор 4 линии на 16(рис.6.4).



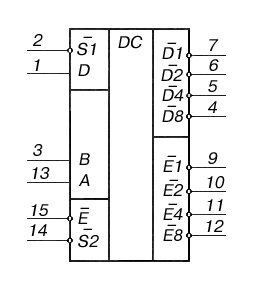
1 - 11 - выходы Y1 - Y11;   
13 - 17 - выходы Y12 - Y16;   
12 - общий;   
18, 19 - стробирующие входы;   
24 - напряжение питания;   
20 - 23 - информационные входы;

Рисунок 6.4– УГО ИМС К155ИД3

Электрические параметры:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 56 мА |
| 7 | Время задержки распространения при включении: по входам 20 – 23  по входам 18, 19 | не более 33 нс  не более 27 нс |
| 8 | Время задержки распространения при выключении по входам 20 - 23  по входам 18, 19 | не более 36 нс  не более 30 нс |
| 9 | Время дешифрации | не более 35 нс |
| 10 | Потребляемая мощность | не более 294 мВт |

3.К155ИД4 – Сдвоенный дешифратор-демультиплексор(рис.6,5).

****

1 - информационный вход D; 9 - выход E1;  
2 - стробирующий вход S1; 10 - выход E2;  
3 - адресный вход B; 11 - выход E4;  
4 - выход D8; 12 - выход E8;  
5 - выход D4; 13 - адресный вход A;  
6 - выход D2; 14 - стробирующий вход S2;  
7 - выход D1; 15 - информационный вход E;  
8 - общий; 16 - напряжение питания;

Рисунок 6.5 –УГО ИМС К155ИД4

Электрические параметры:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 56 мА |
| 7 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 8 | Входной пробивной ток | не более 1 мА |
| 9 | Потребляемая мощность | не более 294 мВт |

4. К155ИР13 – восьмиразрядный реверсивный сдвиговый регистр(рис.6.6).

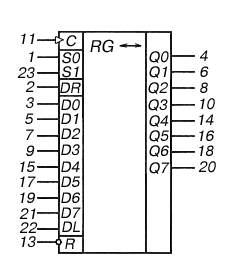


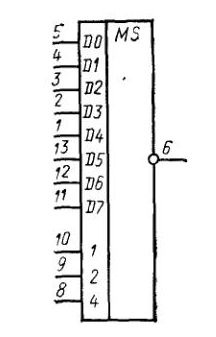
Рисунок 6.6 –УГО ИМС У155ИР13

1 - вход режимный S0;  
2 - вход последовательного ввода информации при сдвиге вправо DR;  
3 - вход информационный D0;  
4 - выход Q0; 5 - вход D1;  
6 - выход Q1; 7 - вход D2;  
8 - выход Q2; 9 - вход D3;  
10 - выход Q3;  
11 - вход синхронизации С;  
12 - общий;  
13 - вход инверсный "сброс" R;  
14 - выход Q4; 15 - вход D4;  
16 - выход Q5; 17 - вход D5;  
18 - выход Q6; 19 - вход D6;  
20 - выход Q7; 21 - вход D7;  
22 - вход последовательного ввода информации при сдвиге влево DL;  
23 - вход режимный S1;  
24 - напряжение питания;

Электрические параметры:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Помехоустойчивость | Не менее 0,4В |
| 7 | Ток короткого замыкания | -18…-57мА |
| 8 | Рабочая частота | 25Мгц |
| 9 | Потребляемая мощность | не более 609 мВт |

5.К155КП5 – Селектор мультиплексор на 8 каналов(рис.6.7).

1 - вход X5;  
2 - вход X4;  
3 - вход X3;  
4 - входX2;

5 - вход X1;

6 – выходY;  
7 - общий;

8 - вход X11;  
9 - вход X10;  
10 - вход X9;  
11 - вход X8;  
12 - вход X7;  
13 - вход X6;  
14 - напряжение питания;

Рисунок 6.7 – УГО ИМС К155КП5

Электрические параметры:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 43 мА |
| 7 | Потребляемая мощность | не более 226 мВт |

6.К155ТМ2 – два D-триггера(Рис. 6.8).

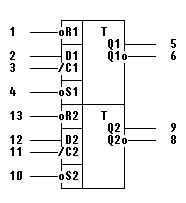
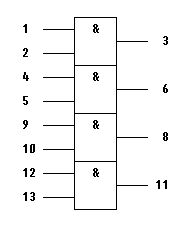
1 - инверсный вход установки "0" R1; 9 - вход Q2;  
2 - вход D1; 10 - инверсный вход установки "1" S2;  
3 - вход синхронизации C1; 11 - вход синхронизации C2;  
4 - инверсный вход установки "1" S1; 12 - вход D2;  
5 - выход Q1; 13 - инверсный вход установки "0" R2;  
6 - выход инверсный Q1; 14 - напряжение питания;  
7 - общий; 8 - выход инверсный Q2;

Рисунок 6.8 – УГО ИМС К155ТМ2

Электрические параметры:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Напряжение на антизвонном диоде | не более -1,5В |
| 5 | Входной ток высокого уровня  по входам 2,4,10,12  по входам 1,3,11,13 | не более -1,6мА  не более -3,2 мА |
| 6 | Входной ток высокого уровня  по входам 2,12  по входам 4,3,11,10 | не более 0,04 мА  не более 0,08 мА |
| 7 | Входной пробивной ток | не более 1 мА |
| 8 | Ток потребления | не более 30мА |
| 9 | Потребляемая статическая мощность | не более 75 мВт |
| 10 | Время задержки распространения при включении | не более 40 нс |
| 11 | Время задержки распространения при выключении | не более 25 нс |

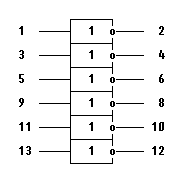
7.К155ЛИ1 – четыре логических элемента 2И(рис.6.9).

1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

Рисунок 6.9 – УГО ИМС К155ЛИ1

Электрические параметры

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 33 мА |
| 7 | Время задержки при включении | не более 19 нс |
| 8 | Время задержки при выключении | не более 27 нс |

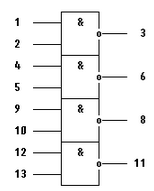
8.К155ЛН1 – шесть логических элементов НЕ(рис.6.10).

1,3,5,9,11,13 - входы;  
2,4,6,8,10,12 - выходы;  
7 - общий;  
14 - напряжение питания;

Рисунок 6.10 – УГО ИМС К155ЛН1

Электрические параметры

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 33 мА |
| 7 | Время задержки при включении | не более 15 нс |
| 8 | Время задержки при выключении | не более 22 нс |

9.К155ЛА3 – четыре логических элемента 2И-НЕ(рис.6.11)

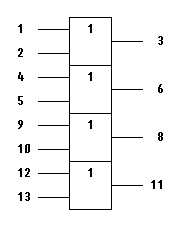
1,2,4,5,9,10,12,13 - входы X1-X8;  
3 - выход Y1;  
6 - выход Y2;  
7 - общий;  
8 - выход Y3;  
11 - выход Y4;  
14 - напряжение питания;

Рисунок 6.11 – УГО ИМС К155ЛА3

Электрические параметры

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 22 мА |
| 7 | Время задержки при включении | не более 15 нс |
| 8 | Время задержки при выключении | не более 22 нс |

10.К155ЛЛ1 – четыре логических элемента 2ИЛИ(6.12)



1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

Рисунок 6.12 – УГО ИМС К155ЛЛ1

Электрические параметры

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В +-5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 38 мА |
| 7 | Время задержки при включении | не более 22 нс |
| 8 | Время задержки при выключении | не более 15 нс |

Перечень элементов представлен в Приложении Г.

7 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И МОДЕЛИРОВАНИЕ ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,

− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО . Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах устройства строится в соответствии со следующими временными соотношениями:

, где − максимальное время выборки слова из ПМП;

нс

, где  − время, необходимое для записи слова в РМК;

нс

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО), − суммарное время срабатывания всех схем, включенных в ФА;

нс

, где − время исполнения в ОБ k-ой микрооперации (в случае синхронизации с постоянным тактом);

нс

; , где  − время срабатывания регистра АМК (РМАК);

нс нс



нс – интервал δ, гарантирующий загрузку «правильного слова» в РМК.

 нс

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК.



Рисунок 7.1 – Временная диаграмма процесса исполнения МК

Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

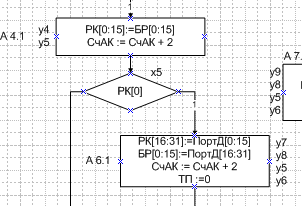
 Гц

Рабочая частота Fр выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F .

Гц

Таким образом, рабочая частота составляет 1 МГц.

Выполнил моделирования на следующем участке ГСА:



Входными условиями являются адрес микрокоманды А4.1, условие х5=1.

Стробом С1 происходит инициация записи слова МК в РМК. Содержание команды следующее:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес | М | | | | | | | | | | | | Х | | | | | А | | | | | |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 |  |
| A 4.1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |

На ИМС DD17-DD20 происходит формирование сигнала Хх1 по сигналам РМК[12:16],которые поступают со сдвиговых регистров DD31-DD33. Младшие разряды РМК[14:16] поступают на DD17-DD19, тем самым подготавливая значения управляющего сигнала х5(х5=1), который подается на DD20.

По стробу ¬С2 происходит расшифровка номера группы на ИМС DD1 и пропуск сигналов универсальной группы. В данной МК не происходит никаких действий, поэтому управляющих сигналов выработано не будет.

По стробу С3 происходит пропуск сигнала Xx, который выработался на ИМС DD20, т.е. единицы. На ИМС DD34 происходит формирование АМК как РМК[17:22].Xx. Следующим адресом, который будет записан в АМК будет адрес [00011 1], т.е. А6.1.

Так как АМК[5:6]=00, то на ИМС DD30 будет выбран строб E1, который в свою очередь разрешит работу линейки ПЗУ DD21, DD24, DD27. На ПМП[0:22] будет сформировано, а затем по стробу С1 записано на РМК[0:22] следующее содержание команды:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес | М | | | | | | | | | | | | Х | | | | | А | | | | | |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 |
| A 6.1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |

На ИМС DD17-DD20 происходит формирование сигнала Хх1 по сигналам РМК[12:16],которые поступают со сдвиговых регистров DD31-DD33.

По стробу ¬С2 происходит расшифровка номера группы на ИМС DD1 и пропуск сигналов универсальной группы. РМК[1:4]=0011, значит произойдет выбор группы 4. В данной группе располагаются такие управляющие сигналы как [y6,y7,y8,y9,у10,у11]. РМК[5:11]=1110000, поэтому будут выработаны сигналы y6, y7,у8. Также РМК[0]=1, поэтому из универсальной группы будет выработан сигнал y5.

По стробу С3 происходит пропуск сигнала Xx, который выработался на ИМС DD20, т.е. нуля. На ИМС DD34 происходит формирование АМК как РМК[17:22].Xx. Следующим адресом, который будет записан в АМК будет адрес [000110], т.е. А6.0.

Результаты, полученные при моделировании соответствуют ожидаемым, что говорит о корректности функционирования ЦОУ.

ЗАКЛЮЧЕНИЕ

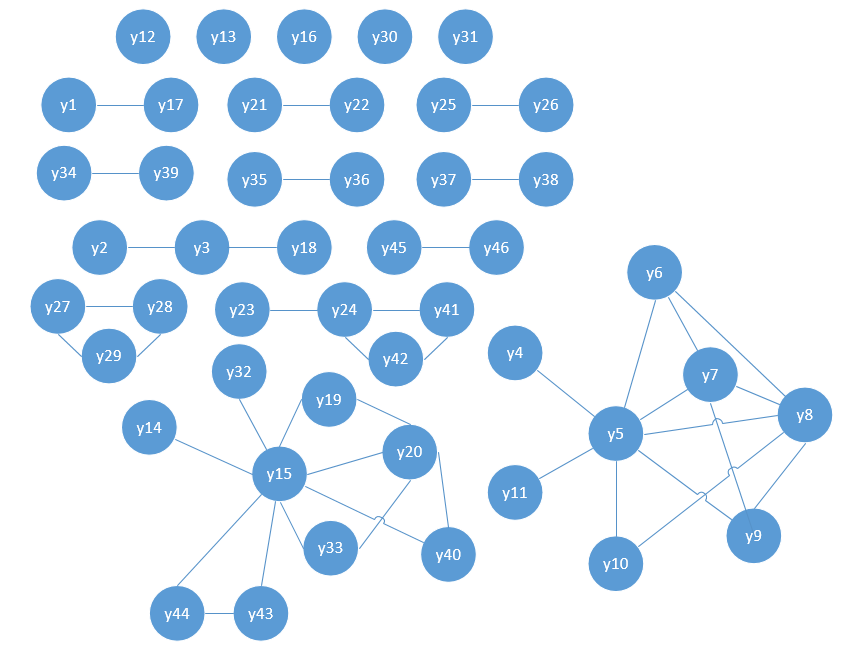
В данной курсовой работе были изучены принципы структурной и функциональной организации цифровых вычислительных машин и их узлов. Было спроектировано центральное обрабатывающее устройство, реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины. Устройство управления организовано в виде управляющего автомата с программируемой логикой.

В ходе выполнения курсовой работы было составлено описание форматов команд и обрабатываемых данных, построена граф-схема алгоритма функционирования центрального обрабатывающего устройства, структурная схема центрального обрабатывающего устройства. Также было синтезировано устройство управления с принудительной адресацией микрокоманд, составлена микропрограмма функционирования центрального обрабатывающего устройства, построена схема электрическая принципиальная управляющего устройства. Было проведено моделирование ЦОУ, которое показало, что устройство работает правильно. Были рассчитаны временные характеристики управляющего устройства.

СПИСОК ИСПОЛЬЗУЕМОЙ ЛИТЕРАТУРЫ

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб.пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001 – 345с.
2. Танненбаум Э. Архитектура компьютера/ Э. Танненбаум. – СПб.: Питер, 2007. – 844 с.
3. ДСТУ 3008−95. Документация. Отчеты в сфере науки и техники. Структура и правила оформления. − Введ. 1995−02−23. − К.: Госстандарт Украины, − 81с.
4. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.
5. Популярные цифровые микросхемы: Шило В. Л.: Справочник .- М.: Радио и связь, 1987. -357с.: ил.

Приложение А. Граф совместимости МО



Приложение Б. Микропрограмма в условных обозначениях



Приложение В. Микропрограмма в двоичных обозначениях

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес | М | | | | | | | | | | | | Х | | | | | А | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 |
| A 0.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| A 0.1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| A 1.0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| A 1.1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 2.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| A 2.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| A 3.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| A 3.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| A 4.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| A 4.1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 5.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| A 5.1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| A 6.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| A 6.1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 7.0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 7.1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 8.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 8.1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| A 9.0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| A 9.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| A 10.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| A 10.1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| A 11.0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 11.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| A 12.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| A 12.1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 13.0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 13.1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| A 14.0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| A 14.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| A 15.0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| A 15.1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| A 16.0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| A 16.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| A 17.0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 17.1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 18.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| A 18.1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| A 19.0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| A 19.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| A 20.0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| A 20.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| A 21.0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| A 21.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| A 22.0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| A 22.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| A 23.0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| A 23.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| A 24.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| A 24.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| A 25.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 25.1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 26.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| A 26.1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| A 27.0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| A 27.1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 28.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 28.1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| A 29.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| A 29.1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| A 30.0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| A 30.1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| A 31.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| A 31.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| A 32.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 32.1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 33.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| A 33.1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| A 34.0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 34.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| A 35.0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| A 35.1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| A 36.1 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |

Приложение Г. Перечень элементов

Изм.

Лист

№ докум.

Подпись

Дата

Лист

4

*2014.М-41д.62.04*

*"Компьютерная электроника и схемотехника"*

Разраб.

Салидинов А.

Провер.

Апраксин Ю.К.

Реценз.

Н. Контр.

Утверд.

Устройство управления .

Перечень используемых элементов

Лит.

Листов

4

Группа М-41д

Наименование

Примечание

Стандартные элементы

Микросхемы

К155РЕ3

DD21-DD29

9

K155ИД3

DD1

1

К155ИД4

DD30

0

1

К155ИР13

DD31-DD34

4

К155КП5

DD17-DD20

4

К155ТМ2

DD37

1

К155ЛИ1

D5-D16D38.1

13

К155ЛН1

D2-D4,D35

4

К155ЛА3

DD37.1-2

2

К155ЛЛ1

D36,D39.1-3

2

Конденсаторы

К53-4 1мкФ ±5%

С1-С5

5

КМ5 15нФ ±5%

С6-С19

19

Резисторы

МЛТ-0,25 1кОм ±10%

R1

1

Разъёмы

CONN-DIL 30

XP1

1

CONN-DIL 50

XP2

1