Министерство образования и науки, молодежи и спорта Украины

Севастопольский национальный технический университет

Кафедра кибернетики

и вычислительной техники

Пояснительная записка

к курсовому проекту

на тему: «Синтез операционного устройства ЭВМ»

по дисциплине «Цифровые ЭВМ»

Выполнил:

ст.гр. М-42д

Алексеева А.С.

Вариант 26

Проверил:

Волкова Т.В.

Севастополь

2011

Содержание:

[ВВЕДЕНИЕ 3](#_Toc310271732)

[1. ПОСТАНОВКА ЗАДАЧИ 4](#_Toc310271733)

[2. РАЗРАБОТКА ФОРМАТОВ КОМАНД И ОПИСАНИЕ ИСПОЛЬЗУЕМЫХ ФОРМАТОВ ДАННЫХ 5](#_Toc310271734)

[3. ОБЪЕДЕНЕННАЯ ГСА ФУНКЦИОНИРОВАНИЯ ПРОЦЕССОРА 8](#_Toc310271735)

[6. СИНТЕЗ УУ 19](#_Toc310271736)

[6.1. Структурная схема УУ 19](#_Toc310271737)

[6.2. Адресация микрокоманд 20](#_Toc310271738)

[6.3. Кодирование микроопераций 20](#_Toc310271739)

[6.3.4. Микропрограмма функционирования ЦОУ 23](#_Toc310271740)

[7. ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ЦОУ 31](#_Toc310271741)

# ВВЕДЕНИЕ

При проектировании ЭВМ необходимо четкое разделение функций между центральным процессором (процессорами) и остальными узлами. Это не только упрощает их разработку, но и делает процессор более универсальным, позволяя использовать его в других типах ЭВМ. Наряду с этим целесообразно четкое разделение функций и между частями, составляющими процессор. Это дает возможность производить независимое проектирование этих частей, что уменьшает затраты времени на проектирование всего процессора, а также позволяет вносить изменения в отдельные узлы, не затрагивая остальные.

Такое разделение процессора на логически завершенные части обычно выделяет операционное устройство (ОУ), в составе которого имеется управляющий автомат (УА), построенный в виде цифрового автомата с жесткой или программируемой логикой, который управляет работой процессора.

Курсовое проектирование преследует следующие цели: повторение и закрепление основных разделов курса "Архитектура ЭВМ", изучение принципов структурной и функциональной организации цифровых вычислительных машин и их узлов, приобретение навыков проектирования узлов ЭВМ и изготовление соответствующей конструкторской документации, ознакомление с функциональной организацией ЭВМ Единой системы (ЕС ЭВМ).

# 1. ПОСТАНОВКА ЗАДАЧИ

Разработать центральное обрабатывающее устройство(ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой [1]

Необходимо реализовать следующий набор команд:

-арифметическая команда – сложение над операндами с плавающей точкой длиной в 4 байта(F4);

-логическая команда – дизъюнкция над операндом длиной в 4 байта(L4);

-команда передачи управления – переход по индексу «меньше»;

-команда обращения к памяти – запись в РП целого числа длиной 2 байта(I2);

- команда обращения к устройству ввода/вывода – передача байта из МВВ в процессор.

Необходимо реализовать следующие способы адресации:

-непосредственная;

-прямая;

-косвенная;

-регистровая;

-относительная;

Объем оперативной памяти – 512 Мб, ширина выборки – 8 байта. Объем регистровой памяти – 8 регистров, тип регистровой памяти – раздельная.

Необходимо реализовать устройство управления (УУ) в виде управляющего автомата(УА) с программируемой логикой, способ адресации микрокоманд – естественная, способ кодирования микроопераций – горизонтально-вертикальный.

Рекомендуемая серия микросхем – К155.

Рекомендуемая микросхема постоянного запоминающего устройства(**ПЗУ**) – К155РЕ3.

В ходе курсового проекта необходимо разработать ГСА функционирования процессора, структурную схему ЦОУ, схему принципиальную электрическую УУ (с перечнем элементов).

# 2. РАЗРАБОТКА ФОРМАТОВ КОМАНД И ОПИСАНИЕ ИСПОЛЬЗУЕМЫХ ФОРМАТОВ ДАННЫХ

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – .



Рис 2.1 Форматы данных

Все форматы команд будут кратны 2 байтам (для облегчения процесса выборки команды из ОП). Адрес команды в ОП должен быть кратен 2 (согласно методу целочисленных границ*).* Под поле КОП в команде отводится 1 байт (принято, что система команд процессора состоит из 128-256 команд, а мы разрабатываем фрагмент).

1. Арифметическая команда.(класс 3)

Сложения над операндами с плавающей точкой длиной 4 байта с использованием регистровой и относительной адресации. (F4)

Формат команды сложения следующий:



Код операции сложения следующий:

, в шестнадцатеричном виде 59h;

2. Логическая команда. (класс 4)

Дизъюнкция над операндом длиной 4 байта с использованием регистровой и непосредственной адресацией. (L4)

Формат команды дизъюнкции следующий:



Код операции дизъюнкции следующий:

, в шестнадцатеричном виде А2h;

3. Команда передачи управления. (класс 6)

Переход по индексу меньше с использованием регистровой адресации.

Формат команды условного перехода следующий:



Код операции условного перехода по маске следующий:

, в шестнадцатеричном виде 71h;

Где R1- левая граница

R2 - смещение

R3 – правая граница

R4 – адрес перехода

4. Команда обращения к памяти (класс 1)

Запись в РП целого числа длинной 2 байта с использованием косвенной адресации. (I2)

Формат команды загрузки в регистр следующий:



Код операции загрузки в регистр следующий:

, в шестнадцатеричном виде 09h;

5) Команда ввода-вывода – МП (класс 7).



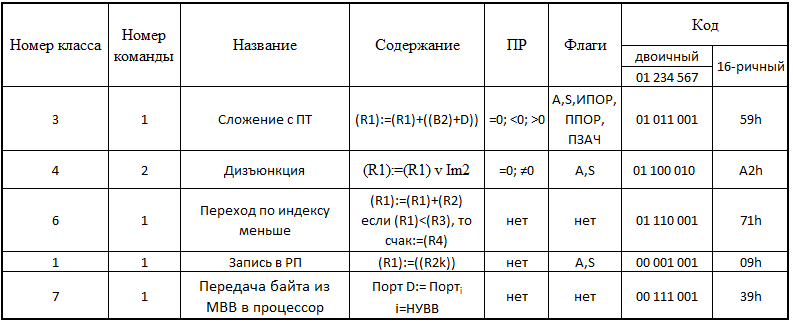
Используем прямую адресацию.

Код операции передачи байта из МВВ в процессор следующий:

, в шестнадцатеричном виде 39h;

НУВВ – содержит номер устройства ввода-вывода.

Таблица 2.1 Система команд процессора



Флаги:

A-нарушение адресации;

S- нарушение спецификации;

ППОР- переполнение порядка;

ИПОР- исчезновение порядка.

ПЗНАЧ- потеря значимости.

# 3. ОБЪЕДЕНЕННАЯ ГСА ФУНКЦИОНИРОВАНИЯ ПРОЦЕССОРА

Объединенная ГСА функционирование процессора приведена на чертеже 2011.M42.26.1.

В курсовом проекте разработке подлежат алгоритмы выполнения пяти операций, определенных вариантом задания, и алгоритм выборки команды из ОП. Взаимосвязь указанных алгоритмов отражена на рисунке 8.1. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания K (резервная команда). Рисунок 3.1 – Схема алгоритма функционирования ЦОУ

Прежде чем разработать ГСА заданных команд, разрабатывается ГСА выборки команды.

ГСА выборки команды разрабатывается при следующих заданных параметрах: ЕОП=256МВ, ШВ=8 байта, в системе команд есть команды длиной 2 байта, 4 байта и 6 байта.

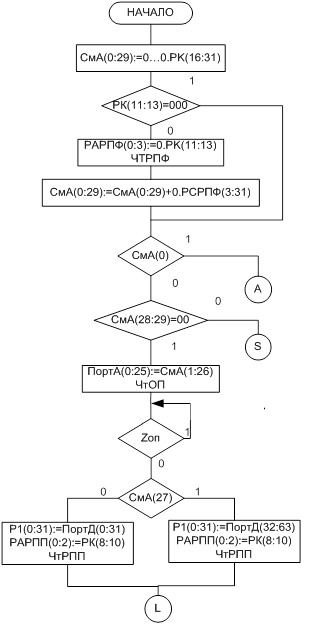


Рисунок 3.2 – ГСА арифметической команды – сложение с плавающей точкой (F4)



Рисунок 3.3 – ГСА логической команды – дизъюнкция



Рисунок 3.4 – ГСА выборки команд



Рисунок 3.5 – ГСА команды передачи управления – переход по индексу меньше



Рисунок 3.6 – ГСА команды – запись в РП



Рисунок 3.7 – ГСА команды – чтение из МВВ в процессор4. СТРУКТУРНАЯ СХЕМА ОПЕРАЦИОННОГО УСТРОЙСТВА

Структурная схема операционного устройства приведена на чертеже 2011.М42.26.2. Основными составляющими операционного устройства являются:

* Управляющий автомат (**УУ**);

Устройство управления – это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов {y}, причем, генерируемые управляющим автоматом последовательности управляющих сигналов {y} предопределяются поступающими на вход этого устройства сигналами из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации {x}.

* Оперативная память (**ОП**).

Длина слова ОП в данной работе равна 64 бита (8 байтам), согласно заданию. Слово читается и записывается в ОП целиком за одно обращение к ОП. Адрес слова, к которому приводится обращение, указывается в регистре адреса оперативной памяти РАОП. Длина регистра АОП равняется 26 разрядам:

Еоп = 512 Мб, ширина выборки n = 8, m = ]log2(Еоп)[ - ]log2(n)[ = 29 – 3 = 26.

Слово информации, которое записывается в ОП или читается из ОП, размещается на регистре СОП. Операция в ОП инициируется сигналами чтения ЧтОП или записи ЗпОП. Осведомительный сигнал Zоп предназначен для фиксации занятости ОП, он необходим, поскольку операции чтения и записи из/в ОП имеет длительность, превышающую длительность такта работы операционного устройства. Хоп=1, когда ОП занята выполнением операции чтения или записи. Момент окончания чтения или записи в ОП отмечается значением осведомительного сигнала ХОП = 0.

* Арифметико-логическое устройство(**АЛУ**).

Рисунок 4.1 – Условное обозначение АЛУ



Главным элементом процессорного блока является АЛУ. Условное обозначение АЛУ показано на рисунке 3.1.

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1(0:n-1) (первый операнд) и Р2(0:n-1) (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров n выбирается равной максимальной длине операндов. Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ). АЛУ вырабатывает три группы осведомительных сигналов: признаки результата, флаги прерываний, признак занятости.

* Регистровая память (РП);

Организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. **Тип** регистровой памяти в соответствии с вариантом – раздельная РП. То есть РОН и РПТ составляют два различных физических блока заданного объема. Условное обозначение показано на рисунке 3.2.



Рисунок 4.2 – Условное обозначение РП

Разрядность m регистра слова регистровой памяти определяется длиной информационного слова. Для проектируемого устройства m=32. Разрядность r регистра адреса регистровой памяти определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти. EРП=8. r=3.

Операнд, который записывается в РП или считывается из РП, помещается на РСРП. Чтение и запись инициируются соответственно сигналами ЧтРП или ЗпРП и выполняются во время одного такта работы операционного устройства.

* Регистр команд (РК);

На регистр команд (**РК**) выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды. В нашем случае длина равно 48.

* Счетчик адреса команды (**СчАК**)

Предназначенный для хранения адреса очередной выбираемой из ОП команды, обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤. При этом, младшие k=⎡log2ШВ⎤ разрядов определяют адрес байта в слове, а старшие разряды – адрес слова ОП. Структура СчАК в нашем случае EОП=512МВ и ШВ=8В приведена на рисунке 7.7. На шину адреса (ША) для обращения к ОП подаются только старшие 25 разрядов СчАК. Исходя из этого выбирается разрядность регистра адреса (РА) ОП. Разрядность регистра слова (РС) ОП равна ШВ.



Рисунок 4.3 – Структура СчАК

* Сумматор адреса (**СмА**)

Предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент (например, при относительной адресации АИСП=(B)+D). По разрядности СмА может отличаться от СчАК дополнительным старшим разрядом, фиксирующим переполнение. 30 разрядов.

* Модуль ввода/вывода (**МВВ**) предназначен для реализации

конкретной команды ввода/вывода на конкретном устройстве. Организация ввода/вывода осуществляется по принципу программного управления, т.е. по инициативе процессора и под его полным контролем[3].

* Порт данных (**ПортД**) предназначен для хранения данных в процессе обмена информацией процессора с ОП и устройствами ввода/вывода (УВВ). 64разрядов.
* Порт адреса (**ПортА**) предназначен для хранения в процессоре адреса слова ОП или номера УВВ. 26 разрядов.

Для уменьшения числа обращения в ОП в процессе выборки команды, в структурную схему процессора вводятся два регистра: АБ, и БР.

* Буферный регистр(**БР**) предназначен для запоминания второго полуслова слова считанного из ОП. БР позволяет уменьшить количество обращений к оперативной памяти. Буферный регистр является 63-разрядным.
* АБ – регистр, на котором храниться адрес слова ОП, считанного на буферный регистр. Регистр является 26-разрядным.
* РУ - регистр-указатель поля РК. Состояние которого указывает номер полуслова команды, загружаемого в РК.
* Триггер адресации (**А**), триггер спецификации (**S**) , триггер конечный (**К**) устанавливаются в 1 в случае нарушения адресации, спецификации, обнаружения неверного кода команды соответственно.
* Регистр признака результатов (**РПР**) хранит признаки результата выполнения команд в АЛУ. РПР имеет разрядность 2.
* Регистра флагов (**РФ**) имеет разрядность 3.
* переполнения порядка (**ППОР**),
* исчезновение порядка (**ИПОР**),
* потеря значимости (**ПЗНАЧ**).
* Дешифратор (**DC**) нужен для формирования соответствующего коду команды осведомительного сигнала.

На рисунке 4.4 представлена схема обмена данными между процессором (П) и МВВ или ОП.



Рисунок 4.4 – Схема обмена данными в ЦОУ

Используются следующие обозначения:

* СОП – входы/выходы данных (слово ОП),
* АОП – адресные входы ОП (адрес слова ОП),
* порт 1 … порт k – порты (регистры), через которые внешние устройства УВВ1…УВВk обмениваются данными с процессором (П),
* НУВВ – адресные входы МВВ (на них поступает номер (адрес) устройства ввода/вывода),
* порт Д – порт процессора, через который он обменивается данными с внешними устройствами (ОП и МВВ),
* порт А – порт, через который процессор выдает адрес слова ОП или номер УВВ.

5. АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА

Обобщенное условное графическое обозначение (УГО) процессорного блока показано на рисунке 5.1. Процессор имеет внешние выводы адреса (А) и данных (D). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (Чт) и «записи»(Зп) и «ввода» (МП) и «вывода»(ПМ). Контакт READY (готовность) используется для приема сигнала готовности (ZОП , ZВВ) от медленных внешних по отношению к процессору устройств (ОП, МВВ). Назначение выводов +5V (питание), GND (земля), RESET (сброс), SET (установка), CLC (синхронизация)



Рисунок 5.1 – Обобщенное УГО процессорного блока

# 6. СИНТЕЗ УУ

## 6.1. Структурная схема УУ

Общая структура УА приведена на рисунке 6.1.1. Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве РАМК используется счетчик. Пуск автомата осуществляется подачей в схему управляющего сигнала **В**, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала **А**. Сигнал Сброс или Уст (установка) устанавливает на РАМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Поле логического условия(ЛУ) подается на адресные входы мультиплексора (MS). MS выбирает по адресу ЛУ соответствующий осведомительный сигнал которым выбирается адрес следующей МК (либо продвинутый адрес, либо адрес перехода). Поле адреса РМК записывается в старшие разряды РАМК. СС1 – для инициирования записи слова МК в РМК, СС2 – для стробирования выхода ФСМО, СС3 – для переключения регистровой схемы АМК.



Рисунок 6.1.1. Структурная схема УА

## 6.2. Адресация микрокоманд

Естественный порядок следования микрокоманд предусматривает выборку очередной МК из ячейки памяти с адресом на 1 больше адреса ячейки содержащей текущую МК. При таком способе адресации роль формирователя адреса следующей микрокоманды и РАМК может выполнять обычный счетчик адреса; а необходимость в адресной части МК фактически отпадает. МК в этом случае содержит только операционную часть и называется операционной микрокомандой (ОМО). Однако в этом случае возможна реализация алгоритмов (микропрограмм) имеющих линейную структуру, т.е. без разветвлений.

Для обеспечения возможности реализации микропрограмм с разветвлениями на МПА с естественной адресацией вводится дополнительный формат МК - управляющие (УМК), содержащие только адресную часть УМК содержит поле кода номера проверяемого логического условия Nx и поле адреса А очередной МК, к которой осуществляется переход при выполнении этого условия. В случае невыполнения условия адрес следующей МК равен текущему, увеличенному на единицу.

Безусловные переходы реализуются с помощью УМК содержащих нулевой код номера логического условия.Для различения УМК и ОМК в обоих форматах применяется одноразрядное поле признака. В соответствии с естественной адресацией на ГСА функционирования процессора были расставлены адреса микрокоманд .

## 6.3. Кодирование микроопераций

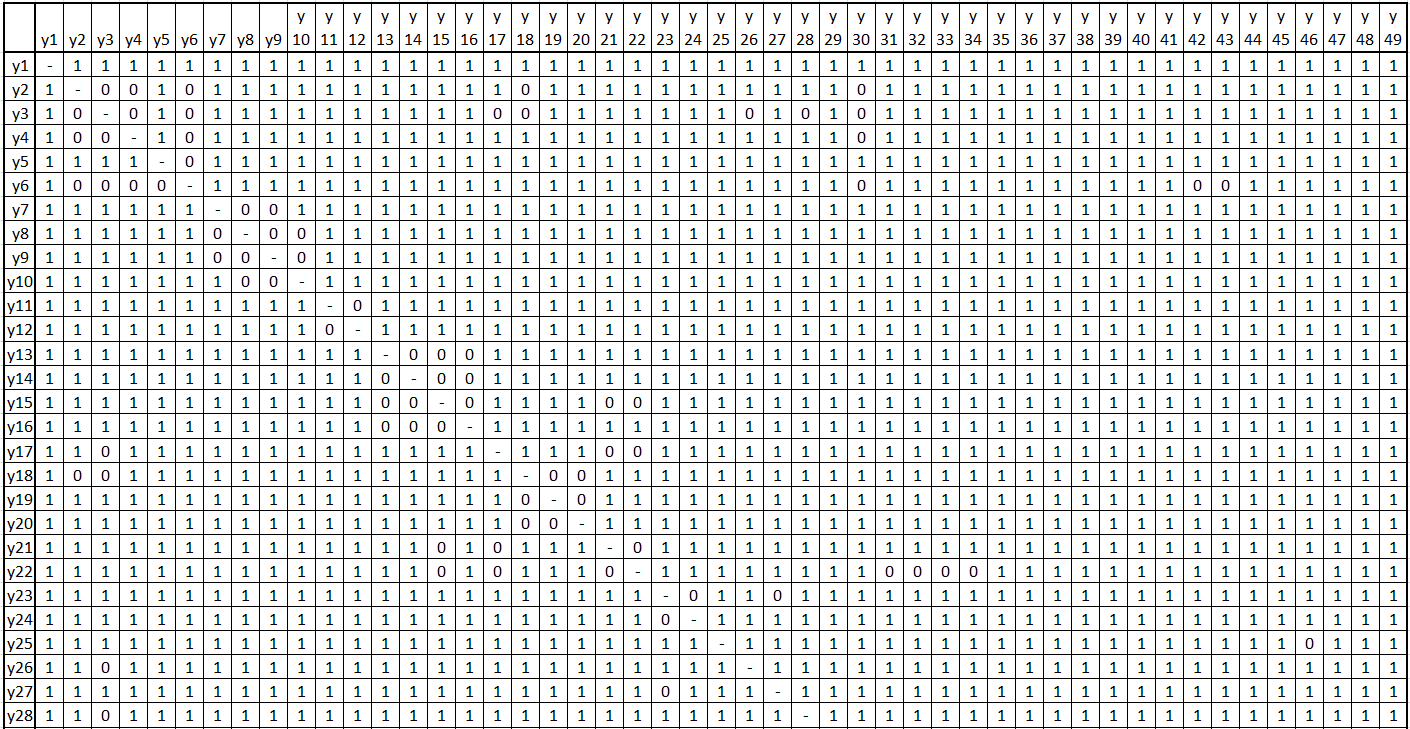
В соответствии с задание на курсовой проект, способ кодирования микроопераций - горизонтально-вертикальный.

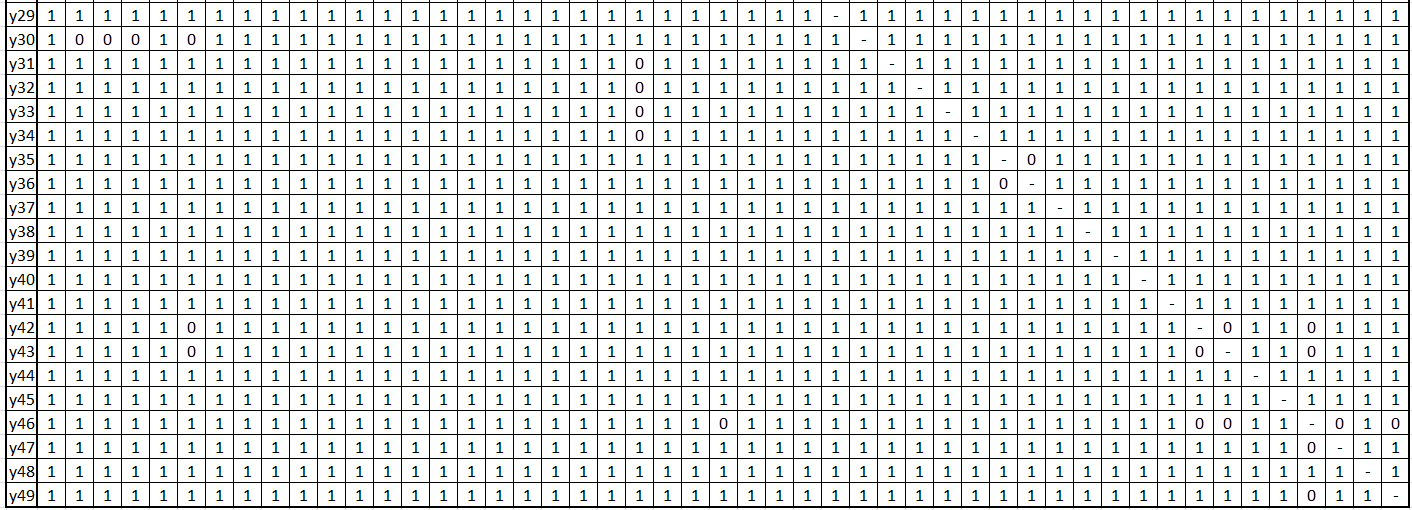
Таблица 6.3.1

|  |  |  |
| --- | --- | --- |
| № Блока |  | МК |
| У1 | : | у42,у43,у6 |
| У2 | : | у44 |
| У3 | : | у45 |
| У4 | : | у46,y47 |
| У5 | : | у37 |
| У6 | : | у48 |
| У7 | : | у46,у49 |
| У8 | : | у46,у25 |
| У9 | : | у1 |
| У10 | : | у2,у3 |
| У11 | : | у4 |
| У12 | : | у5,у6 |
| У13 | : | у7,у8,у9 |
| У14 | : | у10,у8,у9 |
| У15 | : | у11,у12 |
| У16 | : | y13,y14,y15,y16 |
| У17 | : | y17,y3 |
| У18 | : | y18,y19,y20 |
| У19 | : | y21,y15,y22 |
| У20 | : | y18,y2,y3 |
| У21 | : | y23,y24 |
| У22 | : | y21,y17,y22 |
| У23 | : | y26,y3 |
| У24 | : | y23,y27 |
| У25 | : | y28,y3 |
| У26 | : | y29 |
| У27 | : | y4,y30,y6,y2,y3 |
| У28 | : | y31,y22 |
| У29 | : | y32,y22 |
| У30 | : | y33,y22 |
| У31 | : | y34,y22 |
| У32 | : | y35,y36 |
| У33 | : | y38 |
| У34 | : | y39 |
| У35 |  | y40 |
| У36 |  | y41 |

Для осуществления горизонтально-вертикального принципа кодирования МО необходимо разбить все множество МО на подмножества несовместимых МО. Для этого удобно построить матрицу несовместимости МО. В этой матрице на пересечении строк и столбцов, соответствующих микрооперациям, которые упомянуты в одной микрокоманде ставятся нули, затем остальные клетки заполняются единицами. Таким образом единичное значение элемента матрицы задает отношение несовместимости соответствующих МО.

Таблица 6.3.2. Матрица несовместимости МО





Составляются подмножества МО, в каждое из которых входят только несовместимые между собой МО. Мощность каждого подмножества должна стремиться к величине 2k-1, где k=1, 2, …

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Подмножество Y1' | y1 | y2 | y12 | y13 | y25 | y36 | y42 | y44 | y47 | y49 |
| Подмножество Y2' | y3 | y8 | y14 | y20 | y22 | y23 | y35 | y37 | y43 | y45 |
| Подмножество Y3' | y4 | y5 | y9 | y15 | y17 | y24 | y26 | y27 | y38 | y48 |
| Подмножество Y4' | y6 | y7 | y10 | y16 | y18 | y21 | y28 | y39 | y41 | y46 |
| Подмножество Y5' | y11 | y19 | y29 | y30 | y31 | y32 | y33 | y34 | y40 |  |

Выделяем коды для выделенных подмножеств:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1001 | 1010 | 1011 |
| Подмножество Y1' | y1 | y2 | y12 | y13 | y25 | y36 | y42 | y44 | y47 | y49 |
| Подмножество Y2' | y3 | y8 | y14 | y20 | y22 | y23 | y35 | y37 | y43 | y45 |
| Подмножество Y3' | y4 | y5 | y9 | y15 | y17 | y24 | y26 | y27 | y38 | y48 |
| Подмножество Y4' | y6 | y7 | y10 | y16 | y18 | y21 | y28 | y39 | y41 | y46 |
| Подмножество Y5' | y11 | y19 | y29 | y30 | y31 | y32 | y33 | y34 | y40 |  |

Таблица 6.3.3. Кодирования микрокоманд:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Y1' | Y2' | Y3' | Y4' | Y5' |
| Y1 | 0111 | 1010 | 0000 | 0001 | 0000 |
| Y2 | 1001 | 0000 | 0000 | 0000 | 0000 |
| Y3 | 0000 | 1011 | 0000 | 0000 | 0000 |
| Y4 | 1010 | 0000 | 0000 | 1011 | 0000 |
| Y5 | 0000 | 1001 | 0000 | 0000 | 0000 |
| Y6 | 0000 | 0000 | 1011 | 0000 | 0000 |
| Y7 | 1011 | 0000 | 0000 | 1011 | 0000 |
| Y8 | 0101 | 0000 | 0000 | 1011 | 0000 |
| Y9 | 0001 | 0000 | 0000 | 0000 | 0000 |
| Y10 | 0010 | 0001 | 0000 | 0000 | 0000 |
| Y11 | 0000 | 0000 | 0001 | 0000 | 0000 |
| Y12 | 0000 | 0000 | 0010 | 0001 | 0000 |
| Y13 | 0000 | 0010 | 0011 | 0010 | 0000 |
| Y14 | 0000 | 0010 | 0011 | 0011 | 0000 |
| Y15 | 0011 | 0000 | 0000 | 0000 | 0001 |
| Y16 | 0100 | 0011 | 0100 | 0100 | 0000 |
| Y17 | 0000 | 0001 | 0101 | 0000 | 0000 |
| Y18 | 0000 | 0100 | 0000 | 0101 | 0010 |
| Y19 | 0000 | 0101 | 0100 | 0110 | 0000 |
| Y20 | 0000 | 0001 | 0111 | 0000 | 0000 |
| Y21 | 0000 | 0110 | 0110 | 0000 | 0000 |
| Y22 | 0000 | 0101 | 0101 | 0110 | 0000 |
| Y23 | 0000 | 0001 | 0111 | 0000 | 0000 |
| Y24 | 0000 | 0110 | 1001 | 0000 | 0000 |
| Y25 | 0000 | 0001 | 1001 | 0000 | 0000 |
| Y26 | 0000 | 0000 | 0000 | 0000 | 0011 |
| Y27 | 0010 | 0001 | 0001 | 0001 | 0100 |
| Y28 | 0000 | 0101 | 0000 | 0000 | 0101 |
| Y29 | 0000 | 0101 | 0000 | 0000 | 0110 |
| Y30 | 0000 | 0101 | 0000 | 0000 | 0111 |
| Y31 | 0000 | 0101 | 0000 | 0000 | 1001 |
| Y32 | 0110 | 0111 | 0000 | 0000 | 0000 |
| Y33 | 0000 | 0000 | 1010 | 0000 | 0000 |
| Y34 | 0000 | 0000 | 0000 | 1001 | 0000 |
| Y35 | 0000 | 0000 | 0000 | 0000 | 1010 |
| Y36 | 0000 | 0000 | 0000 | 1010 | 0000 |

## 6.3.4. Микропрограмма функционирования ЦОУ

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес МК | Микрокоманда | | |  | Адрес МК | Микрокоманда | | | | | |
| В | M | |  | В | M | | | | |
| X | A |  | X | A | | | |
| A+0 | 1 | x12 | A+17 |  | 0000000 | 1 | 01100 | 0010001 хххххххх | | | |
| A+1 | 1 | x23 | A+5 |  | 0000001 | 1 | 10111 | 0000101 хххххххх | | | |
| A+2 | 0 | y42,y43,y6 | |  | 0000010 | 0 | 0111 | 1010 | 0000 | 0001 | 0000 |
| A+3 | 1 | x4 | A+3 |  | 0000011 | 1 | 00100 | 0000011 хххххххх | | | |
| A+4 | 0 | y44 | |  | 0000100 | 0 | 1001 | 0000 | 0000 | 0000 | 0000 |
| A+5 | 1 | x13 | A+23 |  | 0000101 | 1 | 01101 | 0010111 хххххххх | | | |
| A+6 | 1 | x15 | A+19 |  | 0000110 | 1 | 01111 | 0010011 хххххххх | | | |
| A+7 | 0 | y37 | |  | 0000111 | 0 | 0000 | 1001 | 0000 | 0000 | 0000 |
| A+8 | 0 | y46,y25 | |  | 0001000 | 0 | 0101 | 0000 | 0000 | 1011 | 0000 |
| A+9 | 1 | x17 | A+27 |  | 0001001 | 1 | 10001 | 0011011 хххххххх | | | |
| A+10 | 1 | x18 | A+47 |  | 0001010 | 1 | 10010 | 0101111 хххххххх | | | |
| A+11 | 1 | x19 | A+52 |  | 0001011 | 1 | 10011 | 0110100 хххххххх | | | |
| A+12 | 1 | x20 | A+65 |  | 0001100 | 1 | 10100 | 1000001 хххххххх | | | |
| A+13 | 1 | x21 | A+83 |  | 0001101 | 1 | 10101 | 1010011 хххххххх | | | |
| A+14 | 1 | x22 | A+86 |  | 0001110 | 1 | 10110 | 1010110 хххххххх | | | |
| A+15 | 0 | y38 | |  | 0001111 | 0 | 0000 | 0000 | 1010 | 0000 | 0000 |
| A+16 | 0 | y41 | |  | 0010000 | 0 | 0000 | 0000 | 0000 | 1010 | 0000 |
| A+17 | 0 | y40 | |  | 0010001 | 0 | 0000 | 0000 | 0000 | 0000 | 1010 |
| A+18 | 1 | xбп | A+16 |  | 0010010 | 1 | 00000 | 0010000 хххххххх | | | |
| A+19 | 0 | y48 | |  | 0010011 | 0 | 0000 | 0000 | 1011 | 0000 | 0000 |
| A+20 | 1 | x16 | A+8 |  | 0010100 | 1 | 10000 | 0001000 хххххххх | | | |
| A+21 | 0 | y46,y49 | |  | 0010101 | 0 | 1011 | 0000 | 0000 | 1011 | 0000 |
| A+22 | 1 | xбп | A+1 |  | 0010110 | 1 | 00000 | 0000001 хххххххх | | | |
| A+23 | 0 | y45 | |  | 0010111 | 0 | 0000 | 1011 | 0000 | 0000 | 0000 |
| A+24 | 1 | x14 | A+8 |  | 0011000 | 1 | 01110 | 0001000 хххххххх | | | |
| A+25 | 0 | y46,y47 | |  | 0011001 | 0 | 1010 | 0000 | 0000 | 1011 | 0000 |
| A+26 | 1 | xбп | A+1 |  | 0011010 | 1 | 00000 | 0000001 хххххххх | | | |
| A+27 | 0 | y1 | |  | 0011011 | 0 | 0001 | 0000 | 0000 | 0000 | 0000 |
| A+28 | 1 | x1 | A+31 |  | 0011100 | 1 | 00001 | 0011111 хххххххх | | | |
| A+29 | 0 | y2,y3 | |  | 0011101 | 0 | 0010 | 0001 | 0000 | 0000 | 0000 |
| A+30 | 0 | y4 | |  | 0011110 | 0 | 0000 | 0000 | 0001 | 0000 | 0000 |
| A+31 | 1 | x2 | A+34 |  | 0011111 | 1 | 00010 | 0100010 хххххххх | | | |
| A+32 | 1 | x3 | A+36 |  | 0100000 | 1 | 00011 | 0100100 хххххххх | | | |
| A+33 | 1 | xбп | A+17 |  | 0100001 | 1 | 00000 | 0010001 хххххххх | | | |
| A+34 | 0 | y39 | |  | 0100010 | 0 | 0000 | 0000 | 0000 | 1001 | 0000 |
| A+35 | 1 | xбп | A+16 |  | 0100011 | 1 | 00000 | 0010000 хххххххх | | | |
| A+36 | 0 | y5,y6 | |  | 0100100 | 0 | 0000 | 0000 | 0010 | 0001 | 0000 |
| A+37 | 1 | x4 | A+37 |  | 0100101 | 1 | 00100 | 0100101 хххххххх | | | |
| A+38 | 1 | x5 | A+45 |  | 0100110 | 1 | 00101 | 0101101 хххххххх | | | |
| A+39 | 0 | y7,y8,y9 | |  | 0100111 | 0 | 0000 | 0010 | 0011 | 0010 | 0000 |
| A+40 | 0 | y11,y12 | |  | 0101000 | 0 | 0011 | 0000 | 0000 | 0000 | 0001 |
| A+41 | 1 | x6 | A+41 |  | 0101001 | 1 | 00110 | 0101001 хххххххх | | | |
| A+42 | 0 | y13,y14,y15,y16 | |  | 0101010 | 0 | 0100 | 0011 | 0100 | 0100 | 0000 |
| A+43 | 1 | x7 | A+1 |  | 0101011 | 1 | 00111 | 0000001 хххххххх | | | |
| A+44 | 1 | xбп | A+16 |  | 0101100 | 1 | 00000 | 0010000 хххххххх | | | |
| A+45 | 0 | y10,y8,y9 | |  | 0101101 | 0 | 0000 | 0010 | 0011 | 0011 | 0000 |
| A+46 | 1 | xбп | A+40 |  | 0101110 | 1 | 00000 | 0101000 хххххххх | | | |
| A+47 | 0 | y17,y3 | |  | 0101111 | 0 | 0000 | 0001 | 0101 | 0000 | 0000 |
| A+48 | 0 | y18,y19,y20 | |  | 0110000 | 0 | 0100 | 0011 | 0100 | 0100 | 0000 |
| A+49 | 1 | x6 | A+49 |  | 0110001 | 1 | 00110 | 0110001 хххххххх | | | |
| A+50 | 0 | y21,y15,y22 | |  | 0110010 | 0 | 0000 | 0101 | 0101 | 0110 | 0000 |
| A+51 | 1 | xбп | A+1 |  | 0110011 | 1 | 00000 | 0000001 хххххххх | | | |
| A+52 | 0 | y17,y3 | |  | 0110100 | 0 | 0000 | 0001 | 0101 | 0000 | 0000 |
| A+53 | 0 | y18,y2,y3 | |  | 0110101 | 0 | 0000 | 0001 | 0111 | 0000 | 0000 |
| A+54 | 0 | y23,y24 | |  | 0110110 | 0 | 0000 | 0110 | 0110 | 0000 | 0000 |
| A+55 | 1 | x6 | A+55 |  | 0110111 | 1 | 00110 | 0110111 хххххххх | | | |
| A+56 | 0 | y21,y17,y22 | |  | 0111000 | 0 | 0000 | 0101 | 0101 | 0110 | 0000 |
| A+57 | 0 | y26,y3 | |  | 0111001 | 0 | 0000 | 0001 | 0111 | 0000 | 0000 |
| A+58 | 0 | y23,y27 | |  | 0111010 | 0 | 0000 | 0110 | 1001 | 0000 | 0000 |
| A+59 | 1 | x6 | A+59 |  | 0111011 | 1 | 00110 | 0111011 хххххххх | | | |
| A+60 | 1 | x8 | A+62 |  | 0111100 | 1 | 01000 | 0111110 хххххххх | | | |
| A+61 | 1 | xбп | A+1 |  | 0111101 | 1 | 00000 | 0000001 хххххххх | | | |
| A+62 | 0 | y28,y3 | |  | 0111110 | 0 | 0000 | 0001 | 1001 | 0000 | 0000 |
| A+63 | 0 | y29 | |  | 0111111 | 0 | 0000 | 0000 | 0000 | 0000 | 0011 |
| A+64 | 1 | xбп | A+1 |  | 1000000 | 1 | 00000 | 0000001 хххххххх | | | |
| A+65 | 0 | y17,y3 | |  | 1000001 | 0 | 0000 | 0001 | 0101 | 0000 | 0000 |
| A+66 | 1 | x9 | A+68 |  | 1000010 | 1 | 01001 | 1000100 хххххххх | | | |
| A+67 | 1 | xбп | A+34 |  | 1000011 | 1 | 00000 | 0100010 хххххххх | | | |
| A+68 | 1 | x10 | A+17 |  | 1000100 | 1 | 01010 | 0010001 хххххххх | | | |
| A+69 | 0 | y4,y30,y6,y2,y3 | |  | 1000101 | 0 | 0010 | 0001 | 0001 | 0001 | 0100 |
| A+70 | 1 | x4 | A+70 |  | 1000110 | 1 | 00100 | 1000110 хххххххх | | | |
| A+71 | 1 | x5 | A+78 |  | 1000111 | 1 | 00101 | 1001110 хххххххх | | | |
| A+72 | 1 | x11 | A+76 |  | 1001000 | 1 | 01011 | 1001100 хххххххх | | | |
| A+73 | 0 | y31,y22 | |  | 1001001 | 0 | 0000 | 0101 | 0000 | 0000 | 0101 |
| A+74 | 1 | x4 | A+74 |  | 1001010 | 1 | 00100 | 1001010 хххххххх | | | |
| A+75 | 1 | xбп | A+1 |  | 1001011 | 1 | 00000 | 0000001 хххххххх | | | |
| A+76 | 0 | y32,y22 | |  | 1001100 | 0 | 0000 | 0101 | 0000 | 0000 | 0110 |
| A+77 | 1 | xбп | A+74 |  | 1001101 | 1 | 00000 | 1001010 хххххххх | | | |
| A+78 | 1 | x11 | A+81 |  | 1001110 | 1 | 01011 | 1010001 хххххххх | | | |
| A+79 | 0 | y33,y22 | |  | 1001111 | 0 | 0000 | 0101 | 0000 | 0000 | 0111 |
| A+80 | 1 | xбп | A+74 |  | 1010000 | 1 | 00000 | 1001010 хххххххх | | | |
| A+81 | 0 | y34,y22 | |  | 1010001 | 0 | 0000 | 0101 | 0000 | 0000 | 1001 |
| A+82 | 1 | xбп | A+74 |  | 1010010 | 1 | 00000 | 1001010 хххххххх | | | |
| A+83 | 0 | y35,y36 | |  | 1010011 | 0 | 0110 | 0111 | 0000 | 0000 | 0000 |
| A+84 | 1 | x24 | A+84 |  | 1010100 | 1 | 11000 | 1010100 хххххххх | | | |
| A+85 | 1 | xбп | A+1 |  | 1010101 | 1 | 00000 | 0000001 хххххххх | | | |
| A+86 | 1 | xбп | A+16 |  | 1010110 | 1 | 00000 | 0010000 хххххххх | | | |

6.5. Разработка принципиальной схемы УУ

Электрическая принципиальная схема УУ приведена на чертеже 2009.М41.18.3.

Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). В исходном состоянии по всем адресам и разрядам записан логический ноль. УГО представлено на рисунке 6.5.1.

Время задержки : 65 нс

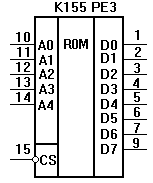


Рисунок 6.5.1. УГО ИМС К155РЕ3

Для обеспечения 21 разряда данных и 86 адресных разрядов потребуется 3 линейки микросхем, по 3 ИМС каждая.

Для реализации РАМК была взята ИМС К155ИЕ7. Микросхемы представляет собой четырехразрядный двоичный реверсивный счетчик. УГО представлено на рисунке 6.5.2. Для реализации 7 разрядного РАМК используется 2 ИМС, при чем, если первая микросхема тактируется синхроимпульсом, то вторая – прямым переносом первой микросхемы.

Время задержки: 40нс

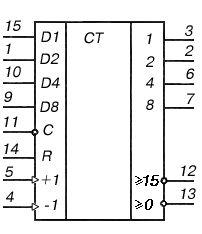


Рисунок 6.5.2. УГО ИМС К155ИЕ7.

Для реализации РМК была взята ИМС К155ИР13. Микросхема представляет собой четырехразрядный универсальный сдвиговый регистр. УГО представлено на рисунке 6.5.3. Регистр может работать в следующих режимах: последовательного ввода информации с о сдвигом вправо; последовательного ввода информации с о сдвигом влево; параллельного ввода; хранение; установка нулей (очистка, сброс). Для параллельного ввода со входов D0-D7 на обоих управляющих входах должно быть S1=S0=1. Информация со входов D0-D7 будет записана в триггеры и появится на выходах Q0-Q7 по перепаду 0,1 тактового импульса, на вход R и DR должна быть подана логическая единица. Время задержки: 40нс

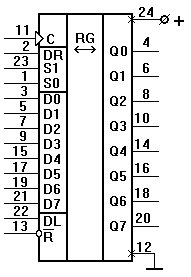


Рисунок 6.5.3. УГО ИМС К155ИР13.

Для дешифратора в ФСМО выбрана ИМС К155ИД4. Микросхема представляет собой сдвоенный дешифратор-демультиплексор 2 на 4. УГО представлено на рисунке 6.5.4.

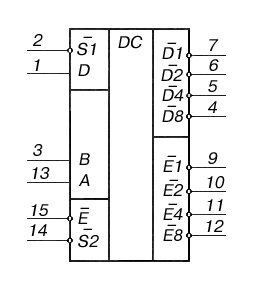


Рисунок 6.5.4. УГО ИМС К155ИД4.

Подаваемый на адресные входы А0, А1 (А1 – старший) код расшифровывается либо первым (D) либо вторым (Е) дешифратором. Входы D, E – входы выбора дешифратора. Входы  - входы разрешения работы соответственно первого и второго дешифраторов.  - выходы первого дешифратора,  - выходы второго дешифратора. D-дешифратор работает, когда на входе D присутствует уровень логической единицы, на входе  – уровень логического нуля. E-дешифратор работает, когда на входы  подан уровень логического нуля. На выходе работающего дешифратора, номер которого определяется кодом, поданным на входы А1, А2, уровень логического нуля (выходы инверсные). На всех остальных выходах микросхемы К155ИД4 – уровень логической единицы. Микросхему К155ИД4 можно использовать как один дешифратор на три адресных входа и восемь выходов. Для этого надо объединить входы выбора дешифратора ( с ) и входы разрешения работы дешифраторов ( с ). При этом объединенный --вход будет старшим адресным входом дешифратора (A2) и работа обоих дешифраторов будет разрешаться одновременно.

Время задержки : 32нс

Для выбора условия выбрана ИМС КМ155КП7. Микросхема ИМС К155КП7 представляет собой селектор-мультиплексор на восемь каналов со стробированием. В зависимости от установленного на входах A,B,C кода разрешает прохождение сигнала на выходы Y1 и Y2 только от одного из восьми информационных входов D0-D7, при этом на входе стробирования V должно быть установлено напряжение низкого уровня. При высоком уровне напряжения на входе V выход Y1 устанавливается в состояние низкого уровня напряжения, а выход Y2 соответственно в состояние высокого уровня. УГО ИМС К155КП7 представлено на рисунке Рисунок 6.5.5.

Время задержки: 52 нс.

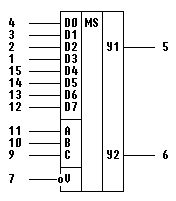


Рисунок 6.5.5. УГО ИМС К155КП7.

Для дешифратора в ФСМО выбрана микросхема ИМС К155ИД3, представляет собой дешифратор-демультиплексор 4 линии на 16. Содержит 225 интегральных элементов. 1 - 11 - выходы Y1 - Y11;

13 - 17 - выходы Y12 - Y16; 12 - общий; 18, 19 - стробирующие входы; 24 - напряжение питания; 20 - 23 - информационные входы;

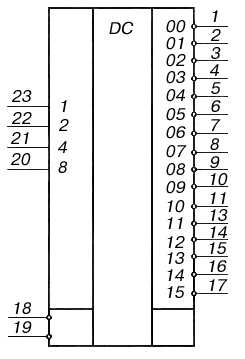


Рисунок 6.5.6. ИМС К155ИД3.

Время задержки: 35 нс.

Также для обеспечения логики работы УУ использовалась следующая микросхема:

ИМС К155ЛА18. Микросхема представляет собой два логических элемента 2И-НЕ с открытым коллектором. 1,2,6,7 - входы X1-X4; 3 - выход Y1; 4 - общий; 5 - выход Y2; 8 - напряжение питания; Время задержки: 35 нс.

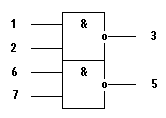


Рисунок 6.5.7. ИМС К155ЛА18

Данные по элементам серии К155 взяты с источника [4].

При проектировании и монтаже аппаратуры для повышения устойчивости работы ТТЛ-ИС их свободные входы были подключить через резистор сопротивлением 1 кОм к источнику питания +5В.

Для исключения низкочастотных помех был подключен конденсатор, емкостью 0,1мкФ\*число корпусов=0,35мкФ. С целью устранения высокочастотных помех на каждый корпус было установлено по одному конденсатору, емкостью 0,002 мкФ.

# 7**. ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ЦОУ**

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО [4].

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах этого устройства может быть правильно построена, если учесть следующие временные соотношения:

, где  − максимальное время выборки слова из ПМП;

, где  − время, необходимое для записи слова в РМК;

, где  − время срабатывания ФСМО,  − время срабатывания ФА;

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

, где  − время срабатывания регистра АМК

, где − цикл выборки слова из ПЗУ, на основе которого построена ПМП.

 Рисунок 7.1 – Временная диаграмма исполнения МК (МКi 🡪 МКj)

= 65 нс.

 = 40 нс.

= 40нс.

Рассчитаем TФСМО:

Задержка дешифратора и задержка элемента 2или\_не дадут в сумме:

TФСМО = TDC + T2ИЛИ-НЕ =35+ 35 = 70 нс.

Рассчитаем TФА :

Сигнал идет на мультиплексоры с РМК, и на счетчики, суммарная задержка:

TФА =5\*52+2\*40 = 340 нс.

Таким образом, .

 =65+40+5+340+320+40=810 нс.

Рассчитаем значение тактовой частоты по формуле F=1/TОУ.

F=1.23 MГц.

ЗАКЛЮЧЕНИЕ

В ходе курсового проектирования было спроектировано простейшее центральное обрабатывающее устройство, реализующее систему из пяти команд, и разработана его структурная схема. Для УА была построена микропрограмма его функционирования и спроектирована электрическая принципиальная схема. Были рассчитаны временные характеристики синтезированного устройства. Рабочая частота FР  = 1 МГц.

Это операционное устройство обеспечивает все пункты поставленной задачи на курсовое проектирование.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Столингс У. Структурная организация и архитектура компьютерных систем/ У. Столингс. – М.: Издательский дом «Вильямс», 2002. – 896 с.
2. Джермейн К. Программирование на IBM/360;под ред. В.С.Штаркмана - М.: Мир, 1983.-440 с.
3. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2008. − 36с.
4. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.
5. ЕСКД. Справочное пособие. – М.:Изд-во стандартов, 1986. – 280 с.
6. ДСТУ 3008−95. Документация. Отчеты в сфере науки и техники. Структура и правила оформления. − Введ. 1995−02−23. − К.: Госстандарт Украины, − 81с.