Министерство образования и науки Украины

Севастопольский национальный технический университет

Кафедра кибернетики и

вычислительно техники

Пояснительная записка к курсовому проекту

по дисциплине «Цифровые ЭВМ»

на тему «СИНТЕЗ ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА ЦЭВМ»

Вариант №38

Выполнила: ст. гр М42д

Перепадя Е.К

Проверили: Волкова Т.В

Апраксин Ю.К

Севастополь

2011

СОДЕРЖАНИЕ

ВВЕДЕНИЕ……………………………………………………………………..….…. 3

1. ПОСТАНОВКА ЗАДАЧИ……………………………………………………… 4
2. ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБОТКИ ДАННЫХ..…..…… 10

2.1 Форматы данных………………………………………………….….…. 10

2.2 Форматы команд……………………………………………….…….…. 11

1. ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ……………………………….…...……. 16
2. СТРУКТУРНАЯ СХЕМА ЦОУ…………………………………….……..…… 26
3. АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА….. 31
4. СИНТЕЗ УСТРОЙСТВА УПРАВЛЕНИЯ…………………………………….. 32

6.1 Структурная схема УУ……………………………………………….…. 32

6.2 Адресация микрокоманд...……………………………………………... 33

6.3 Кодирование микроопераций………………………………..………… 34

6.4 Микропрограмма функционирования ЦОУ…………………………... 35

6.5 Разработка принципиальной схемы УУ.…………………………….... 36

7. ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И

МОДЕЛИРОВАНИЕ РАБОТЫ ЦОУ…………………..……………………… 49

ЗАКЛЮЧЕНИЕ………………………………………………………………………... 53

ПЕРЕЧЕНЬ ССЫЛОК………………………………………………………………… 54

ПРИЛОЖЕНИЯ……………………………………………………………………….. 55

ВВЕДЕНИЕ

Целью данного курсового проектирования является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ», посвященных изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов, путем проектирования основных блоков компьютера.

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

В ходе выполнения курсовой работы необходимо составить описание форматов команд и обрабатываемых данных, построить граф-схему алгоритма функционирования центрального обрабатывающего устройства, структурную схему центрального обрабатывающего устройства. Также необходимо синтезировать устройство управления в соответствии с заданной адресацией микрокоманд, составить микропрограмму функционирования центрального обрабатывающего устройства.

Графически в виде чертежей представляются следующие элементы:

1. Граф-схема алгоритма функционирования центрального обрабатывающего устройства – чертеж.
2. Структурная схема центрального обрабатывающего устройства − чертеж.
3. Принципиальная схема устройства управления с перечнем элементов – чертеж.
4. ПОСТАНОВКА ЗАДАЧИ

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Обобщенная структурная схема ЦОУ приведена на рисунке 1.1.



Рисунок 1.1 – Обобщенная структурная схема ЦОУ компьютера:

ОП – оперативная память, МВВ – модуль ввода/вывода,

А – адрес, Д – данные, УС ∨ ОС – управляющие или

осведомительные сигналы

Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой [3] .

К функциям процессорного блока относятся:

- управление потоком обработки команд исполняемой компьютером программы;

- управление процессом исполнения команд;

- управление процессом взаимодействия всех блоков ЦОУ.

ОП является внутренней памятью компьютера и предназначена для хранения команд и данных, обрабатываемых компьютером в конкретный промежуток времени. В структурном плане ОП реализуется в виде запоминающего устройства (ЗУ) с произвольным доступом. Обращение к любой ячейке (слову) ЗУ осуществляется по уникальному адресу и может быть произведено в любой последовательности. Размер ячейки (слова) ЗУ характеризуется шириной выборки (количество бит информации, одновременно записываемых или считываемых с этого устройства). Инициатором обращения к ОП всегда является процессор (предполагается, что в рассматриваемой системе отсутствует механизм прямого доступа к памяти со стороны внешних устройств).

МВВ предназначен для реализации конкретной команды ввода/вывода на конкретном устройстве. Организация ввода/вывода осуществляется по принципу программного управления, т.е. по инициативе процессора и под его полным контролем.

Подсистема компьютера, обеспечивающая информационный обмен между процессором, ОП и МВВ называется системной шиной. Совокупность цепей, по которым осуществляется обмен информационными сигналами, разделяется по функциональному назначению на три группы: шину адреса, шину данных и шину управления. Разрядность каждой шины определяется максимальным количеством битов адреса, данных, управляющих или осведомительных слов, одновременно передающихся по цепям соответствующего назначения.

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером. К ним относятся:

* арифметическая команда,
* логическая команда,
* команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
* команда обращения к устройству ввода/вывода,
* команда передачи управления,
* команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

1. осуществить выборку команды из ОП в строгом соответствии с форматом команды,
2. расшифровать код операции в команде,
3. выполнить расшифрованную операцию,
4. подготовить компьютер к выполнению следующей команды.

Пункт 3 приведенной последовательности шагов процессора по реализации конкретной команды выполняется для каждой команды по-своему. Например, для команд обработки (арифметическая или логическая команда) выполняется:

* загрузка арифметико-логического устройства (АЛУ) операндами,
* инициирование конкретной операции в АЛУ,
* фиксация результатов выполнения операции в ОП или РП в соответствии с алгоритмом выполнения команды,
* формирование признаков результата выполнения операции, если она завершилась успешно, или кодов прерывания процесса, если произошла какая-либо нештатная ситуация.

Возникшая нештатная ситуация должна привести к завершению процесса реализации программы. Система обработки прерываний студентом не проектируется.

Команда обмена данными исполняется без участия АЛУ. Сложный алгоритм вычисления адреса ОП может быть реализован на специальном адресном сумматоре.

В процессе выполнения команды ввода/вывода процессор сообщает МВВ, а через него и внешнему устройству о предстоящей операции. Адрес (номер) внешнего устройства, к которому производится обращение, указывается в адресной части команды. МВВ перед началом операции устанавливает соответствующий устройству бит в состояние, характеризующее его занятость. Кроме того, выдав в МВВ команду, процессор должен ожидать ее завершения. Последнее обусловлено б*о*льшим быстродействием процессора по отношению к МВВ.

Результатом исполнения команды передачи управления является вычисленный процессором адрес выполняемого перехода (адрес команды программы, исполнение которой предполагает алгоритм, воплощенный в программу). В случае невыполняемого перехода результатом исполнения команды является продвинутый адрес. И в том, и в другом случае адрес фиксируется в счетчике адреса команд.

Исполнение команды «стоп» завершает выполнение программы.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 1.2.



Рисунок 1.2 – Обобщенная структурная схема процессора

На рисунке 1.2 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

* РК – регистр команд,
* СчАК – счетчик адреса команд,
* РПР – регистр признака результата,
* РКП – регистр кода прерывания (регистр флагов прерывания),
* ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, …, ВРk),

используемых для эффективной организации процесса исполнения команд;

ОСВ – внешние осведомительные сигналы;

УСВ – внешние управляющие сигналы;

Д – данные.

Функциональные возможности всех устройств, составляющих процессор и ЦОУ, определяются в процессе проектирования в соответствии с заданием и особенностями исполнения команд.

Исходные данные для курсового проектирования:

1) перечень аппаратно поддерживаемых типов данных:

* **I2 -** 16-разрядные целые числа (данные для арифметических команд – **ДА**);
* **F4** – 32-разрядные числа в формате с плавающей точкой (данные для арифметических команд – **ДА**);
* **L8** – двоичные вектора длиной 8 байтов (данные для логических команд – **ДЛ**);

2) типы команд:

* **КА** – арифметические команды: сложение (**+**)
* **КЛ** – логические команды: сдвиг **(2→** – двойной (двух информационных слов), вправо);
* **ПУ** – команды передачи управления: **ПСч** – переход по счетчику
* **ОбрП** – команды обращения к памяти: **загрузка** **регистра** (**ЗР)** – чтение из ОП и запись прочитанных данных в РП;
* **ВВ** – команды ввода/вывода: **МП** – передача байта из МВВ в процессор
* команда «**Стоп»**;

3) способы адресации операндов в команде:

* **Н** – непосредственная,
* **П** – прямая,
* **К** – косвенная,
* **Р** – регистровая,
* **О** – относительная;

4) основные характеристики ОП:

* + **ЕОП** = **512**– емкость ОП в мегабайтах,

5) характеристики РП:

* + **ЕРП = 8**– емкость регистровой памяти – определяется количеством регистров в блоке;
  + **тип**: **Р** – раздельная РП (РОН и РПТ составляют два различных физических блока заданного объема);
  + **разрядность** любого регистра РП определяется длиной информационного слова (4 байта);

1. тип устройства управления (управляющий автомат с программируемой логикой);
2. способ адресации микрокоманд в микропрограммах:
   * **Е** – естественная,
3. способ кодирования поля микроопераций в микрокомандах:
   * **ГВ** – горизонтально-вертикальный.

Устройство управления – автомат с программируемой логикой

Серия микросхем – К155

Микросхемы ПЗУ – К155 РЕ3

Ширина выборки **ШВ = 8 байт.**

Графический материал состоит из следующих чертежей:

1. Граф-схема алгоритма функционирования центрального обрабатывающего устройства (содержательное: в блоках должно быть приведено содержание микроопераций и логических условий, рядом с блоками обозначение микроопераций, осведомительных сигналов логических условий, адресов микрокоманд) – чертеж.
2. Структурная схема центрального обрабатывающего устройства − чертеж.
3. Принципиальная схема устройства управления с перечнем элементов – чертеж.
4. ОПИСАНИЕ ФОРМАТОВ КОМАНД И ОБРАБАТЫВАЕМЫХ ДАННЫХ

2.1 Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы для двоичной системы счисления. Диапазон представления чисел с плавающей точкой .



Рисунок 2.1 – Форматы данных

2.2 Форматы команд

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. Для облегчения процесса выборки команды из ОП все форматы команд будут не больше 6 байт, чаще всего – 2 байта. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. Под поле код операции (КОП) в команде отводится 1 байт. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

ЦОУ реализует следующие команды:

* Арифметическая команда

→ сложение чисел

Данные для арифметической команды

→ 32-х разрядные числа с плавающей точкой

Способ адресации:

* первый операнд – регистровая;
* второй операнд – относительная.

Длина команды – 4 байта. И состоит из:

* КОП (0:7) – код операции;
* R1 (8:10) – адрес РП, содержащий первый операнд. Для команд с плавающей точкой адреса регистров в полях R1 и B2 должно быть равно 0, 2, 4 или 6, иначе такой случай рассматривается как неправильная спецификация и происходит прерывание программы;
* B2 (11:13) – регистр базового адреса ячейки ОП;
* D (14:31) – смещение

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | B2 | D |
| 0 7 | 8 10 | 11 13 | 14 31 |

Признак результата:

* мантисса результата равна нулю;
* результат меньше нуля;
* результат больше нуля;
* переполнение порядка результата.

Прерывания программы:

* нарушение адресации;
* нарушение спецификации;
* переполнение порядка;
* исчезновение порядка.
* Логическая команда

→ сдвиг вправо на два слова

Данные для логической команды

→ двоичный вектор длиной 8 байт

Способ адресации:

* первый операнд – регистровая;
* второй операнд – непосредственный.

Длина команды – 4 байта. И состоит из:

* КОП (0:7) – код операции;
* R1 (8:10) – адрес РП, содержащий сдвигаемый операнд (первый);
* I2 (11:16) – регистр содержащий константу сдвига;
* (17:31) – неиспользуемая область.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | I2 |  |
| 0 7 | 8 10 | 11 16 | 17 31 |

Признак результата:

* без изменений.

Прерывания программы:

* нарушение спецификации.
* Команда передачи управления

→ переход по счетчику

Способ адресации:

* первый операнд – регистровая;
* второй операнд – регистровая.

Длина команды – 2 байт. И состоит из:

* КОП (0:7) – код операции;
* R1 (8:10) – адрес общего регистра;
* R2 (11:13) – адрес перехода, что задается РОН;
* (14:15) – неиспользуемая область.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | R2 |  |
| 0 7 | 8 10 | 11 13 | 14 15 |

Признак результата:

* без изменений.

Прерывания программы:

* отсутствуют.
* Команда обращения к памяти

→ загрузка регистра (16-разрядные целые числа)

Способ адресации:

* первый операнд – регистровая;
* второй операнд – косвенная.

Длина команды – 4 байта. И состоит из:

* КОП (0:7) – код операции;
* R1 (8:10) – адрес РП ;
* А2k (11:18) –
* (19:31) – не используются.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | А2k |  |
| 0 7 | 8 10 | 11 18 | 19 31 |

Признак результата:

* без изменений.

Прерывания программы:

* нарушение адресации;
* нарушение спецификации.
* Команды ввода/вывода

→ передача байт из УВВ в процессор

Способ адресации:

* прямая.

Длина команды – 2 байта. И состоит из:

* КОП (0:7) – код операции;
* НУВВ (8:15) – номер устройства ввода-вывода.

|  |  |
| --- | --- |
| КОП | НУВВ |
| 0 7 | 8 15 |

Прерывания программы:

* отсутствуют.

Команда «Стоп»:

|  |  |
| --- | --- |
|  | |
| 0 | 15 |

Чтобы система команд была функционально полной, она должна включать следующие классы команд:

* 1. команды обращения к памяти по чтению и записи;
  2. арифметические команды над целыми числами со знаком и без знака (сложение, вычитание, умножение, деление, сравнение);
  3. арифметические команды над числами с плавающей точкой (сложение, вычитание, умножение, деление, сравнение);
  4. логические команды (поразрядное «И», «ИЛИ», «Исключающее ИЛИ», инверсия),
  5. команды сдвигов (одинарных, двойных, арифметических, логических) на произвольное число разрядов;
  6. команды передачи управления (условных и безусловных переходов)
  7. команды ввода/вывода.

Для заданных команд подобраны все способы адресации. Для кодирования 0 и 1 бита КОП будет использована следующая схема:

00 → 2 байта;

01 → 4 байта;

10 → 6 байт.

При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

Сведем полученную систему команд в таблицу 1.

Таблица 1. Система команд

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Номер класса | Номер команды | Название | Содержание | ПР | Флаги | Код | | | |
| Двоичный | | | h-код |
| 01 | 234 | 567 |
| 3 | 1 | Сложение с ПТ | (R1):=(R1)+((B2)+D) | =0  >0  <0  ПП | A, S, E, LS | 01 | 010 | 001 | 51 |
| 5 | 1 | Двойной сдвиг вправо | (R1).(R1+1):= RI2 ((R1).(R1+1)) | - | S | 01 | 101 | 001 | 69 |
| 6 | 1 | Переход по счетчику | (R1):= (R1)+1,  если (R1)=0, СЧАК=(R2) | - | - | 00 | 110 | 001 | 31 |
| 1 | 1 | Чтение из ОП в регистр (загрузка регистра) | (R1):= ((A2y)) | - | A, S | 01 | 001 | 001 | 49 |
| 7 | 1 | Передача байта из УВВ в процессор | ПортД:=ПортI, I=НУВВ | - | - | 00 | 111 | 001 | 39 |
|  |  | Стоп |  |  |  | 11 | 111 | 111 | FF |

Условные обозначения таблицы 1:

* R - регистр;
* B - базовый регистр;
* D - смещение.

Флаги:

* A - неправильная адресация;
* S - неправильная спецификация;
* E - переполнение порядка;
* LS - потеря значимости;

1. ГСА ФУНКЦИОНИРОВАНИЯ ЦОУ

В курсовом проекте разработке подлежат алгоритмы выполнения пяти операций, определенных вариантом задания, и алгоритм выборки команды из ОП. Взаимосвязь указанных алгоритмов отражена на рисунке 3.1. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания K (резервная команда).

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

1. Выборка команды;
2. Выполнение команды;
3. Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
4. Подготовиться к выборке следующей команды.

Если очередная команда «Стоп», то ЦОУ прекращает работу.

Если код выбранной из РК команды не совпадает с кодом ни одной реализованной команды, устанавливается флаг прерывания К (резервная команда).

Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 3.1.



Рисунок 3.1 – Упрощенная схема алгоритма функционирования ЦОУ

Длины команд составляют 2 и 4 байта, а ширина выборки – 8 байт. Корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 3.2.



Рисунок 3.2 – Размещение команд в ОП

ГСА функционирования ЦОУ приведена на чертеже 2011.M42д.38.01.

Распишем более детально ГСА для команд:

1. Сложение чисел с плавающей точкой
2. Двойной сдвиг вправо
3. Переход по счетчику
4. Загрузка регистра
5. Передача байт из УВВ в процессор
6. «Стоп»

Имеем следующие значения:

* Емкость оперативной памяти – 512 Мб
* Ширина выборки – 8 байт
* Емкость регистровой памяти – 8 байт
* Тип регистровой памяти - раздельная

512 Мб = 229 байт, следовательно, размерность порта А [0:25].

СчАК [0:28].

Порд Д [0:63].

РСРП [0:31].

РАРП [0:2].

Регистр АЛУ Р1 имеет разрядность максимального размера данных, используемых в командах – [0:63], а регистр Р2 – [0:31].

Сумматор адреса имеет разрядность на 1 больше чем у СчАК – [0:29].

Регистр команд определяется максимальной длиной формата команды – [0:31].

Буферный регистр при шине выборки 8 байт – [0:63].

Регистр признака результата – [0:1].

Регистр флагов – [0:2].

Дополнительный регистр D – [0:31].

Дополнительный декремент D – [0:31].

1.Сложение чисел с плавающей точкой

* Суммирование адресов находящихся в базовом регистре и адресе относительного смещения
* Если индекс базового регистра 0000, то тогда на сумматор адреса подается только адрес относительного смещения.
* Если на сумматоре адреса в результате суммирования (старший разряд) происходит переполнение, тогда возникает нарушение адресации
* Если в младшем адресе сумматора адреса содержится 1, то возникает ошибка спецификации.
* Выполняется чтение данных из ОП и в зависимости от младшего адреса Порта А выбирается полуслово, которое будет заноситься в Р2.
* В регистр Р1 заносятся данные, содержащиеся в регистре R1
* Выполняется операция суммирования, признаки, флаги считываются с ШАЛУ.
* В случае переполнения генерируется прерывание.



Рисунок 3.3 - ГСА команды арифметического сложения

2.Двойной сдвиг вправо

* Проверка четности указанного номера регистра. Должен быть кратен 2 или 4 , т.е последний разряд регистра, где указан сдвигаемый операнд должен оканчиваться на 0 иначе возникает нарушение спецификации.
* Загрузка адреса сдвигаемого операнда (из первого регистра регистровой пары) в регистр адреса с фиксированной точкой. Инициализация чтения регистровой памяти с фиксированной точкой.
* Полученные данные по адресу из регистра адреса с фиксированной точкой записываем как первый операнд в регистр Р1 в АЛУ с 0 по 31 разряды. В регистр Р2 в АЛУ записываем непосредственно константу сдвига с выравниванием по правому краю.
* Загрузка адреса сдвигаемого операнда (из второго регистра регистровой пары) в регистр адреса с фиксированной точкой. Инициализация чтения регистровой памяти с фиксированной точкой.
* Полученные данные по адресу из регистра адреса с фиксированной точкой записываем как первый операнд в регистр Р1 в АЛУ с 32 по 63 разряды. Инициализация операции – Сдв2 – двойной сдвиг вправо.
* Помещение в регистр слова регистровой памяти с фиксированной точкой результат из регистра Р1 АЛУ с 31 по 63 разряды. Инициализация записи в регистровую память с фиксированной точкой.
* Загрузка в регистр адреса с фиксированной точкой адреса сдвигаемого регистра. Загрузка в регистр слово регистровой памяти с фиксированной точкой результата из регистра Р1 АЛУ с 0 по 31 разряды. Инициализация записи в регистровую память с фиксированной точкой.



Рисунок 3.4 - ГСА логической команды

3.Переход по счетчику

* Загрузка адреса счетчика в регистра адреса регистровой памяти с фиксированной точкой. Инициализация чтения регистровой памяти с фиксированной точкой.
* Загрузка полученных данных по адресу из регистра адреса регистровой памяти с фиксированной точкой в дополнительный регистр РD.
* Декрементирование счетчика в декременте D.
* Загрузка уменьшенного на 1 счетчика в регистр слова регистровой памяти с фиксированной точкой. Инициализация записи регистровой памяти с фиксированной точкой.
* Если значение счетчика не равно 0, то загрузка адреса команды, что должны выполнить в регистр адреса регистровой памяти с фиксированной точкой. Инициализация чтения регистровой памяти с фиксированной точкой.
* Запись в счетчик адреса команд данных из регистра слова регистровой памяти с фиксированной точкой с 3 по 31 разряды и выход.



4.Загрузка регистра (чтение из ОП в регистр)

* В порт адреса загружаем укороченный адрес из регистра команд с 11 по 15 разряды, откинув три последних (из-за разной адресации) с выравниванием вправо. Инициализация чтения оперативной памяти.
* Если первый откинутый разряд регистра команд (16) равен 0, то на сумматор адреса записываем данные с пота данных с 3 по 31 разряды, иначе с 35 по 63 разряды.
* Проверяем последний разряд сумматора адреса на четность, если он равен 1, то ошибка нарушения спецификации, иначе значения сумматора адреса с 1 по 26 разряды (взятые с порта данных) записываем в порт адреса и инициализируем чтение оперативной памяти.
* Проверка 27 и 28 разрядов сумматора адреса, по которым производится считывание определенного полуслова в двойном слове из порта данных и запись в регистр слова регистровой памяти с фиксированной точкой с выравниванием по правому краю.



Рисунок 3.5 - ГСА передачи управления

5.Передача байт УВВ в процессор

* Номер устройства ввода/вывода из регистра команд загружаем в порт адреса и инициализируем команду передачи байт из устройства ввода/вывода в процессор.



Рисунок 3.6 - ГСА команды ввода/вывода

Отдельно распишем алгоритм выборки команды для ширины выборки в 8 байт.

* Проверим последний разряд счетчика адреса команд на четность (кратен 2 или 4), т.е если 28 разряд равен 1, то возникает ошибка спецификации, иначе:
* Если данные в регистре АБ (регистр, в котором хранится адрес слова ОП, считанного на буферный регистр БФ) совпадают с данными счетчика адреса команд с 0 по 25 разряды, то переход к х21; иначе:
* Данные с счетчика адреса команд ([0:25]) записываются в порт адреса и в регистр АБ. Инициализация чтения оперативной памяти.
* В буферный регистр записываются данные с порта данных.
* х21. Если триггер ТРК (триггер, состояние которого указывает номер полуслова команды, загружаемого в регистр команд) равен 0, то в регистр команд с 0 по 15 разряды записываются данные первого полуслова оперативной памяти по адресу, указанному в 26 и 27 разрядах счетчика адреса команд, иначе - в регистр команд с 16 по 31.
* В первых двух разрядах регистра команд записан код длины команды в байтах. Если 00, - то два байта и ТРК = 1, иначе – 4 байта и ТРК = 0. При этом счетчик адреса команд увеличивается на 2.



Рисунок 3.6 - ГСА выборки команды

1. СТРУКТУРНАЯ СХЕМА ЦОУ

Структурная схема ЦОУ содержит следующие элементы:

1) АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ показано на рисунке 4.1.

Рисунок 4.1 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1 (первый операнд) и Р2 (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 64-разрядные числа в формате с плавающей точкой, то разрядность регистра Р1 АЛУ составляет 64 разряда, а для Р2 можно использовать на 32 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: умножение чисел с плавающей точкой (СлПТ), двойной логический сдвиг вправо (Сдв).

АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (больше, меньше, равно нулю, не равно нулю), флаги прерываний (переполнение порядка, нарушение значимости, исчезновение порядка), признак занятости (ZАЛУ).

2) Регистровая память (РП) - организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. Тип РП – раздельная, регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ) составляют два различных физических блока заданного размера. Емкость регистровой памяти составляет 8. Условное обозначение блока РП показано на рисунке 4.2.



Рисунок 4.2 – Условное обозначение РП

Разрядность регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства разрядность равна 32. Разрядность регистра адреса регистровой памяти (РАРП) определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти. Следовательно разрядность РАРП равна ⎡log28⎤ = 3. Таким образом, регистровая память представляет собой блок, содержащий 4 32-разрядных регистров с фиксированной точкой и 4 32-разрядных регистров с плавающей точкой.

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

3) Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 4.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды, таким образом РК имеет разрядность - 32.



Рисунок 4.3 – Условное обозначение регистра команд

4) Счетчик адреса команды (СчАК) - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2512⎤ = 29. При этом, младшие k = ⎡log2ШВ⎤ = ⎡log28⎤ =3 разряда определяют адрес байта в слове, а старшие разряды (26) – адрес слова ОП. Структура СчАК приведена на рисунке 4.4.



Рисунок 4.4 – Структура СчАК

5) ОП – оперативная память. Исходя из разрядности адреса двойного слова (слова ОП) выбирается разрядность регистра адреса ОП (АОП), то есть его разрядность составляет 26 разрядов. Обращение к РАОП производится через ПортА. Разрядность слова ОП (СОП) равна 64 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 4.5.



Рисунок 4.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

6) Сумматор адреса (СмА) – предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент (при относительной адресации АИСП=(B)+D ). По разрядности СмА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение. То есть разрядность СмА составляет 29 разрядов (рисунок 4.6).



Рисунок 4.6 – Условное обозначение СмА

7) Триггер команды (ТРК) – триггер, состояние которого указывает номер полуслова команды загружаемого в РК. Учет состояния ТРК требуется при выборке команд из ОП.

8) Разрядность регистра признака результата (РпР) составляет 2 разряда, так как на АЛУ вырабатывается 4 признака, для кодирования которых необходимо 2 разряда.

9) Регистр флагов имеет разрядность 3, так как на АЛУ формируется три флага. Соответствующий разряд устанавливается в 1 в случае формирования соответствующего флага.

10) Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР. При шине выборке равной 8, разрядность буферного регистра составляет 64 разряда.

11) Процессор обменивается данными с 255 внешними устройствами. На адресные входы МВВ поступает номер устройства ввода-вывода. Для задания номера устройства требуется 8 разрядов. Условное обозначение модуля ввода-вывода приведено на рисунке 4.7.



Рисунок 4.7 – Условное обозначение модуля ввода-вывода

На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из МВВ в процессор.

МВВ вырабатывает один осведомительный сигнал – признак занятости (ZВВ).

12) Флаг нарушения адресации (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

13) Флаг нарушения спецификации (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

14) Флаг прерывания K (резервная команда) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

15) Регистр D (PD) – необходим для хранения уменьшенного значения счетчика на 1.

16) Декремент D – необходим для уменьшения значения счетчика на 1.

Структурная схема ЦОУ приведена на чертеже 2011.М42.38.02.

1. АРХИТЕКТУРА ВНЕШНИХ ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА

Процессор имеет 16 внешних выводов адреса (Аi) и 64 внешних вывода данных (Di). Так же выводы RD - чтение, WR - запись, IN – МП, OUT – ПМ. Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП), «ввод» (МП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности ZОП от медленного внешнего по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ. Вывод +5V используется для питания, GND – земля, RESET – сброс, SET – установка, CLC – синхронизация.

Нумерация контактов:

* 0:25 – адресные выводы
* 26:89 – выводы данных
* 90 – сигнал «ЧтОП»
* 91 – сигнал «ЗпОП»
* 92 – сигнал «ввод»
* 93 – сигнал «вывод»
* 94 - питание
* 95 – используется для приема сигнала готовности (ZОП , ZВВ) от медленных внешних по отношению к процессору устройств (ОП, МВВ);
* 96 – сброс
* 97 – синхронизация
* 98 – «земля»



Рисунок 5.1 – Обобщенное УГО процессорного блока

1. СИНТЕЗ УСТРОЙСТВА УПРАВЛЕНИЯ
   1. Структурная схема УУ

Структурная схема УА приведена на рисунке 6.1.1.



Рисунок 6.1.1 – Обобщенная структурная схема УА с программируемой логикой (В – сигнал, запускающий УА, А – сигнал, останавливающий УА)



Рисунок 6.1.2 – Обобщенная структурная схема ФСМО при горизонтально-вертикальном кодировании МО

В состав устройства, кроме памяти микропрограмм (ПМК) входят:

* Регистр микрокоманды (РМК)
* Регистр адреса микрокоманды (РАМК)
* Формирователь сигналов микроопераций (ФСМО)

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве АМК используется регистр. Пуск автомата осуществляется подачей в схему управляющего сигнала **В**, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала **А**. Сигнал Сброс или Уст (установка) устанавливает на СчАМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Формирователь адреса, сравнивая поле ЛУ в МК с двоичным вектором осведомительных сигналов (x1, x2,…,x23), принимает решение о передаче кода на СчАМК.

* 1. Адресация микрокоманд

Использование принципа естественной адресации МК предполагает использование двух различных форматов МК: **В.М** – для операционных МК и   **В.Х.А** – для управляющих МК. Здесь В, М, Х, А – поля микрокоманд: В – одноразрядное поле бит-маркера (В=0 для операционных МК и В=1 для управляющих МК), М – поле для представления кода МО, включенных в МК, Х – поле кода (номера) проверяемого логического условия, А – поле адреса МК, исполнение которой осуществляется в случае истинности проверяемого логического условия.

Исполнительный адрес МК вычисляется по следующему правилу:

Здесь *i* – индекс осведомительного сигнала *xi*, значение которого равно 1.

* 1. Кодирование микроопераций

При горизонтально-вертикальном способе кодирования МО необходимо разбить все множетсво МО на подмножества несовместимых МО. Для этого удобно построить матрицу несовместимости МО. В этой матрице на пересечении строк и столбцов, соответствующих микрооперациям, которые упомянуты в одной микрокоманде (операторной вершине ГСА) ставятся нули, а остальные клетки заполняются единицами. Таким образом единичное значение элемента матрицы задает отношение несовместимости соответствующих МО. Матрица симметрична относительно главной диагонали.

Расшифровка кодов МО осуществляется ФСМО, представляющим собой R дешифраторов (по одному на каждое выделенное подмножество МО).

Для своего удобства вышеупомянутые проставления «0» и «1» сделаем наоборот. Если МО несовместимы, т.е находятся в одной операторной вершине ГСА, то ставим «1», иначе – «0».

Данная матрица представлена в приложении А.

На основании этой матрицы составляются подможества МО, в каждое из которых входят только несовместимые между собой МО. Для этого применим метод прямого включения микроопераций.

Получим следующую таблицу:

Таблица 6.3.1. Разбиение на МО подмножества

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| #1 | 7 | 11 | 15 | 18 | 19 | 21 | 22 | 24 | 29 | 32 | 40 | 43 | 48 |
| #2 | 3 | 8 | 12 | 16 | 20 | 23 | 25 | 41 | 49 | 50 | 46 | 47 |  |
| #3 | 9 | 13 | 17 | 26 | 36 | 37 | 38 | 39 | 44 | 42 | 45 |  |  |
| #4 | 10 | 14 | 1 | 4 | 5 | 6 | 27 | 28 | 31 | 33 | 34 | 51 |  |

Получили четыре подмножества. Максимальная длина – 13 элементов.

Следовательно, формат операционной микрокоманды будет выглядеть следующим образом:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| В | М1 | | | | М2 | | | | М3 | | | | М4 | | | |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |

Рисунок 6.3.1 – Формат операционной МК

М1..М4 в таблице 6.3.1 соответствуют #1..#4. В=0.

* 1. Микропрограмма функционирования ЦОУ

Количество осведомительных сигналов ЦОУ – 24, что потребует 5 бит в поле МК для логического условия. Кодировать их будет тривиальным позиционным кодом. Сигналу безусловного перехода присвоим нулевой код. Получили следующее кодирование осведомительных сигналов:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| хбп | 0 | 0 | 0 | 0 | 0 |
| х1 | 0 | 0 | 0 | 0 | 1 |
| х2 | 0 | 0 | 0 | 1 | 0 |
| х3 | 0 | 0 | 0 | 1 | 1 |
| х4 | 0 | 0 | 1 | 0 | 0 |
| х5 | 0 | 0 | 1 | 0 | 1 |
| х6 | 0 | 0 | 1 | 1 | 0 |
| х7 | 0 | 0 | 1 | 1 | 1 |
| х8 | 0 | 1 | 0 | 0 | 0 |
| х9 | 0 | 1 | 0 | 0 | 1 |
| х10 | 0 | 1 | 0 | 1 | 0 |
| х11 | 0 | 1 | 0 | 1 | 1 |
| х12 | 0 | 1 | 1 | 0 | 0 |
| х13 | 0 | 1 | 1 | 0 | 1 |
| х14 | 0 | 1 | 1 | 1 | 0 |
| х15 | 0 | 1 | 1 | 1 | 1 |
| х16 | 1 | 0 | 0 | 0 | 0 |
| х17 | 1 | 0 | 0 | 0 | 1 |
| х18 | 1 | 0 | 0 | 1 | 0 |
| х19 | 1 | 0 | 0 | 1 | 1 |
| х20 | 1 | 0 | 1 | 0 | 0 |
| х21 | 1 | 0 | 1 | 0 | 1 |
| х22 | 1 | 0 | 1 | 1 | 0 |
| х23 | 1 | 0 | 1 | 1 | 1 |

Таблица 6.4.1 – Кодирование осведомительных сигналов

Общее количество микрокоманд составляет 85, что потребует 7 бит в поле МК для определения адреса.

Формат управляющей микрокоманды получаем следующий:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| В | Лог условие (Х) | | | | | Адрес (А) | | | | | | | хххххххххххххх | | | |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |

Рисунок 6.4.1 – Формат управляющей микрокоманды

В=1.

Микропрограмма функционирования УА представлена в приложении Б. В закодированном и не закодированном виде.

* 1. Разработка принципиальной схемы УУ

Память микропрограмм (ПМП) организована в виде ПЗУ и для ее реализации была выбрана микросхема К155РЕ3. В данной работе ПМП имеет размерность 85×16 (85 адресов, 16 – разрядность регистра микрокоманды (РМК)). Сама микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32×8). Исходя из этого нам потребуется три ПЗУ в ряд (для обеспечения 16 разрядов) и три ПЗУ в столбик (для обеспечения 85 адресов). На чертеже эти микросхемы обозначены как DD13-DD21. На их адресные входы А0..А4 подаются адреса 0..4 с регистра адреса микрокоманда (АМК). Выбор необходимой линейки ПЗУ организован посредством дешифратора К155ИД4 (DD27), на адресные входы которого (А0,А1) подаются старшие разряды (5:6) с АМК. Выходы дешифратора идут на соответствующие входы ПЗУ (дешифратор выбирается линейку из трех микросхем памяти, которые хранят код одной микрокоманды).

В качестве АМК используется счетчик К155ИЕ7 (для естественной адресации). По сигналу *LD* устанавливается на АМК адрес начальной микрокоманды в микропрограмме. Адрес на РМК имеет разрядность (6:12), потому берем два счетчика и на их информационные входы D0..D3 подаем адрес с РМК. На вход предварительной записи К155ИЕ7 подаем инвертированный сигнал *LD*, на вход установки «0» - *Reset* (Rst).

В качестве РМК берем регистры К155ИР13. РМК имеет разрядность (0:16). По стробу *СС1* данные из памяти микропрограмм поступают на входя регистра микрокоманд, потому на информационные входы микросхем (DD35-DD37) подаем сигналы с К155РЕ3, а на вход синхронизации – сигнал *CC1.*

В качестве формирователя сигнала микроопераций используем 4 дешифратора К155ИД3 (DD31-DD34). На информационные входы определенного дешифратора подаем соответствующие разряды с РМК, которые соответствуют определенным множествам микроопераций: (1:4); (5:8); (9:12); (13:16). Формирование микрооперации осуществляется по сигналу *СС2*, а так же исходя из нулевого значения РМК(0).

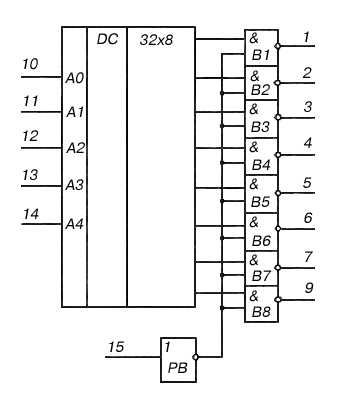
В качестве выбора условия использовались две микросхемы К155КП1 (DD29,DD30). На стробирующий вход микросхемы подаем РМК(1), а сигналы РМК(2:5) подаем на адресные входы. С выходов этих мультиплексоров получаем сигналы MS1 и MS2, которые логически складываем и получаем сигнал Хх.

Схема электрическая принципиальная представления на чертеже 2011.М42.38.03.

Условные графические обозначения и характеристики использованных элементов:

К155РЕ3 – электрически программируемое ПЗУ емкостью 32×8

Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32×8). В исходном состоянии по всем адресам и разрядам записан логический ноль. Корпус К155РЕ3 типа 238.16-2, масса не более 2 г.



1 - выход B1;

2 - выход B2;

3 - выход B3;

4 - выход B4;

5 - выход B5;

6 - выход B6;

7 - выход B7;

8 - общий;

9 - выход B8;

10 - вход адресный A0;

11 - вход адресный A1;

12 - вход адресный A2;

13 - вход адресный A3;

14 - вход адресный A4;

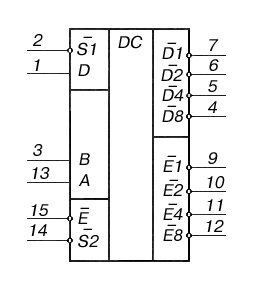
15 - вход разрешения выборки PB;

16 - напряжение питания;

Таблица 6.5.1. Электрические параметры ИМС К155РЕ3

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,5 В |
| 3 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 4 | Входной ток низкого уровня | не более -1 мА |
| 5 | Входной ток высокого уровня по выводам 10-14 по выводу 15 | не более 0,04 мА  не более 0,08 мА |
| 6 | Выходной ток высокого уровня | не более 0,1 мА |
| 7 | Ток утечки на входе | не более 1 мА |
| 8 | Ток потребления | не более 110 мА |
| 9 | Потребляемая статическая мощность | не более 550 мВт |
| 10 | Время выборки разрешения при включении | не более 50 нс |
| 11 | Время выборки разрешения при выключении | не более 50 нс |
| 12 | Время выборки адреса при включении | не более 65 нс |
| 13 | Время выборки адреса при выключении | не более 65 нс |

К155ИД4 – сдвоенный дешифратор-демультиплексор.



1 - информационный вход D;

2 - стробирующий вход S1;

3 - адресный вход B;

4 - выход D8;

5 - выход D4;

6 - выход D2;

7 - выход D1;

8 - общий;

9 - выход E1;

Рисунок 6.5.2 - УГО ИМС К155ИД4

10 - выход E2;

11 - выход E4;

12 - выход E8;

13 - адресный вход A;

14 - стробирующий вход S2;

15 - информационный вход E;

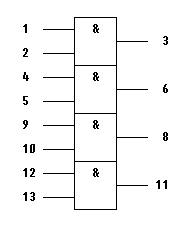
16 - напряжение питания;

Таблица 6.5.2. Электрические параметры ИМС К155ИД7

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 7 | Ток потребления | не более 40 мА |
| 8 | Входной пробивной ток | не более 1 мА |
| 9 | Потребляемая статическая мощность (30 МГц) | не более 210 мВт |

К155ЛИ1 – четыре логических элемента 2И.

Микросхема представляет собой четыре логических элемента 2И. Корпус К155ЛИ1 типа 201.14-1, масса не более 1 г и у КМ155ЛИ1 типа 201.14-8, масса не более 2,2 г.



1,2,4,5,9,10,12,13 - входы;

3,6,8,11 - выходы;

7 - общий;

14 - напряжение питания.

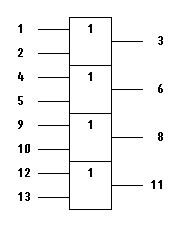
Рисунок 6.5.3 - УГО ИМС К155ИД4

Таблица 6.5.3. Электрические параметры ИМС К155ЛИ1

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Входной пробивной ток | не более 1 мА |
| 7 | Ток потребления при низком уровне выходного напряжения | не более 33 мА |
| 8 | Ток потребления при высоком уровне выходного напряжения | не более 21 мА |
| 9 | Потребляемая статическая мощность на один логический элемент | не более 35,4 мВт |
| 10 | Время задержки распространения при включении | не более 19 нс |
| 11 | Время задержки распространения при выключении | не более 27 нс |

К155ЛЛ1 – четыре логических элемента 2ИЛИ

Микросхема представляет собой четыре логических элемента 2ИЛИ. Корпус К155ЛЛ1 типа 201.14-1, масса не более 1 г и у КМ155ЛЛ1 типа 201.14-8, масса не более 2,2г.



1,2,4,5,9,10,12,13 - входы;

3,6,8,11 - выходы;

7 - общий;

14 - напряжение питания

Рисунок 6.5.4 - УГО ИМС К155ЛЛ1

Таблица 6.5.4. Электрические параметры ИМС К155ЛЛ1

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Входной пробивной ток | не более 1 мА |
| 7 | Ток потребления при низком уровне выходного напряжения | не более 38 мА |
| 8 | Ток потребления при высоком уровне выходного напряжения | не более 22 мА |
| 9 | Потребляемая статическая мощность на один логический элемент | не более 39,4 мВт |
| 10 | Время задержки распространения при включении | не более 22 нс |
| 11 | Время задержки распространения при выключении | не более 15 нс |

К155ЛА8 – четыре логических элемента 2И-НЕ

Микросхема представляет собой четыре логических элемента 2И-НЕ. Корпус К155ЛА8 типа 201.14-1, масса не более 1 г и у КМ155ЛА8 типа 201.14-8, масса не более 2,2г.

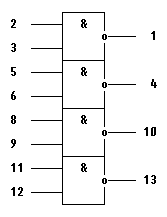


Рисунок 6.5.5 - УГО ИМС К155ЛА8

1 - выход Y1;

2,3,5,6,8,9,11,12 - входы X1-X8;

4 - выход Y2;

7 - общий;

10 - выход Y3;

13 - выход Y4;

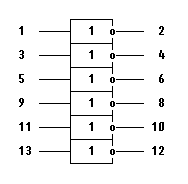
14 - напряжение питания

Таблица 6.5.5. Электрические параметры ИМС К155ЛА8

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 5 | Входной ток низкого уровня | не более -1,6 мА |
| 6 | Входной ток высокого уровня | не более 0,04 мА |
| 7 | Входной пробивной ток | не более 1 мА |
| 8 | Ток потребления при низком уровне выходного напряжения | не более 22 мА |
| 9 | Ток потребления при высоком уровне выходного напряжения | не более 8 мА |
| 10 | Потребляемая статическая мощность на один логический элемент | не более 19,7 мВт |

К155ЛН1 – шесть логических элементов НЕ

Микросхема представляет собой шесть логических элементов НЕ. Корпус К155ЛН1 типа 201.14-1, масса не более 1 г и у КМ155ЛН1 типа 201.14-8, масса не более 2,2 г.



1,3,5,9,11,13 - входы;

2,4,6,8,10,12 - выходы;

7 - общий;

Рисунок 6.5.6 - УГО ИМС К155ЛН1

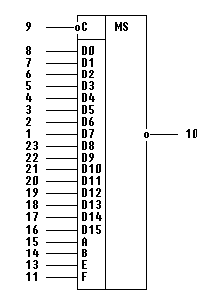
14 - напряжение питания

Таблица 6.5.6. Электрические параметры ИМС К155ЛН1

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Входной пробивной ток | не более 1 мА |
| 7 | Ток потребления при низком уровне выходного напряжения | не более 33 мА |
| 8 | Ток потребления при высоком уровне выходного напряжения | не более 12 мА |
| 9 | Потребляемая статическая мощность на один логический элемент | не более 19,7 мВт |
| 10 | Время задержки распространения при включении | не более 15 нс |
| 11 | Время задержки распространения при выключении | не более 22 нс |

К155КП1 - селектор-мультиплексор данных на 16 каналов со стробированием

В качестве выбора условия используется МС К155КП1. Микросхема представляет собой селектор-мультиплексор данных на 16 каналов со стробированием. Позволяет с помощью четырех адресных входов A-F передать данный поступающие на один из входов D0-D15 к выходу Y. Если на вход разрешения С подано напряжение высокого уровня, то на выходе Y также появится высокий уровень независимо от адреса остальных входов. Напряжение низкого уровня на входе Е разрешает прохождение данных от входов D0-D15. Корпус К155КП1 типа 239.24-1, масса не более 4 г.



1 - вход информационный D7;

2 - вход информационный D6;

3 - вход информационный D5;

4 - вход информационный D4;

5 - вход информационный D3;

6 - вход информационный D2;

7 - вход информационный D1;

8 - вход информационный D0;

9 - стробирующий вход; 10 - выход;

Рисунок 6.5.7 - УГО К155КП1

11 - вход адресный F; 12 - общий;

13 - вход адресный E;

14 - вход адресный B; 15 -вход адресный A

16 - вход информационный D15; 17 - вход информационный D14;

18 - вход информационный D13; 19 - вход информационный D12;

20 - вход информационный D11; 21 - вход информационный D10;

22 - вход информационный D9; 23 - вход информационный D8;

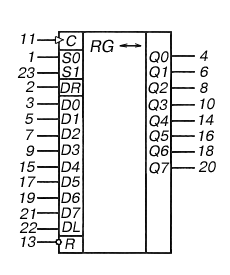
24 - напряжение питания;

Таблица 6.5.7. Электрические параметры К155КП1

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 68 мА |
| 7 | Потребляемая статическая мощность | не более 357 мВт |
| 8 | Время задержки распространения при включении  - по стробирующему входу 9  - по адресным входам 11,13,14,15  - по информационным входам 1-8, 16-23 | не более 30 нс  не более 33 нс  не более 14 нс |
| 9 | Время задержки распространения при выключении  - по стробирующему входу 9  - по адресным входам 11,13,14,15  - по информационным входам 1-8, 16-23 | не более 24 нс  не более 35 нс  не более 20 нс |

К155ИЕ7 – четырехразрядный двоичный счетчик.

Микросхема представляет собой четырехразрядный универсальный сдвиговый регистр. Корпус К155ИР13 типа 239.24-1, масса не более 4 г.

****1 - вход режимный S0;

2 - вход последовательного ввода информации при сдвиге вправо DR;

3 - вход информационный D0;

4 - выход Q0; 5 - вход D1;

6 - выход Q1; 7 - вход D2;

8 - выход Q2; 9 - вход D3;

10 - выход Q3;

11 - вход синхронизации С;

12 - общий;

13 - вход инверсный "сброс" R;

Рисунок 6.5.8 - УГО К155ИЕ7

14 - выход Q4; 15 - вход D4;

16 - выход Q5; 17 - вход D5;

18 - выход Q6; 19 - вход D6;

20 - выход Q7; 21 - вход D7;

22 - вход последовательного ввода информации при сдвиге влево DL;

23 - вход режимный S1;

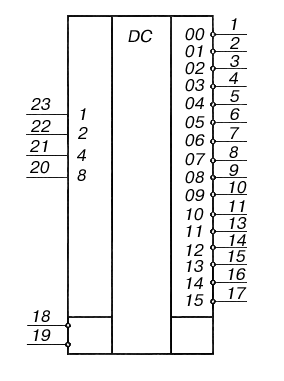
24 - напряжение питания;

Таблица 6.5.8. Электрические параметры К155ИЕ7:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня при Uп=4,75 В | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня при Uп=4,75 В | не менее 2,4 В |
| 4 | Напряжение на антизвонном диоде при Uп=4,75 В | не менее -1,5 В |
| 5 | Помехоустойчивость | не менее 0,4 В |
| 6 | Входной ток низкого уровня | не более 1,6 мА |
| 7 | Входной ток высокого уровня | не более 0,04 мА |
| 8 | Входной пробивной ток | не более 1 мА |
| 9 | Ток короткого замыкания | -18...-65 мА |
| 10 | Ток потребления | не более 102 мА |
| 11 | Потребляемая статическая мощность | не более 535 мВт |
| 12 | Время задержки выключения от входа "уст.0" до выхода Q | не более 35 нс |
| 13 | Время задержки выключения от входа предварительной записи до выхода Q | не более 40 нс |
| 14 | Время задержки включения от входа предварительной записи до выхода Q | не более 40 нс |
| 15 | Время задержки выключения от входа "прямой счет" до выхода "прямой перенос" | не более 26 нс |
| 16 | Время задержки включения от входа "прямой счет" до выхода "прямой перенос" | не более 24 нс |
| 17 | Время задержки включения от входа "обратный счет" до выхода Q | не более 47 нс |
| 18 | Время задержки выключения от входа "обратный счет" до выхода Q | не более 38 нс |
| 19 | Коэффициент разветвления по выходу | 10 |
| 20 | Максимальная длительность фронта (среза) входного импульса | не более 150 нс |

К155ИД3 - дешифратор-демультиплексор 4 линии на 16.

Микросхем представляет собой дешифратор-демультиплексор 4 линии на 16. Содержит 225 итнегральных элементов. Корпус К155ИД3 типа 239.24-2.

1 - 11 - выходы Y1 - Y11;

13 - 17 - выходы Y12 - Y16;

12 - общий;

18, 19 - стробирующие входы;

24 - напряжение питания;

20 - 23 - информационные входы;

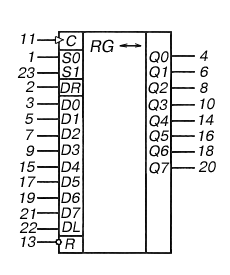
Рисунок 6.5.9 - УГО К155ИЕ7

Таблица 6.5.9. Электрические параметры К155ИД3:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Входной ток низкого уровня | не более -1,6 мА |
| 5 | Входной ток высокого уровня | не более 0,04 мА |
| 6 | Ток потребления | не более 56 мА |
| 7 | Время задержки распространения при включении      по входам 20 – 23      по входам 18, 19 | не более 33 нс  не более 27 нс |
| 8 | Время задержки распространения при выключении      по входам 20 – 23      по входам 18, 19 | не более 36 нс  не более 30 нс |
| 9 | Время дешифрации | не более 35 нс |
| 10 | Потребляемая мощность | не более 294 мВт |

К155ИР13 - восьмиразрядный реверсивный сдвиговый регистр.

Микросхема представляет собой восьмиразрядный универсальный сдвиговый регистр. Корпус К155ИР13 типа 239.24-1, масса не более 4 г.

1 - вход режимный S0;

2 - вход последовательного ввода информации при сдвиге вправо DR;

3 - вход информационный D0;

4 - выход Q0; 5 - вход D1;

6 - выход Q1; 7 - вход D2;

8 - выход Q2; 9 - вход D3;

10 - выход Q3;

11 - вход синхронизации С;

Рисунок 6.5.10 - УГО К155ИД3

12 - общий;

13 - вход инверсный "сброс" R;

14 - выход Q4; 15 - вход D4;

16 - выход Q5; 17 - вход D5;

18 - выход Q6; 19 - вход D6;

20 - выход Q7; 21 - вход D7;

22 - вход последовательного ввода информации при сдвиге влево DL;

23 - вход режимный S1;

24 - напряжение питания;

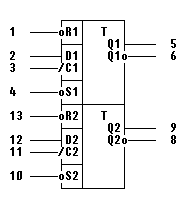
Таблица 6.5.10. Электрические параметры К155ИД3:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Помехоустойчивость | не менее 0,4 В |
| 5 | Входной ток низкого уровня | не более -1,6 мА |
| 6 | Входной ток высокого уровня | не более 0,04 мА |
| 7 | Ток короткого замыкания | -18...-57 мА |
| 8 | Потребляемая мощность | не более 609 мВт |
| 9 | Рабочая частота | 25 МГц |

Микросхема К155ИР13 – универсальный, восьмиразрядный, синхронный регистр сдвига. Каждая операция продолжается в регистре не более 20 нс.

К155ТМ2 – два D-триггера.

Микросхема представляет собой два независимых D-триггера, срабатывающих по положительному фронту тактового сигнала.



1 - инверсный вход установки "0" R1;

2 - вход D1;

3 - вход синхронизации C1;

4 - инверсный вход установки "1" S1;

5 - выход Q1; 6 - выход инверсный Q1;

7 - общий;

Рисунок 6.5.11 - УГО К155ИД3

8 - выход инверсный Q2;

9 - вход Q2;

10 - инверсный вход установки "1" S2;11 - вход синхронизации C2;

12 - вход D2;

13 - инверсный вход установки "0" R2;

14 - напряжение питания;

Таблица 6.5.11. Электрические параметры К155ТМ2:

|  |  |  |
| --- | --- | --- |
| 1 | Номинальное напряжение питания | 5 В plus minus5 % |
| 2 | Выходное напряжение низкого уровня | не более 0,4 В |
| 3 | Выходное напряжение высокого уровня | не менее 2,4 В |
| 4 | Напряжение на антизвонном диоде | не менее -1,5 В |
| 5 | Входной ток низкого уровня      по входам 2,4,10,12      по входам 1,3,11,13 | не более -1,6 мА  не более -3,2 мА |
| 6 | Входной ток высокого уровня      по входам 2,12      по входам 4,3,11,10 | не более 0,04 мА  не более 0,08 мА |
| 7 | Входной пробивной ток | не более 1 мА |
| 8 | Ток короткого замыкания | -18...-55 мА |
| 9 | Ток потребления | не более 30 мА |
| 10 | Потребляемая статическая мощность на один триггер | не более 78,75 мВт |
| 11 | Время задержки распространения при включении | не более 40 нс |
| 12 | Время задержки распространения при выключении | не более 25 нс |
| 13 | Тактовая частота | не более 15 мГц |

С целью устранения высокочастотных помех устанавливается по одному керамическому конденсатору на две микросхемы из расчета 0,002 мкФ на одну МС.

7. ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК И

МОДЕЛИРОВАНИЕ РАБОТЫ ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,

− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО [1].

Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

Рабочая частота FР выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F.

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК. При построении диаграммы предполагалось, что любая МК исполняется за один такт, регистры-защелки (РМК и АМК) переключаются по переднему фронту синхроимпульса. Отправной точкой рассмотрения диаграммы будем считать некоторую точку t1 на временной оси. В этот момент времени на входах ПМП выставлен адрес МК*i* – микрокоманды, подлежащей исполнению. С этого момента начинается процесс выборки и исполнения МК. Для осуществления синхронного принципа функционирования ОУ достаточно подавать в схему УУ три синхросерии одинаковой частоты F=1/TОУ: СС1 – для инициирования записи слова МК в РМК, СС2 – для стробирования выхода ФСМО, СС3 – для переключения регистровой схемы АМК.

Интервал времени τ1=(t1,t2) определяется максимальным временем выборки слова из ПМП. В момент времени t2 слово МК*i* выбрано на информационные выходы ПМП. Импульс синхросерии СС1 инициирует загрузку слова МК*i*в РМК. Интервал δ вводится для того, чтобы гарантировать загрузку «правильного слова» в РМК. Интервал τ2 определяется временем, необходимым для записи слова МК*i* в РМК. Интервал времени τ3 может быть определен как max{τФСМО, τФА} (для естественной адресации МК). Суммарное время (τ2+ τ3) может рассматриваться как задержка импульса синхросерии СС2 относительно СС1.

Импульс СС2 разрешает подачу сформированных на ФСМО управляющих сигналов на входы ОБ с целью инициирования исполнения микроопераций, включенных в обрабатываемую МК. Длительность импульса СС2 τ4 определяется временем исполнения в ОБ наиболее продолжительной МО (это время включает и время формирования осведомительных сигналов). Наиболее длительными по исполнению являются МО суммирования и счета (предполагается, что обмен с ОП и МВВ не является МО и исполняется за несколько тактов работы процессора). Предполагается также, что операционные элементы, реализующие МО в обрабатывающем блоке, построены в том же элементном базисе, что и управляющее устройство.

Интервал τ5  определяется временем срабатывания ФА.

Импульс синхросерии СС3 инициирует загрузку (выработку) адреса следующей микрокоманды МК*j* в АМК. Интервал τ6 определяется временем, необходимым для переключения АМК (АМК:=РМК[НА] при естественной адресации в случае выполняемого перехода; АМК:= АМК+1 при естественной адресации в случае выполнения операционной МК или при невыполняемом переходе).

Временная диаграмма работы ОУ с учетом реальных задержек в схемах этого устройства может быть правильно построена, если учесть следующие временные соотношения:

, где  − максимальное время выборки слова из ПМП;

, где  − время, необходимое для записи слова в РМК;

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  − суммарное время срабатывания всех схем, включенных в ФА;

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

; , где  − время срабатывания счетчика АМК (СчАМК) при естественной адресации;

- интервал времени, гарантирующий загрузку «правильного слова» в РМК.

, где − цикл выборки слова из ПЗУ, на основе которого построена ПМП.



Рисунок 7.1 – Временная диаграмма исполнения МК (МКi 🡪 МКj)

Расчетное значение тактовой частоты определяется величиной: F=1/Tоу.

Рабочая частота выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F.

Таким образом рабочая частота составляет 1 МГц.



Рисунок 7.2 – Временная диаграмма исполнения МК (МКi 🡪 МКj)

с расставленными задержками

ЗАКЛЮЧЕНИЕ

В ходе курсового работы было спроектировано ЦОУ. Полученное центральное обрабатывающее устройство способно выполнять:

* сложение чисел с плавающей точкой;
* двойной сдвиг вправо;
* переход по счетчику;
* загрузка регистра;
* передача байт из УВВ в процессор;
* команда «Стоп».

Устройство управления представляет собой управляющий автомат с программируемой логикой и естественным принципом адресации.

В ходе курсовой работы были выполнены такие задачи:

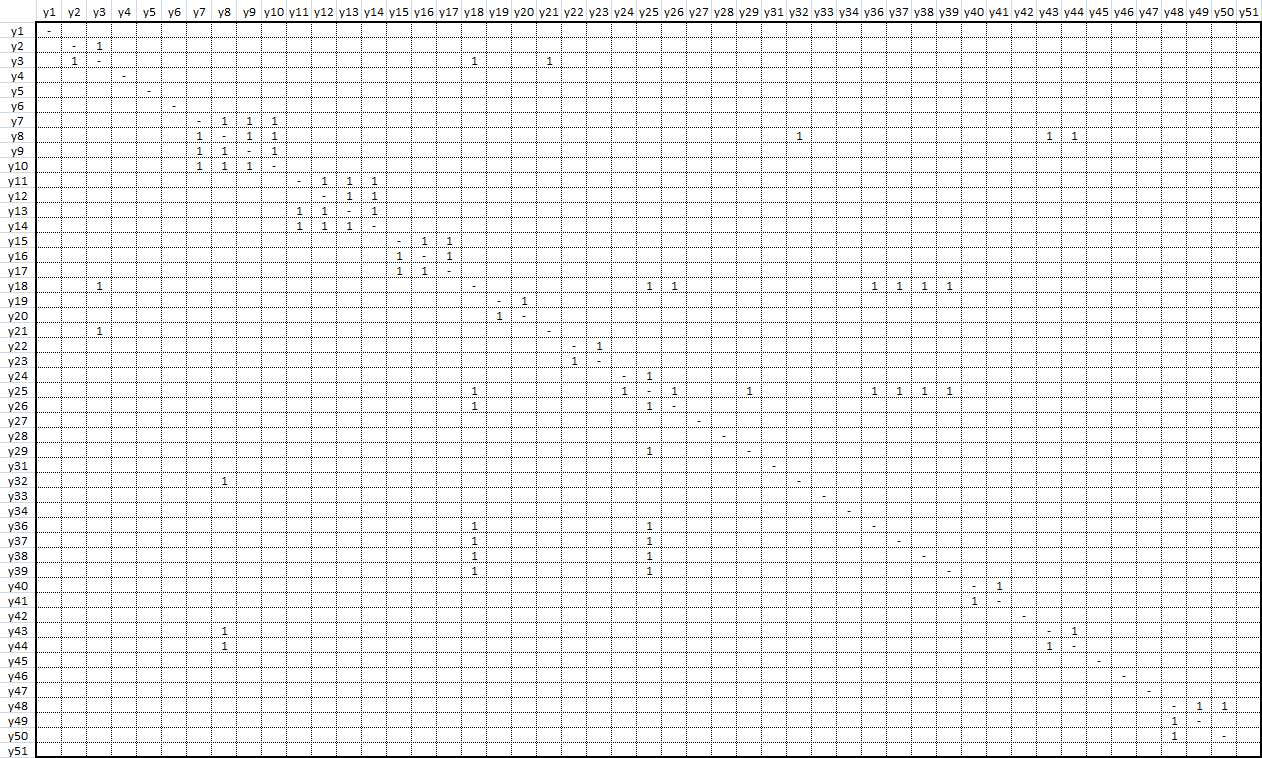
1. Определены форматы команд и данных и сформирована система команд;
2. Составлена граф-схема функционирования ЦОУ;
3. Структурная схема ЦОУ;
4. Архитектура внешних выводов ЦОУ;
5. Определены форматы микрокоманд, кодирование микрокоманд и микропрограмма функционирования управляющего автомата;
6. Построена принципиальная схема УА;
7. Рассчитаны временные характеристики ЦОУ.

ПЕРЕЧЕНЬ ССЫЛОК

1. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Севастополь: Изд-во СевНТУ, 2008. − 36 с.
2. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к циклу лабораторных работ по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Севастополь: Изд-во СевНТУ, 2008. − 44 с.
3. Столингс У. Структурная организация и архитектура компьютерных систем/ У.Столингс. – М.: Издательский дом «Вильямс», 2002. – 896 с.
4. Интегральные микросхемы и их зарубежные аналоги: Справочник. Том 2./А. В. Нефедов. - М.:ИП РадиоСофт, 1998г. - 640с.:ил.
5. Отечественные микросхемы и зарубежные аналоги Справочник. Перельман Б.Л.,Шевелев В.И. "НТЦ Микротех", 1998г.,376 с. - ISBN-5-85823-006-7
6. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.

Приложение А

Матрица несовместимости микроопераций.



Приложение Б

Кодирование

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| МК опер | В | #1 | | | | #2 | | | | #3 | | | | #4 | | | | Адрес МК | Микрокоманда | | | | Примечание |
| МУ усл | В | Лог усл | | | | | Адрес | | | | | | | Х | Х | Х | Х | В | Х | | А |
| А+0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+0 | 1 | х20 | | А+10 |  |
| А+1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+1 | 1 | х21 | | А+5 |  |
| А+2 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+2 | 0 | y43 y44 y8 | | |  |
| А+3 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | А+3 | 1 | х5 | | А+3 | Zоп |
| А+4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | А+4 | 0 | y45 | | |  |
| А+5 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | А+5 | 1 | х22 | | А+11 |  |
| А+6 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+6 | 0 | y46 | | |  |
| А+7 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+7 | 1 | х23 | | А+12 |  |
| А+8 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+8 | 0 | y48 y49 | | |  |
| А+9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+9 | 0 | хбп | | А+1 |  |
| А+10 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+10 | 0 | хбп | | А+84 |  |
| А+11 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+11 | 0 | y47 | | |  |
| А+12 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+12 | 0 | y48 y50 | | |  |
| А+13 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+13 | 1 | х1 | А+21 | |  |
| А+14 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+14 | 1 | х9 | А+40 | |  |
| А+15 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+15 | 1 | х11 | А+50 | |  |
| А+16 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+16 | 1 | х13 | А+58 | |  |
| А+17 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | А+17 | 1 | х17 | А+79 | |  |
| А+18 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+18 | 1 | х19 | А+20 | | КОНЕЦ |
| А+19 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+19 | 0 | y42 | | |  |
| А+20 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | А+20 | 0 | y51 | КОНЕЦ | | Конец |
| А+21 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | А+21 | 0 | y1 | | |  |
| А+22 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+22 | 1 | х2 | А+25 | |  |
| А+23 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+23 | 0 | y2 y3 | | |  |
| А+24 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | А+24 | 0 | y4 | | |  |
| А+25 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+25 | 1 | х3 | А+28 | |  |
| А+26 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+26 | 1 | х4 | А+29 | |  |
| А+27 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+27 | 0 | хбп | А+84 | | ПРЕРЫВАНИЕ |
| А+28 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+28 | 0 | хбп | А+82 | | ПРЕРЫВАНИЕ |
| А+29 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | А+29 | 0 | y7 y8 y9 y10 | | |  |
| А+30 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | А+30 | 1 | х5 | А+30 | | Zоп |
| А+31 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | А+31 | 1 | х6 | А+38 | |  |
| А+32 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+32 | 0 | y11 y12 y13 | | |  |
| А+33 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+33 | 1 | х7 | А+33 | | Zалу |
| А+34 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | А+34 | 0 | y15 y16 y17 | | |  |
| А+35 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+35 | 1 | х8 | А+37 | |  |
| А+36 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+36 | 0 | хбп | А+20 | | ПРЕРЫВАНИЕ |
| А+38 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | А+38 | 0 | y14 y12 y13 | | |  |
| А+39 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+39 | 0 | хбп | А+33 | |  |
| А+37 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+36 | 0 | хбп | А+0 | | НАЧАЛО |
| А+40 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+40 | 1 | х10 | А+49 | |  |
| А+41 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+41 | 0 | y18 y3 | | |  |
| А+42 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+42 | 0 | y19 y20 | | |  |
| А+43 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+43 | 0 | y21 y3 | | |  |
| А+44 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+44 | 0 | y22 y23 | | |  |
| А+45 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+45 | 1 | х7 | А+45 | | Zалу |
| А+46 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+46 | 0 | y24 y25 | | |  |
| А+47 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+47 | 0 | y18 y26 y25 | | |  |
| А+48 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+48 | 0 | хбп | А+0 | | НАЧАЛО |
| А+49 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+49 | 0 | хбп | А+84 | | ПРЕРЫВАНИЕ |
| А+50 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+50 | 0 | y18 y3 | | |  |
| А+51 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | А+51 | 0 | y27 | | |  |
| А+52 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | А+52 | 0 | y28 | | |  |
| А+53 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+53 | 0 | y29 y25 | | |  |
| А+54 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А+54 | 1 | х12 | А+57 | | НАЧАЛО |
| А+55 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+55 | 0 | y2 y3 | | |  |
| А+56 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | А+56 | 0 | y31 | | |  |
| А+57 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+57 | 0 | хбп | А+0 | | НАЧАЛО |
| А+58 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+58 | 0 | y32 y8 | | |  |
| А+59 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | А+59 | 1 | х5 | А+59 | | Zоп |
| А+60 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+60 | 1 | х14 | А+76 | |  |
| А+61 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | А+61 | 0 | y33 | | |  |
| А+62 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | А+62 | 1 | х15 | А+78 | |  |
| А+63 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+63 | 0 | y7 y8 | | |  |
| А+64 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+64 | 1 | х5 | А+64 | | Zоп |
| А+65 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | А+65 | 1 | х6 | А+71 | |  |
| А+66 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+66 | 1 | х16 | А+69 | |  |
| А+67 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | А+67 | 0 | y18 y36 y25 | | |  |
| А+68 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+68 | 0 | хбп | А+0 | | НАЧАЛО |
| А+69 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | А+69 | 0 | y18 y37 y25 | | |  |
| А+70 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+70 | 0 | хбп | А+0 | | НАЧАЛО |
| А+71 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | А+71 | 1 | х16 | А+74 | |  |
| А+72 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | А+72 | 0 | y18 y38 y25 | | |  |
| А+73 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+73 | 0 | хбп | А+0 | | НАЧАЛО |
| А+74 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+74 | 0 | y18 y39 y25 | | |  |
| А+75 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+75 | 0 | хбп | А+0 | | НАЧАЛО |
| А+78 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+78 | 0 | хбп | А+84 | | ПРЕРЫВАНИЕ |
| А+76 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | А+76 | 0 | y34 | | |  |
| А+77 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | А+77 | 0 | хбп | А+62 | |  |
| А+79 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+79 | 0 | y40 y41 | | |  |
| А+80 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+80 | 1 | х18 | А+80 | | Zвв |
| А+81 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | А+81 | 0 | хбп | А+0 | | НАЧАЛО |
| А+82 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | А+82 | 0 | у5 | | | А:=1 |
| А+83 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+83 | 0 | хбп | А+20 | |  |
| А+84 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | А+84 | 0 | у6 | | | S:=1 |
| А+85 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | А+85 | 0 | хбп | А+20 | |  |