Министерство образования и науки Украины

Севастопольский национальный технический университет

кафедра КиВТ

Пояснительная записка к курсовому проекту

по дисциплине «Цифровые ЭВМ»

на тему:

«Синтез центрального обрабатывающего устройства ЦЭВМ»

Выполнил:

студент гр. М-41д

Безручко И.К.

Вариант №1

Проверил:

профессор

Апраксин Ю.К.

Севастополь

2010

Содержание

Введение………………………………………………………………………...3

1. Постановка задачи…………………………………………………………….. 4
2. Описание форматов данных и команд……………………………………… 7

2.1 Форматы данных……………………………………………………….… 7

2.2 Описание форматов команд……………………………………………… 7

1. Содержательная ГСА функционирования ЦОУ……………………………10
2. Структурная схема центрального обрабатывающего устройства…………11
3. Архитектура внешних выводов процессорного блока……………………..14
4. Структурная схема УУ………………………………………………………..15
5. Разработка микропрограммы функционирования УУ……………………..15

7.1 Адресация микрокоманд…………………………………………………15

7.2 Кодирование микроопераций…………………………………………….16

7.3 Микропрограмма………………………………………………………….16

1. Разработка принципиальной схемы УУ……………………………………..17
2. Моделирование работы ЦОУ………………………………………………...22

Заключение……………………………………………………………………25

Библиографический список………………………………………………….26

Приложение А………………………………………………………………...27

Приложение Б…………………………………………………………………28

Введение

Данная курсовая работа посвящена изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Целью является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ».

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой электронно-вычислительной машины (ЦЭВМ). Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

**1 Постановка задачи**

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ.

Предполагается, что проектированию подлежит процессор с традиционной принстонской архитектурой.

К функциям процессорного блока относятся:

- управление потоком обработки команд исполняемой компьютером программы;

- управление процессом исполнения команд;

- управление процессом взаимодействия всех блоков ЦОУ.

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером.

К ним относятся:

* арифметическая команда,
* логическая команда,
* команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
* команда обращения к устройству ввода/вывода,
* команда передачи управления,
* команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

1. осуществить выборку команды из ОП в строгом соответствии с форматом команды,
2. расшифровать код операции в команде,
3. выполнить расшифрованную операцию,
4. подготовить компьютер к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 1.



Рисунок 1.1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

* РК – регистр команд,
* СчАК – счетчик адреса команд,
* РПР – регистр признака результата,
* РКП – регистр кода прерывания (регистр флагов прерывания),
* ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, …, ВРk),

используемых для эффективной организации процесса исполнения команд;

ОСВ – внешние осведомительные сигналы;

УСВ – внешние управляющие сигналы;

Д – данные.

Исходные данные для курсового проектирования:

Перечень аппаратно поддерживаемых типов данных:

* I2 -16-разрядные целые числа (данные для арифметических команд);
* F4 -32-разрядные числа в формате с плавающей точкой (данные для команд обращения к памяти);
* L1 – двоичный вектор длиной 1 байт (данные для логической команды);

Типы команд:

* Арифметическая команда – сложение векторов длиной 4 байт;
* Логическая команда – дизъюнкция, вектора длиной 1байт;
* Команда передачи управления – условный переход по маске;
* Команда обращения к памяти – чтение 4 байт из ОП и запись прочитанных данных в РП;
* Команда ввода/вывода – обратная передача;
* Команда «Стоп».

Способы адресации операндов в команде – непосредственна, прямая, косвенная, регистровая, косвенная через регистр.

Основные характеристики ОП:

*  – емкость ОП в мегабайтах;
*  – ширина выборки (разрядность слова ОП в байтах);

Характеристики РП:

*  – емкость РП – определяется количеством регистров в блоке.
* Тип – универсальная регистровая память (один блок как для регистров общего назначения (РОН), так и для регистров, предназначенных для хранения чисел в формате с плавающей точкой (РПТ)).
* Разрядность регистра – 4 байта.

Тип устройства управления – управляющий автомат с программируемой логикой.

Способ адресации микрокоманд (МК) в микропрограммах (МП) – естественная адресация. Способ кодирования поля микроопераций (МО) в (МК) – вертикально-горизонтальный.

Графический материал состоит из следующих чертежей:

1. Граф-схема алгоритма функционирования центрального обрабатывающего устройства – чертеж.
2. Структурная схема центрального обрабатывающего устройства − чертеж.
3. Принципиальная схема устройства управления с перечнем элементов – чертеж.

**2 Описание форматов данных и команд**

## 2.1 Форматы данных

На рисунке 2.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, .



Рисунок 2.1 – Форматы данных

## 2.2 Описание форматов команд

Для облегчения процесса выборки команды из ОП все форматы команд будут кратны 2 байтам. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. При этом в поле КОП команды будем выделять три поля: КОП(0) – для кода формата команды (или кода длины команды), КОП(1:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

ЦОУ реализует следующие команды:

1) Сложение чисел с фиксированной точкой.

Способы адресации: регистровый для первого операнда, регистровая – для второго.

Длина команды – 2 байта: КОП(0:7); R1(8:10) – адрес РП, содержащего первый операнд; R1(11:13) – адрес РП, содержащего второй операнд; X(14:15) – неиспользуемые разряды.

Возможные признаки результата: равен нулю, больше нуля.

Команда формирует следующие флаг С - переполнение.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | R1 | X |
| 0 7 | 8 10 | 11 13 | 14 15 |

2) Дизъюнкция, вектора длиной 1 байт.

Способы адресации: регистровый для первого операнда, непосредственная адресация – для второго.

Длина команды – 4 байта: КОП(0:7); R1(8:10) – адрес РП, содержащего первый операнд; R2(16:23) – адрес РП, содержащего второй операнд; X(11:15,24:31) – неиспользуемые разряды.

Возможные признаки результата: равен нулю.

Команда не формирует флагов.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| КОП | R1 | X | R2 | X |
| 0 7 | 8 10 | 11 15 | 16 23 | 24 31 |
|  |  |  |  |  |

3) Условный переход по маске.

Способ адресации – регистровый для первого операнда, косвенная адресация – для второго.

Длина команды – 4 байта: КОП(0:7); R1(8:10) – адрес РП, содержащий адрес маски; R2(11:15) –укороченный адрес оперативной памяти, по которому хранится адрес перехода;

Возможные признаки результата: отсутствуют.

Команда формирует флаг нарушения спецификации.

|  |  |  |
| --- | --- | --- |
| КОП | R1 | R2 |
| 0 7 | 8 10 | 11 31 |

4) Чтение из ОП и запись прочитанных данных в РП;

Способ адресации: регистровый для первого операнда, косвенный через регистр – для второго.

Длина команды – 2 байта: КОП(0:7); R1(8:10) – адрес РП, получающего пересылаемые данные; R2(11:13) – ячейка ОП, содержащая исполнительный адрес; X(14:15) – неиспользуемые разряды.

Возможные признаки результата: отсутствуют.

Команда формирует флаг нарушение адресации.

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | R2 | X |
| 0 7 | 8 10 | 11 13 | 14 15 |

5) Передача байта из процессора в УВВ.

Способ адресации: прямая.

Длина команды – 2 байта: КОП(0:7); R1(6:15) – регистр, в котором содержится номер устройства ввода-вывода.

Признаки результата отсутствуют.

Команда не формирует флагов.

|  |  |
| --- | --- |
| КОП | НУВВ |
| 0 7 | 8 15 |

6) Команда «СТОП».

Длина команды – 2 байта: КОП(0:7); X(8:15) – неиспользуемые разряды.

Завершает работу устройства. Флагов и прерываний не вырабатывает.

|  |  |  |
| --- | --- | --- |
| КОП | Х | |
| 0 7 | 8 | 15 |

Для заданных команд подобраны все способы адресации. Для кодирования 0 и 1 бита КОП будет использована следующая схема:

0 -> 2 байта;

1 -> 4 байта.

Таблица 2.1. Система команд

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Номер класса | Номер коман-ды | Название | Содержание | ПР | Флаги | Код двоичный | | | h-код |
| 0 | 1:4 | 5:7 |
| 1 | 1 | Сложение с ФТ | (R1):=(R1)+((B2)+D2) | >0 =0 | ППР | 0 | 0001 | 001 | 9 |
| 2 | 1 | Дизъюнкция | (R1) := (R1)vR2 | =0 | --- | 1 | 0010 | 001 | 91 |
| 3 | 1 | Условный переход по маске | (СчАК):=R2, если М1 | --- | S | 1 | 0011 | 001 | 99 |
| 4 | 1 | Запись из ОП в регистр | (R1) := (Ay) | --- | A | 0 | 0100 | 001 | 21 |
| 5 | 1 | Вывод из процессора в УВВ | (НУВВ) := (ПортД) | --- | --- | 0 | 0101 | 001 | 29 |
| 5 | 2 | Ввод из процессора в УВВ | (ПортД):= (НУВВ) | --- | --- | 0 | 0101 | 010 | 2A |
| 6 | 1 | Стоп | Стоп | --- | --- | 0 | 0110 | 001 | 31 |

**3 Содержательная ГСА функционирования ЦОУ**

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

1. Выборка команды;
2. Выполнение команды;
3. Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
4. Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 3.1.



Рисунок 3.1 – Упрощенная схема алгоритма функционирования ЦОУ

Длины команд составляют 2 и 4 байта, а ширина выборки – 4 байта. Корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 3.2.

|  |  |
| --- | --- |
| 0 СОП 31 | |
| … | |
| K2B | K2B |
| 1/2 K4B | 1/2 K4B |
| K2B | 1/2 K4B |
| 1/2 K4B | K2B |
| … | |
| 0 АОП 24 | |

Рисунок 3.2 – Размещение команд в ОП

\*

Содержательная ГСА функционирования ЦОУ приведена на чертеже 2010.41.01.01.

**4 Структурная схема центрального обрабатывающего устройства**

Структурная схема ЦОУ содержит следующие элементы:

1 АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ показано на рисунке 4.1.



Рисунок 4.1 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1 (первый операнд) и Р2 (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 16-разрядные числа в формате с фиксированной точкой, то разрядность регистров АЛУ составляет 16 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: сложение, дизъюнкция

АЛУ вырабатывает две группы осведомительных сигналов: признаки результата (больше, равно нулю, не равно нулю), признак занятости (ZАЛУ).

2 РП допускает выборку слова в течение одного такта. Тип РП – универсальная, регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ) объединены в один блок. Условное обозначение блока РП показано на рисунке 4.2.



Рисунок 4.2 – Условное обозначение РП

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

3 Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 4.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды



Рисунок 4.3 – Условное обозначение регистра команд

4 СчАК обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2128⎤ = 27Структура СчАК приведена на рисунке 4.4.



Рисунок 4.4 – Структура СчАК

5 Разрядность АОП составляет 24 разряда. Обращение к АОП производится через ПортА. Разрядность слова ОП (СОП) равна разрядности слова (так как ШВ 4 байт), то есть 32 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 4.5.



Рисунок 4.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

6 Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР.

Поскольку ШВ=4, то его разрядность следует выбрать равной 16 разрядов.

7. На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из процессора в МВВ (ПМ).

МВВ вырабатывает один осведомительный сигнал – признак занятости (ZВВ).

Условное обозначение модуля ввода-вывода приведено на рисунке 4.7.



Рисунок 4.7 – Условное обозначение модуля ввода-вывода

8. Флаг (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

9. Флаг (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

10. Флаг(K) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

\*

Структурная схема ЦОУ приведена на чертеже 2010.41.01.02.

**5 Архитектура внешних выводов**

Процессор имеет 25 внешних выводов адреса (Аi) и 32 внешних выводов данных (Di). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП), «ввод» (МП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности ZОП от медленного внешнего по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ. Вывод +5V используется для питания, GND – земля, RESET – сброс, SET – установка, CLC – синхронизация.

Обобщенное условное графическое обозначение процессорного блока приведено на рисунке 5.1.



Рисунок 5.1 – УГО ЦОУ

**6 Структурная схема УА**

Характерной особенностью УА с программируемой логикой является хранение МП в специализированном постоянном запоминающем устройстве (ПЗУ), называемом памятью микропрограмм (ПМП). Обобщенная структура УА с хранимой в памяти логикой изображена на рисунке 6.1.



Рисунок 6.1 – Структура УА с естественной адресацией

**7 Разработка микропрограммы функционирования УУ**

7.1 Адресация микрокоманд

При естественной адресации предполагается использование двух различных форматов МК: **В.М** – для операционных МК и   **В.Х.А** – для управляющих МК. Здесь В, М, Х, А – поля микрокоманд: В – одноразрядное поле бит-маркера (В=0 для операционных МК и В=1 для управляющих МК), М – поле для представления кода МО, включенных в МК, Х – поле кода (номера) проверяемого логического условия, А – поле адреса МК, исполнение которой осуществляется в случае истинности проверяемого логического условия.

Исполнительный адрес МК вычисляется по следующему правилу:



Здесь *i* – индекс осведомительного сигнала *xi*, значение которого равно 1.

## 7.2 Кодирование микроопераций

При вертикально-горизонтальном способе кодирования МО, все множество МО разбивается на несовместимые подмножества совместимых микроопераций. Строят полные подграфы совместимых МО, обеспечивают несовместимость МО соответствующих подграфов между собой и непосредственно кодируют.

Получают МО двух групп – универсальная группа, которая кодируется по горизонтальному принципу и все остальные группы, которые кодируются по вертикальному способу.

Выделим все совместимые МО. Постоим граф совместимости МО, выделим в универсальную группу МО, которые имеют наибольшее количество связей с другими МО, разобьем все МО на группы (Приложение А). Закодируем совместимые подмножества.

|  |  |  |  |
| --- | --- | --- | --- |
|  | УГ | №пп | П.код |
| У1 | 0000 | 1000 | 100 |
| У2 | 1000 | 0010 | 10х |
| У3 | 0100 | 1100 | 100 |
| У4 | 1000 | 0001 | 110 |
| У5 | 0100 | 1100 | 11х |
| У6 | 0000 | 0011 | 11х |
| У7 | 1000 | 0001 | 011 |
| У8 | 0100 | 1100 | 11х |
| У9 | 1000 | 0010 | 01х |
| У10 | 0010 | 1010 | 10х |
| У11 | 0010 | 1011 | 11х |
| У12 | 0000 | 0100 | 11х |
| У13 | 0001 | 1111 | 100 |
| У14 | 0000 | 1001 | 10х |

|  |  |  |  |
| --- | --- | --- | --- |
| У15 | 0000 | 0111 | 111 |
| У16 | 0001 | 1111 | 010 |
| У17 | 0000 | 1001 | 01х |
| У18 | 0010 | 1011 | 01х |
| У19 | 0100 | 1110 | 10х |
| У20 | 0000 | 0110 | 11х |
| У21 | 0000 | 1000 | 010 |
| У22 | 0010 | 1010 | 01х |
| У23 | 0100 | 1110 | 01х |
| У24 | 0001 | 0000 | 11х |
| У25 | 0100 | 1101 | 11х |
| У26 | 0001 | 1111 | 001 |
| У27 | 0000 | 0101 | 11х |
| У28 | 0000 | 1000 | 001 |

7.3Микпрограмма

Микропрограмма функционирования УА представлена в приложении Б.

**8 Разработка принципиальной схемы УА**

Память микропрограммы имеет размерность 81х13. Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). Для реализации ПМП в данном курсовом проекте потребуется 6 микросхем К155РЕ3.

Счётчик адреса микрокоманд, имеющий разрядность 7 бит реализован на двух четырёхбитных двоичных счётчиках К155ИЕ7.

Регистр микрокоманд разрядностью 13 бит реализован на двух восьмибитных регистрах К155ИР13.

Для формирования сигнала логического условия использованы два шестнадцатибитных мультиплексора К155КП1.

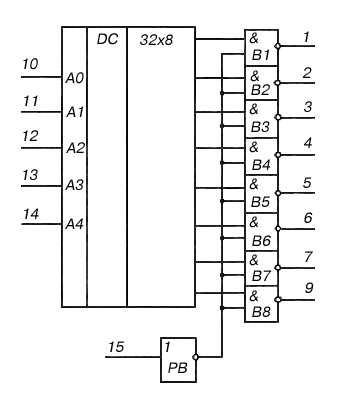
Для дешифрации старших разрядов адресов и номера подгруппы используются дешифраторы К155ИД3, К155ИД4.

Комбинационная часть УУ, формирующая управляющие сигналы yi, а также сигналы тактирования и разрешения реализована микросхемами К155ЛА3, К155ЛИ1, К155ЛЛ1 и К155ЛН1.

Принципиальная схема устройства управления представлена на чертеже 2010.41.01.03

Условные графические обозначения и характеристики использованных элементов:

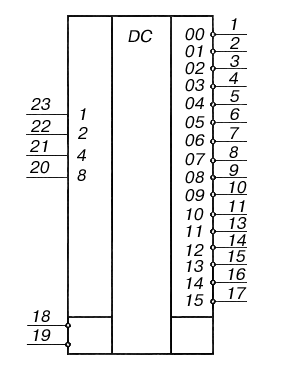
1. К155РЕ3 – электрически программируемое ПЗУ емкостью 32х8.



1 - выход B1; 9 - выход B8;  
2 - выход B2; 10 - вход адресный A0;  
3 - выход B3; 11 - вход адресный A1;  
4 - выход B4; 12 - вход адресный A2;  
5 - выход B5; 13 - вход адресный A3;  
6 - выход B6; 14 - вход адресный A4;  
7 - выход B7; 15 - вход разрешения выборки PB;  
8 - общий; 16 - напряжение питания;

Рисунок 6.5.1 – УГО ИМС 155РЕ3

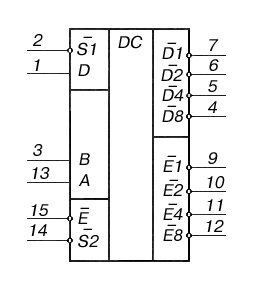
1. К155ИД3 – Дешифратор – демультиплексор 4 линии на 16.



1 - 11 - выходы Y1 - Y11;   
13 - 17 - выходы Y12 - Y16;   
12 - общий;   
18, 19 - стробирующие входы;   
24 - напряжение питания;   
20 - 23 - информационные входы;

Рисунок 6.5.2 – УГО ИМС 155ИД3

1. К155ИД4 – Сдвоенный дешифратор-демультиплексор.



1 - информационный вход D; 9 - выход E1;  
2 - стробирующий вход S1; 10 - выход E2;  
3 - адресный вход B; 11 - выход E4;  
4 - выход D8; 12 - выход E8;  
5 - выход D4; 13 - адресный вход A;  
6 - выход D2; 14 - стробирующий вход S2;  
7 - выход D1; 15 - информационный вход E;  
8 - общий; 16 - напряжение питания;

Рисунок 6.5.3 – УГО ИМС 155ИД4

1. К155ИР13 – восьмиразрядный реверсивный сдвиговый регистр.

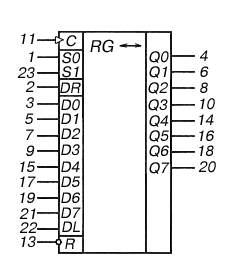
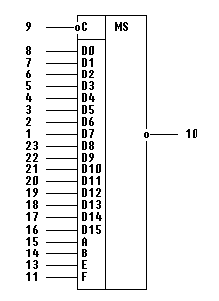


Рисунок 6.5.4 – УГО ИМС 155ИР13

1 - вход режимный S0;  
2 - вход последовательного ввода информации при сдвиге вправо DR;  
3 - вход информационный D0;  
4 - выход Q0; 5 - вход D1;  
6 - выход Q1; 7 - вход D2;  
8 - выход Q2; 9 - вход D3;  
10 - выход Q3;  
11 - вход синхронизации С;  
12 - общий;  
13 - вход инверсный "сброс" R;  
14 - выход Q4; 15 - вход D4;  
16 - выход Q5; 17 - вход D5;  
18 - выход Q6; 19 - вход D6;  
20 - выход Q7; 21 - вход D7;  
22 - вход последовательного ввода информации при сдвиге влево DL;  
23 - вход режимный S1;  
24 - напряжение питания;

1. К155КП1 – Селектор-мультиплексор данных на 16 каналов со стробированием.

1 - вход информационный D7;  
2 - вход информационный D6;  
3 - вход информационный D5;  
4 - вход информационный D4;  
5 - вход информационный D3;  
6 - вход информационный D2;  
7 - вход информационный D1;  
8 - вход информационный D0;

9 - стробирующий вход; 10 - выход;  
11 - вход адресный F;

12 - общий;

13 - вход адресный E;

14 - вход адресный B;

15 - вход адресный A;  
16 - вход информационный D15;  
17 - вход информационный D14;  
 18 - вход информационный D13;  
 19 - вход информационный D12;  
20 - вход информационный D11;  
21 - вход информационный D10;  
22 - вход информационный D9;  
23 - вход информационный D8;  
24 - напряжение питания;

Рисунок 6.5.5 – УГО ИМС 155КП1

1. К155ТМ2 – два D-триггера.

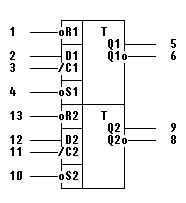
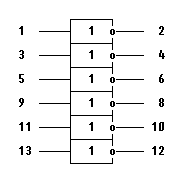


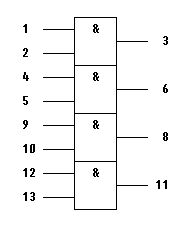
Рисунок 6.5.6 – УГО ИМС 155ТМ2

1 - инверсный вход установки "0" R1; 9 - вход Q2;  
2 - вход D1; 10 - инверсный вход установки "1" S2;  
3 - вход синхронизации C1; 11 - вход синхронизации C2;  
4 - инверсный вход установки "1" S1; 12 - вход D2;  
5 - выход Q1; 13 - инверсный вход установки "0" R2;  
6 - выход инверсный Q1; 14 - напряжение питания;  
7 - общий;  
8 - выход инверсный Q2;

1. К155ЛН1 – шесть логических элементов НЕ.

1,3,5,9,11,13 - входы;  
2,4,6,8,10,12 - выходы;  
7 - общий;  
14 - напряжение питания;

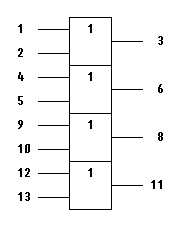
Рисунок 6.5.7 – УГО ИМС 155ЛН1

1. К155ЛИ1 – четыре логических элемента 2И.

1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

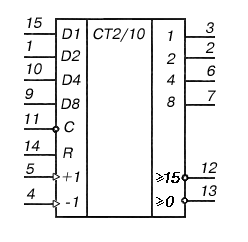
Рисунок 6.5.8 – УГО ИМС 155ЛИ1

1. К155ЛЛ1 – четыре логических элемента 2ИЛИ.



1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

Рисунок 6.5.9 – УГО ИМС 155ЛЛ1

1. ИМС К155ИЕ7

1 - вход информационный D2;

2 - выход второго разряда Q2;

3 - выход первого разряда Q1;

4 - вход "обратный счет";

5 - вход "прямой счет";

6 - выход третьего разряда Q3;

7 - выход четвертого разряда Q4;

8 - общий;

9 - вход информационный D8;

10 - вход информационный D4;

11 - вход предварительной записи;

12 - выход "прямой перенос";

13 - выход "обратный перенос";

14 - вход установки "0" R;

15 - вход информационный D1;

16 - напряжение питания;

**9 Определение временных характеристик и моделирование работы ЦОУ**

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,

− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО [1]. Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах устройства строится в соответствии со следующими временными соотношениями:

, где  − максимальное время выборки слова из ПМП;

нс

, где  − время, необходимое для записи слова в РМК;

нс

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  − суммарное время срабатывания всех схем, включенных в ФА;

нс

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

нс

; , где  − время срабатывания счетчика АМК (СчАК);

нс

нс



нс – интервал δ, гарантирующий загрузку «правильного слова» в РМК.

 нс

На рисунке 7.1 приведена временная диаграмма процесса исполнения МК.



Рисунок 7.1 – Временная диаграмма процесса исполнения МК

Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

 Гц

Рабочая частота Fр выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F [4].

Гц

Таким образом, рабочая частота составляет 1 МГц.

Выполним моделирование на следующем участке ГСА:



Входные данные: адрес микрокоманды – 50, выработка третьего сигнала универсальной группы y15 и второго сигнала подгруппы 11- у17

В регистре микрокоманд ::

0 0010 1011 01

По очередному тактовому импульсу происходит выборка следующей микрокоманды:

1 01110 00110011

Старший бит установлен в 1, стало быть данная микрокоманда является командой перехода. Активируются мультиплексоры логических условий. Так как x14 положен равным 0, сигнал JMP не вырабатывается, и перехода не происходит. Счётчик адреса микрокоманд продвигается на 1 и принимает значение 00110100. По очередному тактовому импульсу происходит выборка следующей микрокоманды:

1 11111 0000000

Таким образом, сопоставляя результаты моделирования с таблицей кодирования и принципиальной схемой управляющего устройства, можно убедиться, что спроектированное устройство работает верно.

ЗАКЛЮЧЕНИЕ

В данной курсовой работе было спроектировано центральное обрабатывающее устройство, реализующее заданную совокупность команд из системы команд абстрактной цифровой вычислительной машины. Устройство управления организовано в виде управляющего автомата с программируемой логикой.

В ходе выполнения курсовой работы было составлено описание форматов команд и обрабатываемых данных, построена граф-схема алгоритма функционирования центрального обрабатывающего устройства, структурная схема центрального обрабатывающего устройства. Также было синтезировано устройство управления с естественной адресацией микрокоманд, составлена микропрограмма функционирования ЦОУ, построена схема электрическая принципиальная управляющего устройства. Было проведено моделирование ЦОУ, которое показало, что устройство работает правильно.

# БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб. пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001. – 345 с.
2. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2008. − 36с.
3. Синтез управляющих автоматов с программируемой логикой: Методические указания к циклу лабораторных работ по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной формы обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2009. − 44 с.
4. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1987 – 352с.

Приложение А

Совместимые подмножества

|  |  |
| --- | --- |
| Y1 | Y1 |
| Y2 | Y2,y3 |
| Y3 | Y4,y5 |
| Y4 | Y6,y7,y3 |
| Y5 | Y4,y5,y8 |
| Y6 | Y9,y10 |
| Y7 | Y11,y7,y3 |
| Y8 | Y4,y5,y8 |
| Y9 | Y13,y3 |
| Y10 | Y14,y15 |
| Y11 | Y16,y17,y15 |
| Y12 | Y18,y19 |
| Y13 | Y20,y21 |
| Y14 | Y22 |
| Y15 | Y17,y15 |
| Y16 | Y23,y24,y25 |
| Y17 | Y26,y21 |
| Y18 | Y27 |
| Y19 | Y28,y5 |
| Y20 | Y29,y30 |
| Y21 | Y31 |
| Y22 | Y32,y15 |
| Y23 | Y33,y5 |
| Y24 | Y34,y35,y21 |
| Y25 | Y36,y37,y5 |
| Y26 | Y38,y21 |
| Y27 | Y39,40 |
| Y28 | Y12 |

Граф совместных МО



Группы

|  |  |
| --- | --- |
| Y1 | Y6,y7,y11 |
| Y2 | Y2,y13 |
| Y3 | Y9,y10 |
| Y4 | Y18,y19 |
| Y5 | y39,y40 |
| Y6 | Y29,y30 |
| Y7 | Y23,y24,y25 |
| Y8 | Y1,y31,y12 |
| Y9 | Y22,y27 |
| Y10 | Y14,y32 |
| Y11 | Y16,y17 |
| Y12 | Y4,y8 |
| Y13 | Y36,y37 |
| Y14 | Y28,y33 |
| Y15 | Y20,y26,y38 |
| Y16 | Y34,y35 |

Приложение Б

Микропрограмма в условных обозначениях

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Адрес МК | Микрокоманда | | | |
|  | В | М | | |
|  | Х | | А |
| А+0 | 1 | x1 | | A+15 |
| А+1 | 1 | x2 | | A+24 |
| А+2 | 1 | x3 | | A+17 |
| А+3 | 0 | y4,y5,y8 | | |
| А+4 | 1 | x5 | | A+4 |
| А+5 | 1 | x6 | | A+35 |
| А+6 | 0 | y11,y7,y3 | | |
| А+7 | 1 | x7 | | A+37 |
| А+8 | 1 | x8 | | A+44 |
| А+9 | 1 | x9 | | A+50 |
| А+10 | 1 | X10 | | A+63 |
| А+11 | 1 | X11 | | A+77 |
| А+12 | 1 | X12 | | A+80 |
| А+13 | 0 | Y12 | | |
| А+14 | 1 | Xб/п | | А+80 |
| А+15 | 0 | Y1 | | |
| А+16 | 1 | Xб/п | A+80 | |
| А+17 | 0 | Y2,y3 | | |
| А+18 | 1 | X4 | | A+20 |
| А+19 | 1 | Xб/п | | A+7 |
| А+20 | 0 | Y4,y5 | | |
| А+21 | 1 | X5 | | A+21 |
| А+22 | 0 | Y6,y7,y3 | | |
| А+23 | 1 | Xб/п | | A+7 |
| А+24 | 1 | X3 | | A+26 |
| А+25 | 1 | Xб/п | | A+3 |
| А+26 | 0 | Y4,y5,y8 | | |
| А+27 | 1 | X5 | | A+27 |
| А+28 | 0 | Y13,y3 | | |
| А+29 | 1 | X4 | | A+31 |
| А+30 | 1 | Xб/п | | A+7 |
| А+31 | 0 | Y4,y5 | | |
| А+32 | 1 | X5 | | A+32 |
| А+33 | 0 | Y6,y7,y3 | | |
| А+34 | 1 | Xб/п | | A+7 |
| А+35 | 0 | Y9,y10 | | |
| А+36 | 1 | Xб/п | | A+7 |
| А+37 | 0 | Y14,y15 | | |
| А+38 | 0 | Y16,y17,y15 | | |
| А+39 | 0 | Y18,y19 | | |
| А+40 | 1 | X13 | | A+40 |
| А+41 | 0 | Y20,y21 | | |
| А+42 | 0 | Y22 | | |
| А+43 | 1 | Xб/п | A+0 | |
| А+44 | 0 | Y17,y15 | | |
| А+45 | 0 | Y23,y24,y25 | | |
| А+46 | 1 | X13 | | A+46 |
| А+47 | 0 | Y26,y21 | | |
| А+48 | 0 | Y27 | | |
| А+49 | 1 | Xб/п | A+0 | |
| А+50 | 0 | Y17,y15 | | |
| А+51 | 1 | X14 | | A+52 |
| А+52 | 1 | Xб/п | | A+0 |
| А+53 | 1 | X18 | | A+56 |
| А+54 | 0 | Y1 | | |
| А+55 | 1 | Xб/п | | A+80 |
| А+56 | 0 | Y28,y5 | | |
| А+57 | 1 | X5 | | A+57 |
| А+58 | 1 | X15 | | A+61 |
| А+59 | 0 | Y29,y30 | | |
| А+60 | 1 | Xб/п | A+0 | |
| А+61 | 0 | Y1 | | |
| А+62 | 1 | Xб/п | A+80 | |
| А+63 | 1 | X16 | | A+66 |
| А+64 | 0 | Y31 | | |
| А+65 | 1 | Xб/п | A+80 | |
| А+66 | 0 | Y32,y15 | | |
| A+67 | 1 | x19 | A+71 | |
| A+68 |  | y1 | | |
| A+69 |  | Xб/п | A+80 | |
| А+70 | 0 | Y33,y5 | | |
| А+71 | 1 | X5 | | A+71 |
| А+72 | 0 | Y34,y35,y21 | | |
| А+73 | 0 | Y36,y37,y5 | | |
| А+74 | 1 | X5 | | A+74 |
| А+75 | 0 | Y38,y21 | | |
| А+76 | 1 | Xб/п | A+0 | |
| А+77 | 0 | Y39,y40 | | |
| А+78 | 1 | X17 | | A+72 |
| А+79 | 1 | Xб/п | | A+0 |
| А+80 |  |  | | |

Микропрограмма в двоичном представлении

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Адрес МК | Микрокоманда | | | | |
|  | В | М | | | |
|  | Х | | | А |
| 0000000 | 1 | 00001 | | 0001111 | |
| 0000001 | 1 | 00010 | | 0011000 | |
| 0000010 | 1 | 00011 | | 0010001 | |
| 0000011 | 0 | 01001100110 | | | |
| 0000100 | 1 | 00101 | | 0000100 | |
| 0000101 | 1 | 00110 | | 0100011 | |
| 0000110 | 0 | 10000001011 | | | |
| 0000111 | 1 | 00111 | | 0100101 | |
| 0001000 | 1 | 01000 | | 0101100 | |
| 0001001 | 1 | 01001 | | 0110010 | |
| 0001010 | 1 | 01010 | | 0111111 | |
| 0001011 | 1 | 01011 | | 1001101 | |
| 0001100 | 1 | 01100 | | 1010000 | |
| 0001101 | 0 | 00001000001 | | | |
| 0001110 | 1 | 11111 | | 1010000 | |
| 0001111 | 0 | 00001000100 | | | |
| 0010000 | 1 | 11111 | 1010000 | | |
| 0010001 | 0 | 1000001010х | | | |
| 0010010 | 1 | 00100 | | 0010100 | |
| 0010011 | 1 | 11111 | | 0000111 | |
| 0010100 | 0 | 01001100100 | | | |
| 0010101 | 1 | 00101 | | 0010101 | |
| 0010110 | 0 | 10000001110 | | | |
| 0010111 | 1 | 11111 | | 0000111 | |
| 0011000 | 1 | 00011 | | 0011010 | |
| 0011001 | 1 | 11111 | | 0000011 | |
| 0011010 | 0 | 0100110011х | | | |
| 0011011 | 1 | 00101 | | 0011011 | |
| 0011100 | 0 | 1000001001х | | | |
| 0011101 | 1 | 00100 | | 0011111 | |
| 0011110 | 1 | 11111 | | 0000111 | |
| 0011111 | 0 | 01001100100 | | | |
| 0100000 | 1 | 00101 | | 01000000 | |
| 0100001 | 0 | 10000001110 | | | |
| 0100010 | 1 | 11111 | | 0000111 | |
| 0100011 | 0 | 0000001111х | | | |
| 0100100 | 1 | 11111 | | 0000111 | |
| 0100101 | 0 | 0010101010х | | | |
| 0100110 | 0 | 0010101111х | | | |
| 0100111 | 0 | 0000010011х | | | |
| 0101000 | 1 | 01101 | | 0101000 | |
| 0101001 | 0 | 00011111100 | | | |
| 0101010 | 0 | 0000100110х | | | |
| 0101011 | 1 | 11111 | 0000000 | | |
| 0101100 | 0 | 0010101101х | | | |
| 0101101 | 0 | 00000111111 | | | |
| 0101110 | 1 | 01101 | | 0101110 | |
| 0101111 | 0 | 00011111010 | | | |
| 0110000 | 0 | 0000100101х | | | |
| 0110001 | 1 | 11111 | 0000000 | | |
| 0110010 | 0 | 0010101101х | | | |
| 0110011 | 1 | 01110 | | 0110101 | |
| 0110100 | 1 | 11111 | | 0000000 | |
| 0110101 | 1 | 10010 | | 0111000 | |
| 0110110 | 0 | 00001000100 | | | |
| 0110111 | 1 | 11111 | | 1010000 | |
| 0111000 | 0 | 0100111010х | | | |
| 0111001 | 1 | 00101 | | 0111001 | |
| 0111010 | 1 | 01111 | | 0111101 | |
| 0111011 | 0 | 0000011011х | | | |
| 0111100 | 1 | 11111 | 0000000 | | |
| 0111101 | 0 | 00001000100 | | | |
| 0111110 | 1 | 11111 | 1010000 | | |
| 0111111 | 1 | 10000 | | 1000010 | |
| 1000000 | 0 | 00001000010 | | | |
| 1000001 | 1 | 11111 | 1010000 | | |
| 1000010 | 0 | 0010101001х | | | |
| 1000011 | 1 | 10011 | 1000110 | | |
| 1000100 | 0 | 00001000100 | | | |
| 1000101 | 1 | 11111 | 1010000 | | |
| 1000110 | 0 | 0100111001х | | | |
| 1000111 | 1 | 00101 | | 1000111 | |
| 1001000 | 0 | 0001000011х | | | |
| 1001001 | 0 | 0100110111х | | | |
| 1001010 | 1 | 00101 | | 1001010 | |
| 1001011 | 0 | 00011111001 | | | |
| 1001100 | 1 | 00000 | 0000000 | | |
| 1001101 | 0 | 0000010111х | | | |
| 1001110 | 1 | 10001 | | 1001111 | |
| 1001111 | 1 | 11111 | | 0000000 | |
| 1010000 |  |  | | | |