Министерство образования и науки Украины

Севастопольский национальный технический университет

Кафедра Кибернетики и Вычислительной техники

Пояснительная записка к курсовому проекту

по дисциплине «Цифровые ЭВМ»

на тему:

«СИНТЕЗ ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА ЦЭВМ»

Вариант-10

Выполнил:

ст. гр. М-41д

Микулович И.С.

Проверил:

проф. Апраксин Ю.К.

Севастополь

2010

Содержание

[Введение 3](#_Toc279106066)

[Постановка задачи 4](#_Toc279106067)

[1. Описание форматов данных и команд 7](#_Toc279106068)

[1.1 Форматы данных 7](#_Toc279106069)

[1.2 Форматы команд 8](#_Toc279106070)

[2. Содержательная ГСА функционирования ЦОУ 13](#_Toc279106071)

[3. Структурная схема центрального обрабатывающего устройства 15](#_Toc279106072)

[4. Архитектура внешних выводов 20](#_Toc279106073)

[5. Синтез управляющего автомата 21](#_Toc279106074)

[5.1 Структурная схема управляющего автомата 21](#_Toc279106075)

[5.2 Адресация микрокоманд 22](#_Toc279106076)

[5.3 Кодирование микроопераций 23](#_Toc279106077)

[5.4 Микропрограмма 24](#_Toc279106078)

[6. Разработка принципиальной схемы управляющего автомата 25](#_Toc279106079)

[7. Определение временных характеристик и моделирование работы ЦОУ 31](#_Toc279106080)

[Заключение 35](#_Toc279106081)

[Библиографический список 36](#_Toc279106082)

[Приложение А. Совместимые подмножества 37](#_Toc279106083)

[Приложение Б. Микропрограмма 40](#_Toc279106084)

# Введение

Данная курсовая работа посвящена изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Целью является практическое закрепление основных разделов дисциплины «Цифровые ЭВМ».

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной цифровой электронно-вычислительной машины (ЦЭВМ). Устройство управления будет организовано в виде управляющего автомата с программируемой логикой. Управляющий автомат с программируемой логикой строится на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд).

Устройство управления будет синтезировано в соответствии с заданной адресацией микрокоманд. Также будет составлена микропрограмма функционирования центрального обрабатывающего устройства.

# Постановка задачи

В данном курсовом проекте нужно спроектировать центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Список команд, которые должно реализовывать ЦОУ:

Команды арифметико-логического устройства (АЛУ)

Арифметическая команда – вычитание ( - ). Тип данных – целые числа(integer) размером 4 байта.

Логическая команда – сложение по модулю два ( **⊕** ). Тип данных – двоичные вектора размером 1 байт.

Дополнительные команды

Команда передачи управления – переход по индексу «больше».

Команда обращения к памяти – запись в память. Тип данных – плавающие числа(float) размером 8 байт.

Команда ввода-вывода – передача байта из модуля ввода-вывода в процессор.

Команда «Стоп».

Память, с которой может взаимодействовать процессор для реализации вышеперечисленных команд, имеет следующие характеристики

Оперативная память – ёмкость – 128 Мбайт, ширина выборки (размер слова в оперативной памяти) – 4 байта.

Регистровая память – ёмкость - 16 регистров, тип памяти – раздельная.

В ходе выполнения команд процессор должен использовать следующие способы адресации: непосредственная, прямая, косвенная, регистровая, относительная.

Тип устройства управления – управляющий автомат с программируемой логикой.

Способ адресации микрокоманд (МК) в микропрограммах (МП) – естественная адресация. Способ кодирования поля микроопераций (МО) в (МК) – вертикально-горизонтальный.

Процессор, обеспечивающий исполнение каждой команды, должен:

1. осуществить выборку команды из ОП в строгом соответствии с форматом команды,
2. расшифровать код операции в команде,
3. выполнить расшифрованную операцию,
4. подготовить компьютер к выполнению следующей команды.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 1.



Рисунок 1 – Обобщенная структурная схема процессора

На рисунке 1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

* РК – регистр команд,
* СчАК – счетчик адреса команд,
* РПР – регистр признака результата,
* РКП – регистр кода прерывания (регистр флагов прерывания),
* ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа (ВР1, …, ВРk),

используемых для эффективной организации процесса исполнения команд;

ОСВ – внешние осведомительные сигналы;

УСВ – внешние управляющие сигналы;

Д – данные.

# Описание форматов данных и команд

## 1.1 Форматы данных

На рисунке 1.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел – [­2n, 2n­1], где n – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантиссы (М), при этом Р – целое со знаком, . В случае так называемой нормализованной мантиссы  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой – .



Рисунок 1.1 – Форматы данных

## 1.2 Форматы команд

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. Для облегчения процесса выборки команды из ОП все форматы команд будут кратны 2 байтам. Согласно методу целочисленных границ адрес команды в ОП должен быть кратен 2. Под поле код операции (КОП) в команде отводится 1 байт. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

Центральное обрабатывающее устройство реализует следующие команды:

1. Вычитание целых чисел

Команда вычитает первый операнд из второго операнда и помещает результат в первый операнд. Длина операндов – 4 байта.

Способы адресации: регистровый для первого операнда, относительный для второго операнда.

Длина команды – 4 байта: КОП(0:7); R1(8:11) – адрес РФТ, содержащего первый операнд; X(12:15) – неиспользуемые разряды; B2(16:19) – регистр базового адреса ячейки ОП; D2 (20:31) – смещение.

Команда формирует следующие флаги: флаг нарушения спецификации, флаг нарушения адресации.

Возможные признаки результата: равен нулю, больше нуля, меньше нуля.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 11 | 12 | … | 15 | 16 | … | 19 | 20 | … | 31 |
| КОП | | | R1 | | | X | | | B2 | | | D2 | | |

Рисунок 1.2.1 – Команда вычитания

1. Сложение по модулю 2

Способы адресации: непосредственный для первого операнда, косвенный для второго операнда.

Команда производит сложение по модулю 2 векторов длиной 1 байт и помещает результат в первый операнд.

Длина команды – 4 байта: КОП(0:7); Im2(8:15) – ячейка ОП, содержащая первый операнд; Х(16:19) – неиспользуемые разряды; Ау(20:31) – ячейка ОП, содержащая укороченный адрес, по которому расположен исполнительный адрес.

Команда формирует следующие флаги: флаг переноса.

Возможные признаки результата: равен нулю.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 15 | 16 | … | 19 | 20 | … | 31 |
| КОП | | | Im2 | | | X | | | Ау | | |

Рисунок 1.2.2 – Команда сложения по модулю 2

1. Передача управления

Способы адресации: непосредственный для первого операнда, косвенный для второго операнда.

Если выполняется условие, содержащееся в первом операнде, то команда записывает в счётчик адреса команд значение, находящееся во втором операнде.

Длина команды – 4 байта: КОП(0:7); Rx(8:11) адрес РФТ, содержащего первый операнд – условие перехода по индексу «больше»; X(12:15) – неиспользуемые биты; Ау(16:31) – ячейка ОП, содержащая укороченный адрес, по которому расположен исполнительный адрес.

Команда формирует следующие флаги: флаг нарушения спецификации.

Возможные признаки результата: равен нулю.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 11 | 12 | ... | 15 | 16 | … | 31 |
| КОП | | | Rx | | | X | | | Ау | | |

Рисунок 1.2.2 – Команда передачи управления

1. Запись в память

Способы адресации: регистровый для первого операнда, косвенный для второго операнда.

Команда считывает 8-байтное число с плавающей точкой из регистра и записывает его в оперативную память.

Длина команды – 4 байта: КОП(0:7); R1(8:11) – адрес РП, содержащего первый операнд; X(12:15) – неиспользуемые разряды; Ау(16:31) – ячейка ОП, содержащая укороченный адрес, по которому расположен исполнительный адрес.

Команда формирует следующие флаги: отсутствуют.

Возможные признаки результата: отсутствуют.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 11 | 12 | ... | 15 | 16 | … | 31 |
| КОП | | | R1 | | | X | | | Ау | | |

Рисунок 1.2.4 – Команда записи в память

1. Передача данных из устройства ввода-вывода в процессор

Способ адресации: прямой

Команда записывает в процессор данные, считанные из указанного устройства ввода-вывода.

Длина команды – 2 байта: КОП(0:7); №УВВ(8:15) – ячейка памяти, содержащая адреса номеров устройств ввода-вывода.

Команда формирует следующие флаги: отсутствуют.

Возможные признаки результата: отсутствуют.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 15 |
| КОП | | | №УВВ | | |

Рисунок 1.2.5 – Команда передачи данных из УВВ в процессор

1. Команда «Стоп»

Завершает работу устройства. Признаков результата и флагов не формирует.

Длина команды – 2 байта: КОП(0:7); Х(8:15) – неиспользуемые разряды.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | … | 7 | 8 | … | 15 |
| КОП | | | Х | | |

Рисунок 1.2.6 – Команда «Стоп»

Все способы адресации применены. Кодирование 0 и 1 битов КОП (в зависимости от длины команды)

01 – для четырёхбайтной команды;

10 – для двухбайтной команды.

Кодировку кодов операций команд сведём в таблицу 1.1.

Таблица 1.1 – Кодирование команд

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Номер класса | Номер команды | Название | Содержание | ПР | Флаги | Код | | | |
| 01 | 234 | 567 | НЕХ |
| 1 | 1 | Умножение с ПТ | (R1) := (R1) \*((B1) + D) | <0 =0 | A,S, ППР, ИП, ПЗ | 01 | 001 | 001 | 49 |
| 2 | Вычитание | R1:=R1-R2 | =0,>0,<0 | S,A | 01 | 001 | 010 | 4A |
| … | … | … | … | … | … | … | … | … |
| 8 | … | … | … | … | … | … | … | … |
| 2 | 1 | Сдвиг двойной вправо | (R1) := (R1)>>2 | =0 | S | 01 | 010 | 001 | 51 |
| 2 | … | … | … | … | … | … | … | … |
| 3 | Сложение по модулю 2 | НО:=НО⊕ОП | =0 | S | 01 | 010 | 011 | 53 |
| … | … | … | … | … | … | … | … | … |
| 7 | … | … | … | … | … | … | … | … |
| 3 | … | … | … | … | … | … | … | … | … |
| 2 | Переход с возвратом | (R1) := (СчАК)  (СчАК) := (R2) | нет | нет | 01 | 011 | 010 | 5А |
| … | … | … | … | … | … | … | … | … |
| 5 | Переход по индексу «больше» | If(R1)(СчАК:=ОП) | нет | S | 01 | 011 | 101 | 5D |
| 4 | 1 | Загрузка из ОП в регистр | (R1) := (Ay) | нет | A, S | 01 | 100 | 001 | 61 |
| 2 | Загрузка в память | ОП:=R1 | нет | A,S | 01 | 100 | 010 | 62 |
| 5 | 1 | Пересылка в процессор из УВВ | ПортД:=НУВВ | нет | S | 10 | 101 | 001 | 29 |
| 2 | Вывод из процессора в УВВ | (НУВВ) := ПортД | нет | нет | 0 | 0101 | 010 | 2A |
| 6 | 1 | Стоп | Стоп | нет | нет | 10 | 110 | 001 | B1 |

# Содержательная ГСА функционирования ЦОУ

Алгоритм работы ЦОУ должен обеспечивать выполнение следующих действий:

1. Выборка команды;
2. Выполнение команды;
3. Если обнаружены нарушения адресации или спецификации – сформировать прерывание;
4. Подготовиться к выборке следующей команды.

Если очередная команда Стоп, то ЦОУ прекращает работу. Упрощенная схема алгоритма функционирования ЦОУ представлена на рисунке 2.1.



Рисунок 2.1 – Упрощенная схема алгоритма функционирования ЦОУ

Содержательная ГСА функционирования ЦОУ приведена на чертеже 2010.41.10.01

Длины команд составляют 2 и 4 байта, ширина выборки – 4 байта. Корректный адрес команды должен быть кратен 2, а его значение не превышать предельно допустимое, определяемое емкостью ОП. Все возможные случаи размещения команд в ОП представлены на рисунке 2.2.

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | СОП | | 31 |
| … | | | |
| K2B | | K2B | |
| 1/2 K4B | | 1/2 K4B | |
| K2B | | 1/2 K4B | |
| 1/2 K4B | | K2B | |
| … | | | |
|  | АОП | |  |

Рисунок 2.2 – Размещение команд в ОП

# Структурная схема центрального обрабатывающего устройства

Структурная схема ЦОУ содержит следующие элементы:

1) АЛУ – арифметико-логическое устройство. Условное обозначение АЛУ показано на рисунке 3.1.



Рисунок 3.1 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1 (первый операнд) и Р2 (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров выбирается равной максимальной длине операндов. Так как аппаратно поддерживаются 64-разрядные числа в формате с плавающей точкой, то разрядность регистров АЛУ составляет 64 разряда.

На вход УУ поступают сигналы, инициирующие следующие операции: умножение чисел с плавающей точкой (УмнПТ), двойной логический сдвиг вправо (Сдв).

АЛУ вырабатывает три группы осведомительных сигналов: признаки результата (больше, меньше, равно нулю, не равно нулю), флаги прерываний (переполнение порядка, нарушение значимости, исчезновение порядка), признак занятости (ZАЛУ).

2) Регистровая память (РП) - организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. Тип РП – раздельная, состоящая из двух самостоятельных блоков (регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ)). Условное обозначение блока РП показано на рисунке 3.2.



Рисунок 3.2 – Условное обозначение РП

Разрядность регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства разрядность равна 32. Разрядность регистра адреса регистровой памяти (РАРП) определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти. Следовательно разрядность РАРП равна ⎡log216⎤ = 4. Таким образом, регистровая память представляет собой блок, содержащий 4 32-разрядных регистров с фиксированной точкой и блок с 32-разрядными регистрами с плавающей точкой.

На входы РП поступают сигналы, инициирующие следующие операции: запись в РП (ЗпРП), чтение из РП (ЧтРП).

3) Регистр команд (РК) – хранит текущую команду в соответствии с разработанными форматами команд (рисунок 3.3). На РК выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды, то есть 32 разряда.

|  |  |  |
| --- | --- | --- |
| 0 | РК | 31 |

Рисунок 3.3 – Регистр команд

4) Счетчик адреса команды (СчАК) - предназначен для хранения адреса очередной выбираемой из ОП команды. Обеспечивает адресацию к любому байту ОП. Его разрядность определяется как ⎡log2EОП⎤ = ⎡log2128⎤ = 27. При этом, младшие k = ⎡log2ШВ⎤ = ⎡log24⎤ =2 разрядов определяют адрес байта в слове, а старшие разряды (25) – адрес слова ОП. Структура СчАК приведена на рисунке 3.4.



Рисунок 3.4 – Счётчик адреса команд

5) ОП – оперативная память. Исходя из разрядности адреса двойного слова (слова ОП) выбирается разрядность регистра адреса ОП (АОП), то есть его разрядность составляет 24 разряда. Обращение к РАОП производится через ПортА. Разрядность слова ОП (СОП) равна разрядности слова (так как ШВ 4 байт), то есть 32 разряда. Обращение к СОП производится через ПортД. Условное обозначение ОП приведено на рисунке 3.5.



Рисунок 3.5 – Условное обозначение ОП

На вход ОП поступают сигналы, инициирующие следующие операции: чтение из ОП (ЧтОП), запись в ОП (ЗпОП).

ОП вырабатывает один осведомительный сигнал – признак занятости (ZОП).

6) Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр - БР. Поскольку ШВ=4, то его разрядность следует выбрать равной 16 разрядов.

7) На вход МВВ поступает сигнал, инициирующий следующую операцию – передача байта из процессора в МВВ (ПМ).

МВВ вырабатывает один осведомительный сигнал – признак занятости (ZВВ).

Условное обозначение модуля ввода-вывода приведено на рисунке 3.6.



Рисунок 3.6 – Условное обозначение модуля ввода-вывода

8) Сумматор адреса (СмА) – предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент (при относительной адресации АИСП=(B)+D). По разрядности СмА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение. То есть разрядность СмА составляет 28 разрядов (рисунок 3.7).

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | Сумматор адреса | 26 | 27 |

Рисунок 3.7 – Условное обозначение Сумматора адреса

9) Флаг (А) устанавливается в единичное состояние, если обнаружено нарушение адресации.

10) Флаг (S) устанавливается в единичное состояние, если обнаружено нарушение спецификации.

11) Флаг(K) устанавливается в единичное состояние, если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд.

Структурная схема ЦОУ приведена на чертеже 2010.41.10.02

# Архитектура внешних выводов

Процессор имеет 25 внешних выводов адреса (Аi) и 32 внешних выводов данных (Di). Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (ЧтОП), «запись» (ЗпОП), «ввод» (МП) и «вывод» (ПМ). Контакт READY1 (готовность) используется для приема сигнала готовности ZОП от медленного внешнего по отношению к процессору ОП. Контакт READY2 используется для приема сигнала готовности ZВВ от медленного внешнего по отношению к процессору устройства МВВ. Вывод +5V используется для питания, GND – земля, RESET – сброс, SET – установка, CLC – синхронизация.

Обобщенное условное графическое обозначение процессорного блока приведено на рисунке 4.1.



Рисунок 4.1 – УГО ЦОУ

# Синтез управляющего автомата

## Структурная схема управляющего автомата

Характерной особенностью УА с программируемой логикой является хранение МП в специализированном постоянном запоминающем устройстве (ПЗУ), называемом памятью микропрограмм (ПМП). Обобщенная структура УА с хранимой в памяти логикой изображена на рисунке 5.1.



Рисунок 5.1 – Структура УА с естественной адресацией

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве СчАМК используется двоичный счётчик с параллельной загрузкой. Пуск автомата осуществляется подачей в схему управляющего сигнала В, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала А. Сигнал Сброс или Уст (установка) устанавливает на СчАМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) активируется нулевым значением старшего бита регистра микрокоманд (бита-признака команды) и расшифровывает поле МО, вырабатывая управляющие сигналы, инициирующие выполнение процессором конкретной МК. Формирователь адреса активируется единичным значением старшего бита регистра микрокоманд, сравнивает поле логических условий в микрокоманде с двоичным вектором осведомительных сигналов (x1, x2,…,x21), и в случае равенства загружает в СчАМК значение из поля А микрокоманды.

## Адресация микрокоманд

При естественной адресации предполагается использование двух различных форматов МК: В.М – для операционных МК и   В.Х.А – для управляющих МК. Здесь В, М, Х, А – поля микрокоманд: В – одноразрядное поле бит-маркера (В=0 для операционных МК и В=1 для управляющих МК), М – поле для представления кода МО, включенных в МК, Х – поле кода (номера) проверяемого логического условия, А – поле адреса МК, исполнение которой осуществляется в случае истинности проверяемого логического условия.

Исполнительный адрес МК вычисляется по следующему правилу:



Здесь *i* – индекс осведомительного сигнала *xi*, значение которого равно 1.

## Кодирование микроопераций

При вертикально-горизонтальном способе кодирования МО, все множество МО разбивается на несовместимые подмножества совместимых микроопераций. Строят полные подграфы совместимых МО, обеспечивают несовместимость МО соответствующих подграфов между собой и непосредственно кодируют. Получают МО двух групп – универсальная группа, которая кодируется по горизонтальному принципу и все остальные группы, которые кодируются по вертикальному способу. Выделим все совместимые МО. Постоим граф совместимости МО, выделим в универсальную группу МО, которые имеют наибольшее количество связей с другими МО, разобьем все МО на группы (Приложение А). Закодируем совместимые подмножества.

Таблица 5.1 – Кодирование микроопераций

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | В | Универсальная группа | | | | Номер группы | | | | Позиция в группе | | |
| y3 | y5 | y6 | y16 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 2 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | X |
| 3 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 4 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | X |
| 5 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | X |
| 7 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X |
| 8 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X |
| 9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | X | X |
| 10 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 12 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 13 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | X |
| 14 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 15 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | X |
| 16 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | X |
| 17 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 18 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X |
| 19 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 20 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | X |
| 21 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 22 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | X |
| 23 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | X |
| 24 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 25 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | X |
| 26 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | X |
| 27 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

## Микропрограмма

Количество разрядов, необходимых для кодирования части МК, равняется 13. Старший бит является признаком микрокоманды (операционная или передачи управления). Количество осведомительных сигналов ЦОУ – 21, что потребует 5 бит в поле МК для логического условия. Общее количество микрокоманд составляет 89, что потребует 7 бит в поле МК для определения адреса. Формат микрокоманды представлен на рисунке 5.2.

Микропрограмма функционирования УА представлена в приложении Б.

|  |  |  |
| --- | --- | --- |
|  | Условие | Адрес перехода |
| Микрооперации | |
| 0 | 1 2 3 4 5 | 6 7 8 9 10 11 12 |

Рисунок 5.2 – Формат микрокоманды

# Разработка принципиальной схемы управляющего автомата

Память микропрограммы имеет размерность 83х13. Для реализации ПМП была взята ИМС К155РЕ3. Микросхема представляет собой электрически программируемое посредством пережигания плавких перемычек постоянное запоминающее устройство (ППЗУ) емкостью 256 бит (32x8). Для реализации ПМП в данном курсовом проекте потребуется 6 микросхем К155РЕ3.

Счётчик адреса микрокоманд, имеющий разрядность 7 бит реализован на двух четырёхбитных двоичных счётчиках К155ИЕ7.

Регистр микрокоманд разрядностью 13 бит реализован на двух восьмибитных регистрах К155ИР13.

Для формирования сигнала логического условия использованы два шестнадцатибитных мультиплексора К155КП1.

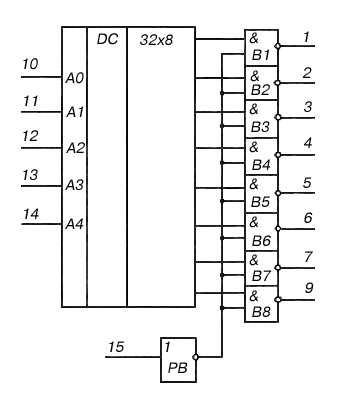
Для дешифрации старших разрядов адресов и номера подгруппы используются дешифраторы К155ИД3, К155ИД4.

Комбинационная часть УУ, формирующая управляющие сигналы yi, а также сигналы тактирования и разрешения реализована микросхемами К155ЛА3, К155ЛИ1, К155ЛЛ1 и К155ЛН1.

Принципиальная схема устройства управления представлена на чертеже 2010.41.10.03

Условные графические обозначения и характеристики использованных элементов:

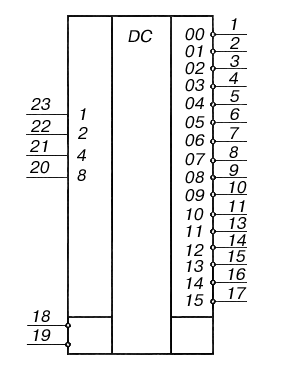
1. К155РЕ3 – электрически программируемое ПЗУ емкостью 32х8.



1 - выход B1; 9 - выход B8;  
2 - выход B2; 10 - вход адресный A0;  
3 - выход B3; 11 - вход адресный A1;  
4 - выход B4; 12 - вход адресный A2;  
5 - выход B5; 13 - вход адресный A3;  
6 - выход B6; 14 - вход адресный A4;  
7 - выход B7; 15 - вход разрешения выборки PB;  
8 - общий; 16 - напряжение питания;

Рисунок 6.1 – УГО ИМС 155РЕ3

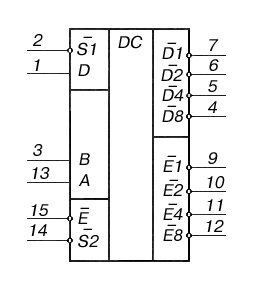
1. К155ИД3 – Дешифратор – демультиплексор 4 линии на 16.



1 - 11 - выходы Y1 - Y11;   
13 - 17 - выходы Y12 - Y16;   
12 - общий;   
18, 19 - стробирующие входы;   
24 - напряжение питания;   
20 - 23 - информационные входы;

Рисунок 6.2 – УГО ИМС 155ИД3

1. К155ИД4 – Сдвоенный дешифратор-демультиплексор.



1 - информационный вход D; 9 - выход E1;  
2 - стробирующий вход S1; 10 - выход E2;  
3 - адресный вход B; 11 - выход E4;  
4 - выход D8; 12 - выход E8;  
5 - выход D4; 13 - адресный вход A;  
6 - выход D2; 14 - стробирующий вход S2;  
7 - выход D1; 15 - информационный вход E;  
8 - общий; 16 - напряжение питания;

Рисунок 6.3 – УГО ИМС 155ИД4

1. К155ИР13 – восьмиразрядный реверсивный сдвиговый регистр.

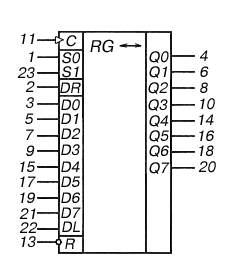
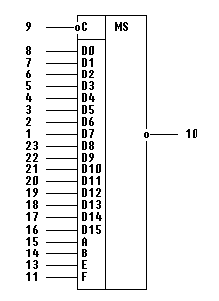


Рисунок 6.4 – УГО ИМС 155ИР13

1 - вход режимный S0;  
2 - вход последовательного ввода информации при сдвиге вправо DR;  
3 - вход информационный D0;  
4 - выход Q0; 5 - вход D1;  
6 - выход Q1; 7 - вход D2;  
8 - выход Q2; 9 - вход D3;  
10 - выход Q3;  
11 - вход синхронизации С;  
12 - общий;  
13 - вход инверсный "сброс" R;  
14 - выход Q4; 15 - вход D4;  
16 - выход Q5; 17 - вход D5;  
18 - выход Q6; 19 - вход D6;  
20 - выход Q7; 21 - вход D7;  
22 - вход последовательного ввода информации при сдвиге влево DL;  
23 - вход режимный S1;  
24 - напряжение питания

1. К155КП1 – Селектор-мультиплексор данных на 16 каналов со стробированием.

1 - вход информационный D7;  
2 - вход информационный D6;  
3 - вход информационный D5;  
4 - вход информационный D4;  
5 - вход информационный D3;  
6 - вход информационный D2;  
7 - вход информационный D1;  
8 - вход информационный D0;

9 - стробирующий вход; 10 - выход;  
11 - вход адресный F;

12 - общий;

13 - вход адресный E;

14 - вход адресный B;

15 - вход адресный A;  
16 - вход информационный D15;  
17 - вход информационный D14;  
 18 - вход информационный D13;  
 19 - вход информационный D12;  
20 - вход информационный D11;  
21 - вход информационный D10;  
22 - вход информационный D9;  
23 - вход информационный D8;  
24 - напряжение питания;

Рисунок 6.5 – УГО ИМС 155КП1

1. К155ТМ2 – два D-триггера.

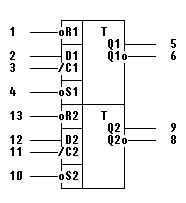
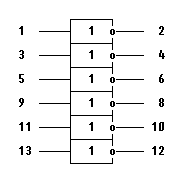


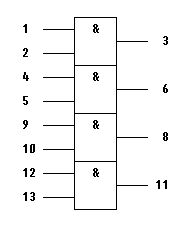
Рисунок 6.6 – УГО ИМС 155ТМ2

1 - инверсный вход установки "0" R1; 9 - вход Q2;  
2 - вход D1; 10 - инверсный вход установки "1" S2;  
3 - вход синхронизации C1; 11 - вход синхронизации C2;  
4 - инверсный вход установки "1" S1; 12 - вход D2;  
5 - выход Q1; 13 - инверсный вход установки "0" R2;  
6 - выход инверсный Q1; 14 - напряжение питания;  
7 - общий;  
8 - выход инверсный Q2;

1. К155ЛН1 – шесть логических элементов НЕ.

1,3,5,9,11,13 - входы;  
2,4,6,8,10,12 - выходы;  
7 - общий;  
14 - напряжение питания;

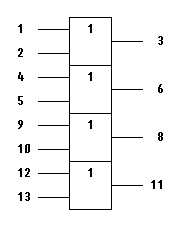
Рисунок 6.7 – УГО ИМС 155ЛН1

1. К155ЛИ1 – четыре логических элемента 2И.

1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

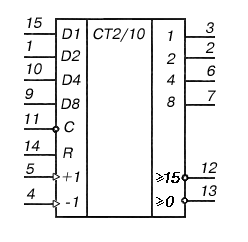
Рисунок 6.8 – УГО ИМС 155ЛИ1

1. К155ЛЛ1 – четыре логических элемента 2ИЛИ.



1,2,4,5,9,10,12,13 - входы;  
3,6,8,11 - выходы;  
7 - общий;  
14 - напряжение питания;

Рисунок 6.9 – УГО ИМС 155ЛЛ1

1. ИМС К155ИЕ7

1 - вход информационный D2;

2 - выход второго разряда Q2;

3 - выход первого разряда Q1;

4 - вход "обратный счет";

5 - вход "прямой счет";

6 - выход третьего разряда Q3;

7 - выход четвертого разряда Q4;

8 - общий;

9 - вход информационный D8;

10 - вход информационный D4;

11 - вход предварительной записи;

12 - выход "прямой перенос";

13 - выход "обратный перенос";

14 - вход установки "0" R;

15 - вход информационный D1;

16 - напряжение питания;

# Определение временных характеристик и моделирование работы ЦОУ

Временные характеристики работы ЦОУ рассчитываются, исходя из алгоритма функционирования ЦОУ (алгоритма исполнения МК) и схемотехнических особенностей реальных схем, составляющих процессор.

Промежуток времени, достаточный для реализации процессором любой МК, называется тактом. Другими словами, такт – это период синхросерии, обеспечивающей стабильную работу операционного устройства (ОУ). Так как любое ОУ, в том числе и проектируемое ЦОУ, состоит из управляющего устройства (управляющего автомата) и обрабатывающего блока (операционного автомата), такт операционного устройства в случае последовательной работы УУ и ОБ определяется по формуле:

,

где − время срабатывания управляющего устройства,

− время срабатывания обрабатывающего блока, определяемое по времени исполнения самой длительной МО [1]. Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

Временная диаграмма работы ОУ с учетом реальных задержек в схемах устройства строится в соответствии со следующими временными соотношениями:

, где  − максимальное время выборки слова из ПМП;

нс

, где  − время, необходимое для записи слова в РМК;

нс

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  − суммарное время срабатывания всех схем, включенных в ФА;

нс

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

нс

; , где  − время срабатывания счетчика АМК (СчАК);

нс

нс



нс – интервал δ, гарантирующий загрузку «правильного слова» в РМК.

 нс

На рисунке 6.1 приведена временная диаграмма процесса исполнения МК.



Рисунок 6.1 – Временная диаграмма процесса исполнения МК

Расчетное значение тактовой частоты определяется величиной F=1/TОУ.

 Гц

Рабочая частота Fр выбирается из гостированного ряда частот {F} при условии, что FР≤0,8F [4].

Гц

Таким образом, рабочая частота составляет 1 МГц.

Выполним моделирование на следующем участке ГСА:



Входные данные: адрес микрокоманды – 62, выработка второго сигнала 21 подгруппы y21 и первого сигнала подгруппы 21- у16

В регистре микрокоманд :

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Бит-маркер равен 0, что говорит о том, что эта команда является операционной.

По очередному тактовому импульсу происходит выборка следующей микрокоманды:

|  |  |  |
| --- | --- | --- |
| 1 | 1000001 | 1000001 |

Старший бит установлен в 1, стало быть, данная микрокоманда является командой перехода. Активируются мультиплексоры логических условий. Так как x18 положен равным 0, сигнал JMP не вырабатывается, и перехода не происходит. Счётчик адреса микрокоманд продвигается на 1 и принимает значение 1000000. По очередному тактовому импульсу происходит выборка следующей микрокоманды:

|  |  |  |
| --- | --- | --- |
| 1 | 00001 | 0001111 |

Таким образом, сопоставляя результаты моделирования с таблицей кодирования и принципиальной схемой управляющего устройства, можно убедиться, что спроектированное устройство работает верно.

# Заключение

В ходе курсовой работы было спроектировано ЦОУ, способное выполнять подмножество из шести команд. Устройство управления представляет собой управляющий автомат с программируемой логикой и естественной адресацией. Результатом данной курсовой работы является:

1. Определенные форматы команд и данных и сформированная система команд;

2. Содержательная граф-схема функционирования ЦОУ;

3. Структурная схема ЦОУ;

4. Архитектура внешних выводов ЦОУ;

5. Форматы микрокоманд, кодирование микрокоманд и микропрограмма функционирования управляющего автомата;

6. Принципиальная схема УА;

7. Рассчитанные временные характеристики ЦОУ.

# Библиографический список

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб. пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001. – 345 с.
2. Синтез центрального обрабатывающего устройства ЦВМ: Методические указания к курсовому проектированию по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной и заочной форм обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2008. − 36с.
3. Синтез управляющих автоматов с программируемой логикой: Методические указания к циклу лабораторных работ по дисциплине «Цифровые ЭВМ» для студентов направления 6.050102 – «Компьютерная инженерия» дневной формы обучения/ Разраб. Ю.К.Апраксин, Т.В.Волкова. − Сева­стополь: Изд-во СевНТУ, 2009. − 44 с.
4. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1987 – 352с.

# Приложение А. Совместимые подмножества

Таблица А.1 – Совместимые подмножества микроопераций

|  |  |
| --- | --- |
| Y1 | y1 |
| Y2 | y2,y3 |
| Y3 | y4,y5 |
| Y4 | y6,y7,y3 |
| Y5 | y4,y5,y6 |
| Y6 | y11,y3,y7 |
| Y7 | y9,y10 |
| Y8 | y13,y3 |
| Y9 | y14 |
| Y10 | y15,y16 |
| Y11 | y17 |
| Y12 | y18 |
| Y13 | y19,y5 |
| Y14 | y20,y21,y16 |
| Y15 | y22,y23 |
| Y16 | y24,y25 |
| Y17 | y26,y5 |
| Y18 | y27,y28 |
| Y19 | y29 |
| Y20 | y30,y31 |
| Y21 | y21,y16 |
| Y22 | y32,y5 |
| Y23 | y33,y34 |
| Y24 | y35,y5 |
| Y25 | y36,y37 |
| Y26 | y8,y39 |
| Y27 | y38 |



Рисунок А.1 – Граф совместных микроопераций

Таблица А.2 – Группы микроопераций

|  |  |
| --- | --- |
| УГ | y3,y5,y6,16 |
| Y1 | y14,y17,y29 |
| Y2 | y4,y18,y38 |
| Y3 | y4,y26,y35 |
| Y4 | y19,y32 |
| Y5 | y7,y11 |
| Y6 | y2,y13 |
| Y7 | y9,y10 |
| Y8 | y22,y23 |
| Y9 | y24,y25 |
| Y10 | y27,y28 |
| Y11 | y30,y31 |
| Y12 | y33,y34 |
| Y13 | y36,y37 |
| Y14 | y8,y39 |
| Y15 | y15,y20,y21 |

# Приложение Б. Микропрограмма

Таблица Б.1 - Микропрограмма в условных обозначениях

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес | B | Осведомительный сигнал/  микрооперации | Адрес перехода |
| А+0 | 1 | x1 | А+15 |
| A+1 | 1 | x2 | A+17 |
| A+2 | 1 | x3 | A+30 |
| A+3 | 0 | y4,y5,y6 |  |
| A+4 | 1 | x5 | A+4 |
| A+5 | 1 | x6 | A+28 |
| A+6 | 0 | y3,y7,y11 |  |
| A+7 | 1 | x8 | A+37 |
| A+8 | 1 | x9 | A+55 |
| A+9 | 1 | x10 | A+62 |
| A+10 | 1 | x11 | A+72 |
| A+11 | 1 | x12 | A+80 |
| A+12 | 1 | x13 | A+83 |
| A+13 | 0 | y38 |  |
| A+14 | 1 | xб/п | А+83 |
| A+15 | 0 | y1 |  |
| A+16 | 1 | xб/п | А+83 |
| A+17 | 1 | x3 | A+19 |
| A+18 | 1 | xб/п | A+3 |
| A+19 | 0 | y4,y5,y6 |  |
| A+20 | 1 | x5 | A+20 |
| A+21 | 0 | y3,y13 |  |
| A+22 | 1 | x7 | A+24 |
| A+23 | 1 | xб/п | A+7 |
| A+24 | 0 | y4,y5 |  |
| A+25 | 1 | x7 | A+25 |
| A+26 | 0 | y3,y6,y7 |  |
| A+27 | 1 | xб/п | A+7 |
| A+28 | 0 | y9,y10 |  |
| A+29 | 1 | xб/п | A+7 |
| A+30 | 0 | y2,y3 |  |
| A+31 | 1 | x4 | A+33 |
| A+32 | 1 | xб/п | A+7 |
| A+33 | 0 | y4,y5 |  |
| A+34 | 1 | x5 | A+34 |
| A+35 | 0 | y3,y6,y7 |  |
| A+36 | 1 | xб/п | A+7 |
| A+37 | 0 | y14 |  |
| A+38 | 1 | x14 | A+50 |
| A+39 | 0 | y15,y16 |  |
| A+40 | 0 | y17 |  |
| A+41 | 1 | x15 | A+51 |
| A+42 | 1 | x16 | A+53 |
| A+43 | 0 | y5,y19 |  |
| A+44 | 1 | x5 | A+44 |
| A+45 | 0 | y16,y20,y21 |  |
| A+46 | 0 | y22,y23 |  |
| A+47 | 1 | x17 | A+47 |
| A+48 | 0 | y24,y25 |  |
| A+49 | 1 | xб/п | A+0 |
| A+50 | 1 | xб/п | A+41 |
| A+51 | 0 | y18 |  |
| A+52 | 1 | xб/п | A+83 |
| A+53 | 0 | y1 |  |
| A+54 | 1 | xб/п | A+83 |
| A+55 | 0 | y5,y26 |  |
| A+56 | 1 | x5 | A+56 |
| A+57 | 0 | y27,y28 |  |
| A+58 | 0 | y29 |  |
| A+59 | 1 | x17 | A+59 |
| A+60 | 0 | y30,y31 |  |
| A+61 | 1 | xб/п | A+0 |
| A+62 | 0 | y16,y21 |  |
| A+63 | 1 | x18 | A+65 |
| A+64 | 1 | xб/п | A+0 |
| A+65 | 0 | y5,y32 |  |
| A+66 | 1 | x5 | A+66 |
| A+67 | 1 | x19 | A+70 |
| A+68 | 0 | y33,y34 |  |
| A+69 | 1 | xб/п | A+0 |
| A+70 | 0 | y1 |  |
| A+71 | 1 | xб/п | A+83 |
| A+72 | 1 | x20 | A+75 |
| A+73 | 0 | y18 |  |
| A+74 | 1 | xб/п | A+83 |
| A+75 | 0 | y16,y21 |  |
| A+76 | 0 | y5,y35 |  |
| A+77 | 1 | x5 | A+77 |
| A+78 | 0 | y36,y37 |  |
| A+79 | 1 | xб/п | A+89 |
| A+80 | 0 | y8,y39 |  |
| A+81 | 1 | x21 | A+81 |
| A+82 | 1 | xб/п | A+0 |
| A+83 |  |  |  |

Таблица Б.2 – Микропрограмма в двоичном виде

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес | B | Осведомительный сигнал/  микрооперация | | | | | | | | | | | | Адрес перехода |
| 0000000 | 1 | 00001 | | | | | | | | | | | | 0001111 |
| 0000001 | 1 | 00010 | | | | | | | | | | | | 0010001 |
| 0000010 | 1 | 00011 | | | | | | | | | | | |  |
| 0000011 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |  |
| 0000100 | 1 | 00101 | | | | | | | | | | | | 0000100 |
| 0000101 | 1 | 00110 | | | | | | | | | | | | 0011100 |
| 0000110 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | X |  |
| 0000111 | 1 | 01000 | | | | | | | | | | | | 0100101 |
| 0001000 | 1 | 01001 | | | | | | | | | | | | 0110111 |
| 0001001 | 1 | 01010 | | | | | | | | | | | | 0111110 |
| 0001010 | 1 | 01011 | | | | | | | | | | | | 1001000 |
| 0001011 | 1 | 01100 | | | | | | | | | | | | 1010000 |
| 0001100 | 1 | 01101 | | | | | | | | | | | | 1010011 |
| 0001101 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |  |
| 0001110 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 0001111 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |  |
| 0010000 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 0010001 | 1 | 00011 | | | | | | | | | | | | 0010011 |
| 0010010 | 1 | 00000 | | | | | | | | | | | | 0000011 |
| 0010011 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |  |
| 0010100 | 1 | 00101 | | | | | | | | | | | | 0010100 |
| 0010101 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X |  |
| 0010110 | 1 | 00111 | | | | | | | | | | | | 0011000 |
| 0010111 | 1 | 00000 | | | | | | | | | | | | 0000111 |
| 0011000 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |  |
| 0011001 | 1 | 00111 | | | | | | | | | | | | 0011001 |
| 0011010 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | X |  |
| 0011011 | 1 | 00000 | | | | | | | | | | | | 0000111 |
| 0011100 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X |  |
| 0011101 | 1 | 00000 | | | | | | | | | | | | 0000111 |
| 0011110 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0011111 | 1 | 00100 | | | | | | | | | | | | 0100001 |
| 0100000 | 1 | 00000 | | | | | | | | | | | | 0000111 |
| 0100001 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |  |
| 0100010 | 1 | 00101 | | | | | | | | | | | | 0100010 |
| 0100011 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | X |  |
| 0100100 | 1 | 00000 | | | | | | | | | | | | 0000111 |
| 0100101 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | X | X |  |
| 0100110 | 1 | 01110 | | | | | | | | | | | | 0110010 |
| 0100111 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |  |
| 0101000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |  |
| 0101001 | 1 | 01111 | | | | | | | | | | | | 0110001 |
| 0101010 | 1 | 10000 | | | | | | | | | | | | 0110011 |
| 0101011 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | X |  |
| 0101100 | 1 | 00101 | | | | | | | | | | | | 0101100 |
| 0101101 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |  |
| 0101110 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | X |  |
| 0101111 | 1 | 10001 | | | | | | | | | | | | 0101111 |
| 0110000 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | X |  |
| 0110001 | 1 | 00000 | | | | | | | | | | | | 0000000 |
| 0110010 | 1 | 00000 | | | | | | | | | | | | 0110001 |
| 0110011 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |  |
| 0110100 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 0110101 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |  |
| 0110110 | 1 | 00000 | | | | | | | | | | | |  |
| 0110111 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |  |
| 0111000 | 1 | 00101 | | | | | | | | | | | |  |
| 0111001 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X |  |
| 0111010 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |  |
| 0111011 | 1 | 10001 | | | | | | | | | | | | 0111011 |
| 0111100 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | X |  |
| 0111101 | 1 | 00000 | | | | | | | | | | | | 0000000 |
| 0111110 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |  |
| 0111111 | 1 | 1000001 | | | | | | | | | | | | 1000001 |
| 1000000 | 1 | 00000 | | | | | | | | | | | | 0000000 |
| 1000001 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | X |  |
| 1000010 | 1 | 00101 | | | | | | | | | | | | 1000010 |
| 1000011 | 1 | 10011 | | | | | | | | | | | | 1000110 |
| 1000100 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | X |  |
| 1000101 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 1000110 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |  |
| 1000111 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 1001000 | 1 | 10100 | | | | | | | | | | | | 1001001 |
| 1001001 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |  |
| 1001010 | 1 | 00000 | | | | | | | | | | | | 1010011 |
| 1001011 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |  |
| 1001100 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |  |
| 1001101 | 1 | 00101 | | | | | | | | | | | | 1001101 |
| 1001110 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |  |
| 1001111 | 1 | 00000 | | | | | | | | | | | |  |
| 1010000 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | X |  |
| 1010001 | 1 | 10101 | | | | | | | | | | | | 1010001 |
| 1010010 | 1 | 00000 | | | | | | | | | | | | 0000000 |
| 1010011 |  |  | | | | | | | | | | | |  |