

Sistemet Elektronike

LAB. 4: QARQET LOGJIKE DIXHITALE CMOS

Inxhinieri Informatike - II B

Tiranë më: 07/05/2024

FAKULTETI I TEKNOLOGJISË SË INFORMACIONIT | UNIVERSITETI POLITEKNIK I TIRANËS

1. Porta AND me dy hyrje

Ndërtoni në Multisim dy qarqet e paraqitura në figurën 1.

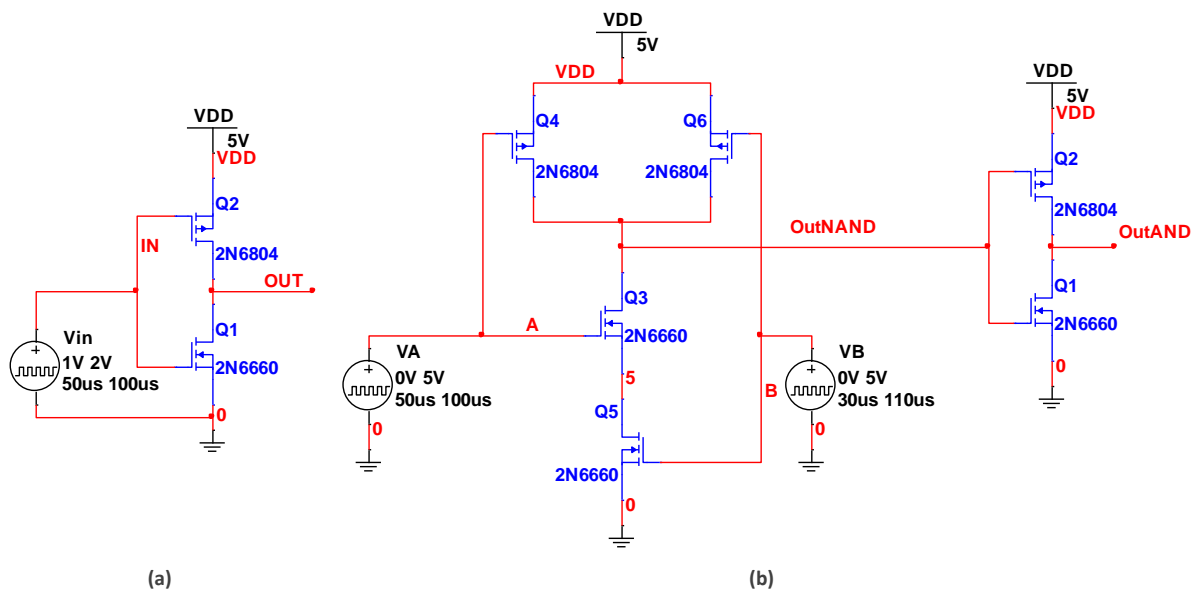


Fig. 1: (a) Skema elektrike e portës logjike NOT; (b) Skema e portës AND me dy hyrje (kombinimi i një porte NAND me një portë NOT).

Në këtë laborator do të analizojmë karakteristikat e komutimit të qarqeve dixhitale CMOS, marzhet e zhurmave. Do të analizojmë kohë-vonesat e përhapjes së sinjalit nga hyrja në dalje sikurse edhe kohët që i duhet sinjalit në dalje të arrijë nivelet e kërkuara logjike.

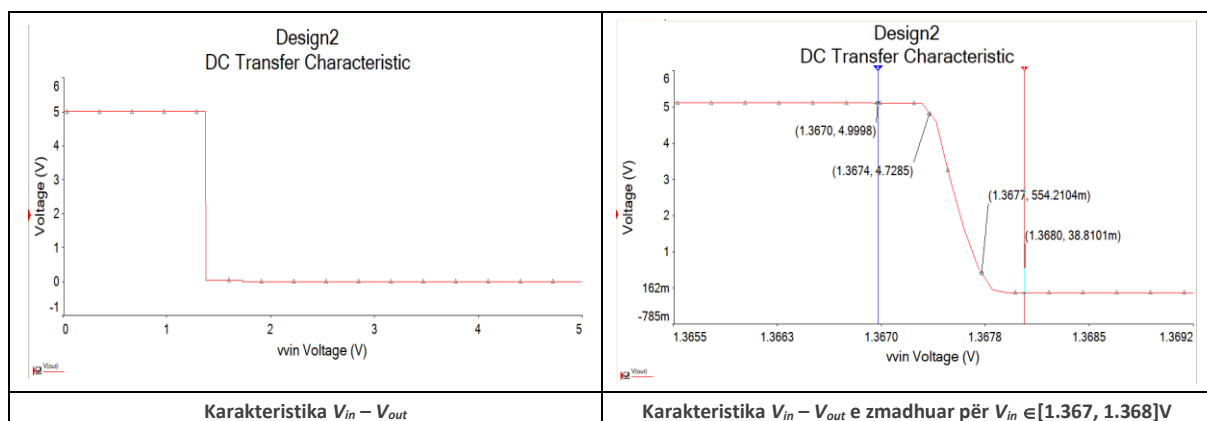
2. Funksioni i transferimit i logjikës CMOS

Qarkun e ndërtuar në figurën 1a përdoreni për të përcaktuar parametrat e portës logjike NOT: diapazonin e tensionit në hyrje dhe në dalje për gjendjet logjike “1” dhe “0”, kohët e përhapjes.

Simulate -> Analyses and Simulation -> DC Sweep -> “Zgjedhja e parametrave si më poshtë” -> Run

➤ Analysis parameters -> Source 1: VIN; Start: 0V; Stop: 5V; Increment 0.0001V

➤ Output -> Selected variables for analysis: -> V(out);



Bazuar në këto grafik dhe në matjen e vlerave të tensionit në të, përcaktoni parametrat V_{ILmax} , V_{IHmin} , V_{OLmax} , V_{OHmin} , NM_H , NM_L dhe NM për këtë qark. Të dhënat i paraqisni në tabelë.

Parametra të rëndësishëm të VTC-së së Invertuesit Llogjik	Vlera	
V_{OLmax}	Niveli i Ulët i Daljes: (Vlera maksimale e tensionit për daljen logjike «0»)	38.801mV
V_{OHmin}	Niveli i Lartë i Daljes: (Vlera minimale e tensionit për daljen logjike «1»)	4.9998V
V_{ILmax}	Vlera Maksimale e Hyrjes e interpretuar nga invertuesi si llogjike «0»	1.3674V
V_{IHmin}	Vlera Minimale e Hyrjes e interpretuar nga invertuesi si llogjike «1»	1.3677V
NM_L	Marzhi i Zhurmës për hyrje të ulet ($NM_L = V_{ILmax} - V_{OLmax}$)	1.328599V
NM_H	Marzhi i Zhurmës për hyrje të lartë ($NM_H = V_{OHmin} - V_{IHmin}$)	3.6321V
NM	Marzhi i zhurmës i logjikës (min{ NM_H , NM_L })	1.328599V

Për qarkun e figurës 1a përdorni oshiloskopin për të parë sinjalin në hyrje dhe në dalje dhe për të vlerësuar efektin e vonesës në përhapjen e sinjalit nga hyrja në dalje.

Të njëjtin qark do ta përdorim për të vlerësuar edhe efektin e interferencave dhe aftësinë rigjeneruese të sistemeve dixhitale.

Simulate -> Analyses and Simulation -> Interactive -> Run

Konfiguroni oshiloskopin si:

- Timebase: 100us/Div
- Channel_A -> Scale: 5V/Div; Y pos.(Div): 1; Channel_B -> Scale: 5V/Div; Y pos.(Div): -1

Për këtë konfigurim shtoni në seri me gjeneratorin e sinjalit VIN edhe një gjenerator sinusoidal (Vnoise), por me amplitudë 0V, që do të luaj rolin e një sinjali interferues në vijim. Qarku i plotë jepet në figurën 2.

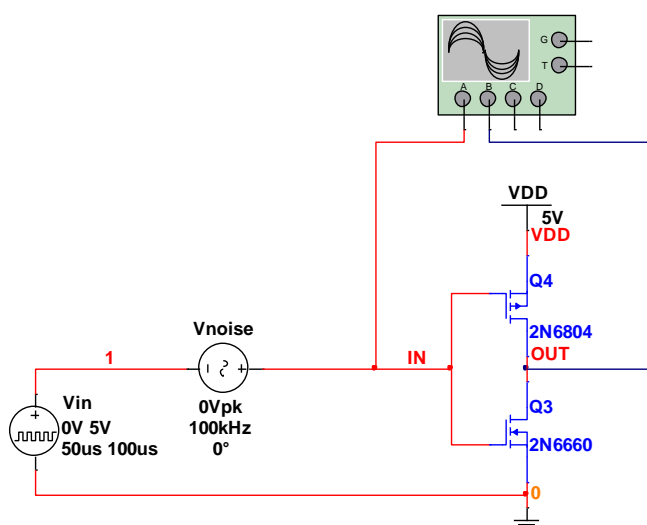
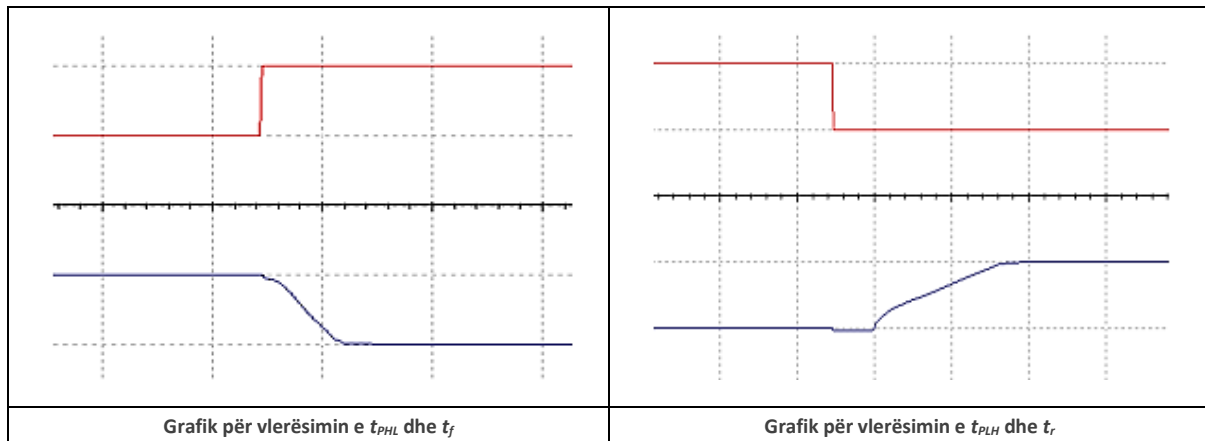


Fig. 2: Porta NOT me sinjal interferues në hyrje

Për këtë konfigurim vlerësoni kohën që i duhet sinjalit në dalje për të kaluar nga gjendja logjike “1” në atë “0” dhe anasjelltas (t_f dhe t_r). Gjithashtu vlerësoni kohën që i duhet sinjalit të përhapet nga hyrja në dalje për të dyja gjendjet (t_{PLH} dhe t_{PHL}).

Nga analiza me oshiloskop, jepni dy pamje të qarta (të zmadhuara) ku të përcaktohen katër parametrat e mësipërm.



Me matjet nga grafikët më sipër plotësoni tabelën:

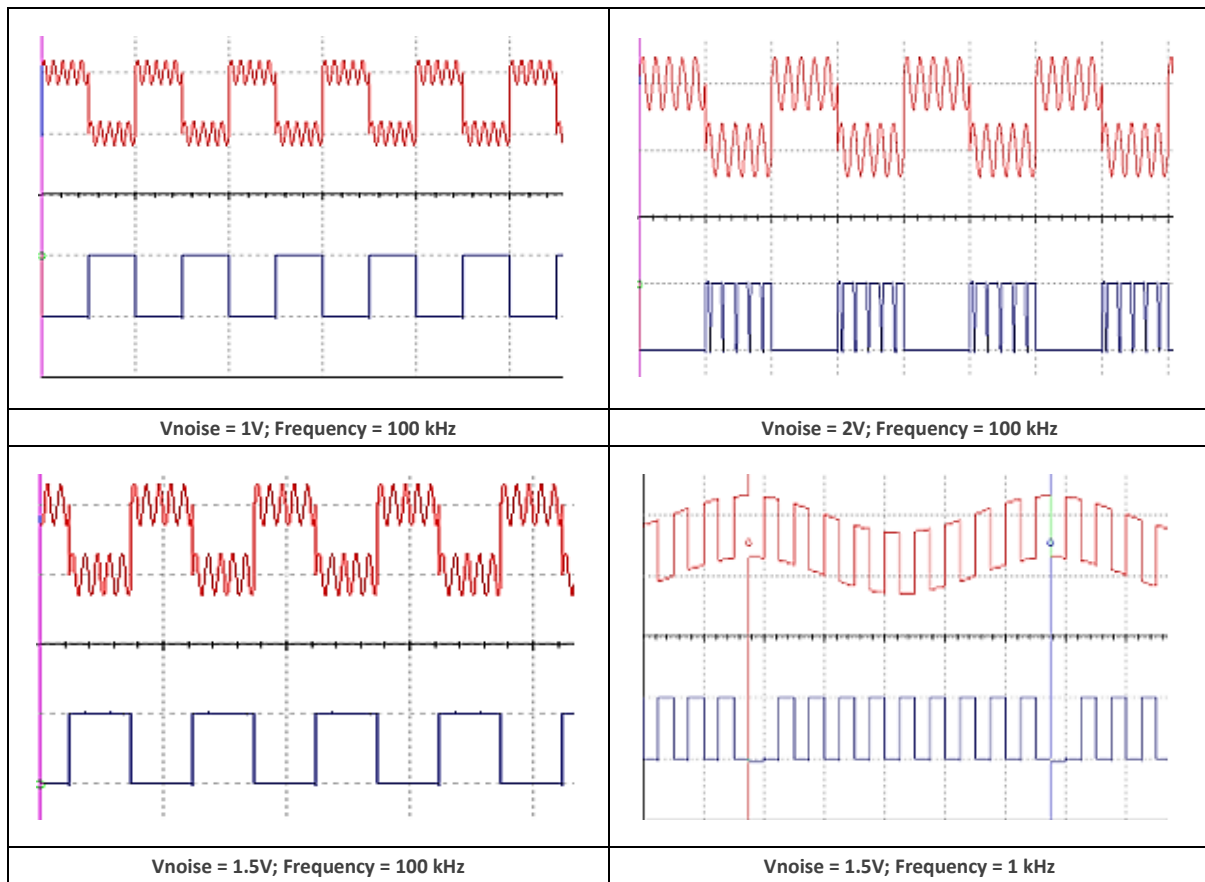
Parametra kohor të portës logjike CMOS		Vlera
t_{PHL}	Koha e kalimit “1” -> “0” nga hyrja në dalje (Time propagation High to Low)	20.47 ns
t_{PLH}	Koha e kalimit “0” -> “1” nga hyrja në dalje (Time propagation Low to High)	59.253 ns
t_r	Koha e ndryshimit në dalje nga “0” -> “1” (Rise time)	72.082 ns
t_f	Koha e ndryshimit në dalje nga “1” -> “0” (Fall time)	25.059 ns

3. Imuniteti ndaj interferencave

Në këtë paragraf do të analizojmë imunitetin e qarqeve dixhitale ndaj interferencave në hyrje. Për këtë qëllim, qarkun e paraqitur në figurën 2, modifikojeni si më poshtë ku gjeneratori i zhurmës (Vnoise) të konfigurohet si:

- Voltage (Pk): 1V (vlerë më e vogël se NM_H e përcaktuar në tabelën më sipër); frequency (F): 100kHz
- Voltage (Pk): 2V (vlerë më e vogël se NM_H , por më e madhe se NM_L e përcaktuar në tabelën më sipër); frequency (F): 100kHz
- Voltage (Pk): 1.5V (vlerë më e vogël se NM_H , por më e madhe se NM_L e përcaktuar në tabelën më sipër); frequency (F): 100kHz
- Voltage (Pk): 1.5V (vlerë më e vogël se NM_H , por më e madhe se NM_L e përcaktuar në tabelën më sipër); frequency (F): 1kHz

Për katër rastet e mësipërme paraqisni nga një figurë informative me oshiloskop të interferencës, nëse vërehet një fenomen i tillë në sinjalin në dalje.



Interpretoni grafikët e mësipërm në relacion me vlerat e tensioneve dhe zhurmave të paraqitura në tabelën fillestare të këtij paragrafi. Shpjegoni efektin e tensionit të zhurmës (që mbliidhet në seri, herë në fazë e herë në kundër fazë me atë të sinjalit) për të katërt rastet e mësipërme. Në cilin nga rastet sinjali kompleksiv në hyrjen IN del jashtë vlerave të pranuar si logjikë “1” dhe logjikë “0”?

Çfarë ndryshon nga pika c) në pikën d) më sipër ku në pikën c) edhe pse në shkelje të marzheve të zhurmës duket sikur nuk kemi keqinterpretim të sinjalit nga porta NOT? Ndërsa në rastin d) kemi një mosinterpretim të një niveli të caktuar të tensionit në hyrje?¹

Nga grafiket shohim paraqitjen e sinjalit në dalje kur sinjalit në hyrje i mbivendoset një zhurmë. Për sinjal zhurmë 1V shohim se forma e sinjalit në dalje nuk ndryshon, pra vëm re se invertuesi refuzon ndryshimet e sinjalit të hyrjes brenda marzheve të zhurmës. Kur tensioni i zhurmës ka vlerë më të madhe se NMH dhe NML shohim një deformim të sinjalit në dalje. Kjo zhurmë i vendosën në fazë dhe shohim një rritje të amplitudes, ose në kundërfazë cka na sjell një zvogëlim të amplitudes. Pas çdo periode të Vnoise, ku dhe sinjali në hyrje del jashtë kufirit VILmax, shohim që kemi mbivendosje të tPLH dhe tPHL. Sinjalit në rritje i kerkohet të zbres duke mos arritur të vendoset në gjendjen logjike ‘1’, cka dhe sjell mosinterpretimin e këtij niveli të tensionit të hyrjes.

¹ Kujtoni motivet e kohës së përhapjes së sinjalit nga hyrja në dalje dhe ato që ndikojnë në ndryshimin e gjendjes së transistorëve që përbëjnë portën logjike.

4. Funksioni logjik AND

Për qarkun e paraqitur në figurën 1b, të interpretohet funksionimi si portë logjike AND me dy hyrje. Për këtë qëllim të përdoret oshiloskopi me katër kanale të lidhur si në figurën 3.

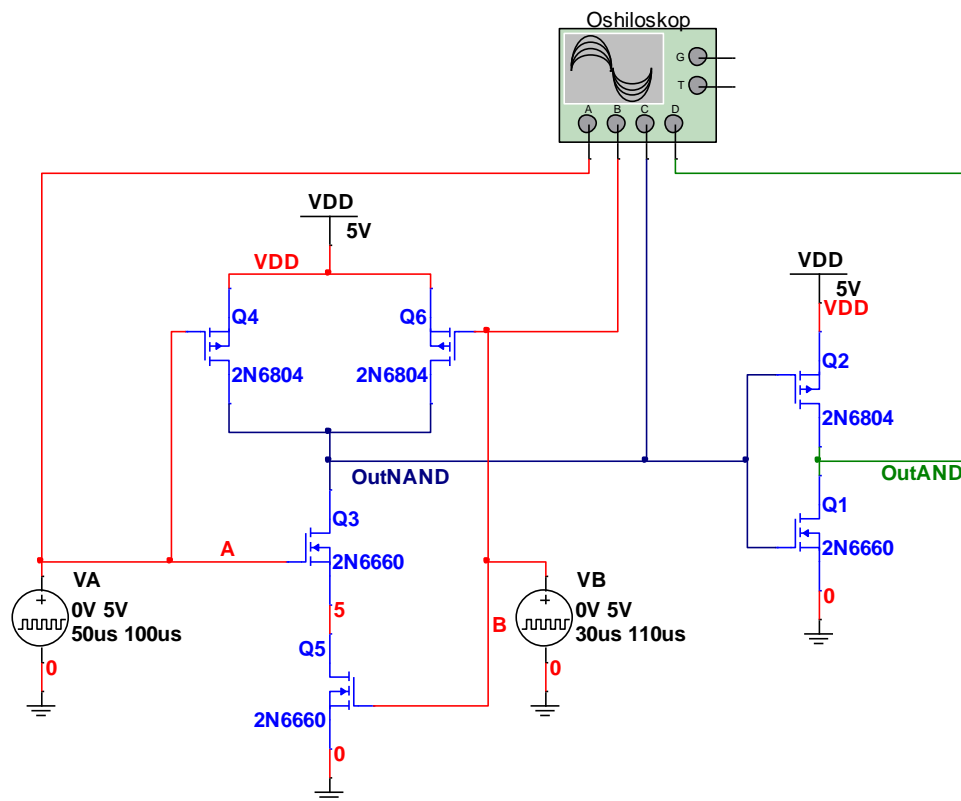


Fig. 3: Porta AND si kombinim i një porte NAND me një portë NOT, analiza e sinjaleve me oshiloskop.

Simulate -> Analyses and Simulation -> Interactive -> Run

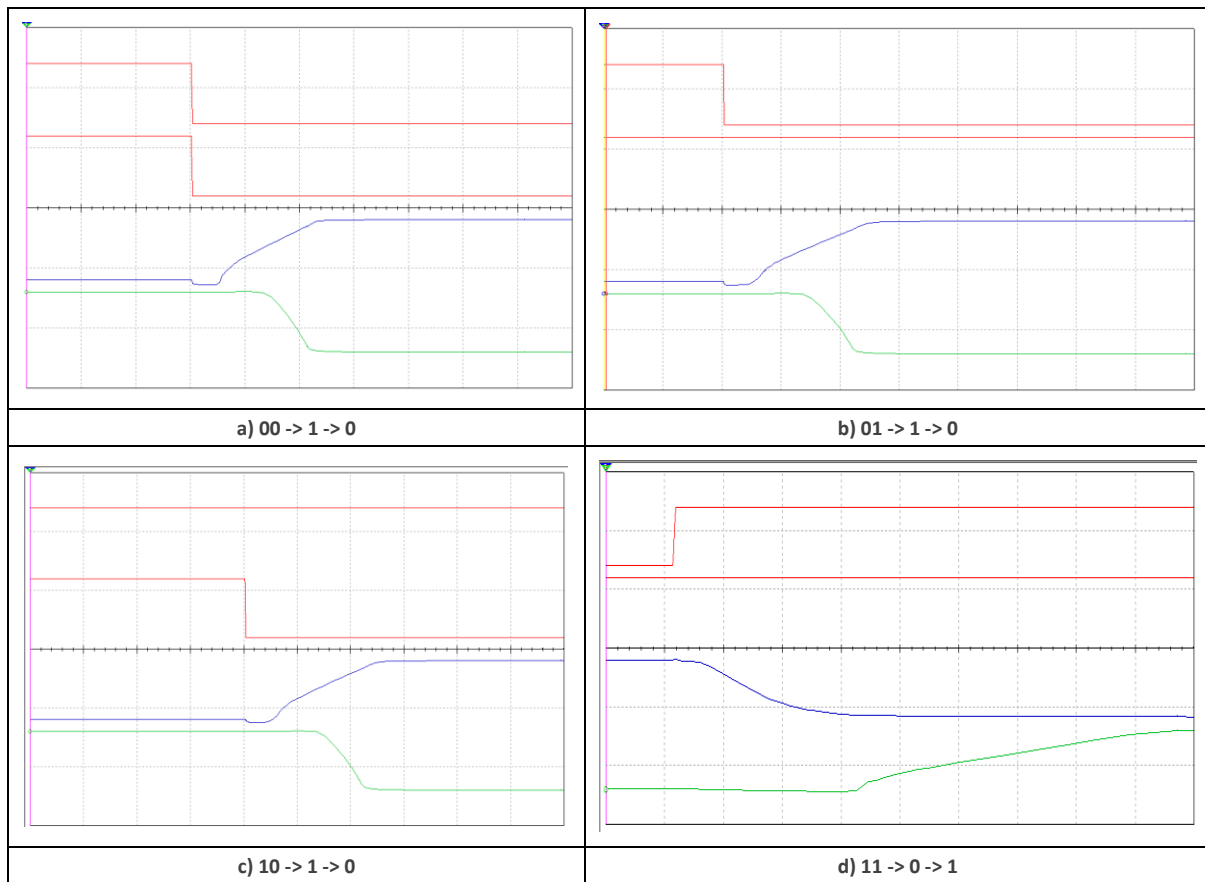
Konfiguroni oshiloskopin si:

- Timebase: 100us/Div
- Channel_A -> Scale: 5V/Div; Y pos.(Div): 1.4; Channel_B -> Scale: 5V/Div; Y pos.(Div): 0.2; Channel_C -> Scale: 5V/Div; Y pos.(Div): -1.2; Channel_D -> Scale: 5V/Div; Y pos.(Div): -2.4;

Bazuar në mënyrën e matjes së kohës së përhapjes së sinjalit nga një ndryshim në hyrje në ndryshimin korrespondent në dalje, plotësoni tabelën e mëposhtme për të katërt kombinimet e hyrjes.

Rasti	A	B	$t_{P(IN \rightarrow NAND)}$	NAND	$t_{P(NAND \rightarrow AND)}$	AND	$t_{P(IN \rightarrow AND)}$
a)	"0"	"0"	61.554 ns	"1"	30.473 ns	"0"	92.027 ns
b)	"0"	"1"	64.516 ns	"1"	30.637 ns	"0"	95.153 ns
c)	"1"	"0"	64.592 ns	"1"	30.561 ns	"0"	95.153 ns
d)	"1"	"1"	25.939 ns	"0"	76.659 ns	"1"	102.598 ns

Për secilin nga katër rastet e mësipërme paraqisni një zmadhim të sinjalit në oshiloskop ku të duken qartë kohët e përshkruara më sipër.



Vlerësoni kohën totale të përhapjes së sinjalit nga një ndryshim i hyrjeve A ose/dhe B dhe ndryshimin e daljes AND. Krahasoni këtë rezultat me atë të portës NOT të analizuar në paragrafin e dytë. Nëse do të ndërtimin qarkun kombinator si në figurën 3, sa do të ishte kohëvonesa e përhapjes së sinjalit nga një ndryshim i hyrjes A në daljen Y?

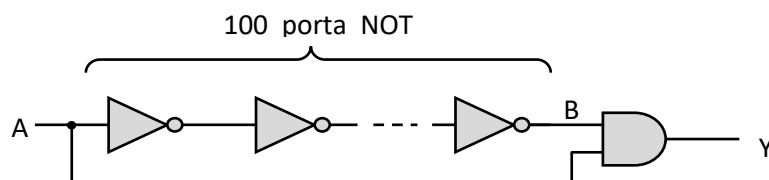


Fig. 4: Qark kombinator për vlerësimin e kohës së përhapjes së sinjalit: $Y = A$

Nëse sinjali A ka një periodë $T = 100\mu s$ dhe *duty cycle*² 50%, si do të jetë sinjali në dalje, do të ketë të njëjtin *duty cycle*? Nëse jo, si është modifikuar dhe përse? Argumentoni përgjigjen tuaj.

Mesatarisht për cdo kombinim, t_p për këtë portë AND është 96.233 ns.

Për dy porta NOT të njëpasnjëshme kemi $t_p = t_{pHL} + t_{pLH} = 79.723$ ns ose duke vlerësuar mesatarisht $t_{pHL} = t_{pLH} = 39.862$ ns për cdo portë NOT. Shohim se përhapja e sinjalit në një portë NOT është mesatarisht 2.4 here më e shpejtë se sa në portën AND.

Qarku (fig.4) për 100 porta NOT kemi $t_{p1} = 3986.15$ ns dhe për 1 portë AND kemi $t_p = 96.233$ ns $\Rightarrow t_p(\text{totale}) = 4082.383$ ns ~ 4.082 μs .

Sinjali në dalje nuk do të ketë të njëjtin *duty cycle*, kjo pasi tr ndryshon nga t_f në portat NOT. Ne kemi që $t_r > t_f$ kështu që për vendosjen e gjendjes logjike '1' duhet një kohë më e madhe se sa për logjikën '0', cka do të thotë se *duty cycle* i sinjalit në dalje është më e vogël se ajo e sinjalit në hyrje.

² *Duty cycle* është raporti midis kohës që sinjali është në gjendjen "1" kundrejt periodës së tij. Shprehet në %.

5. Përfundime

Përshkruani shkurtimisht pikat kyçe të këtij laboratorit dhe të rezultateve të marra.

Ne kete laborator percaktuam parametrat kryesor te portes NOT dhe marzhin e zhurmes ($NM=1.328\text{ V}$), i cili na percakton zhurmen qe mund ti mbivendoset sinjalit ne hyrje. Kur sinjalit ne hyrje i mbivendoset zhurme, inverteri e refuzon kete zhurme duke vendosur ne dalje sinjalin me vlerat e tij standarte VOH dhe VOL .

Per $NML < V_{noise} < NMH$, kemi ne dalje prishje te logjikes '1' ku dhe shfaqet deformimi i zhurmes. Ne qofte se ne kete rast kemi frekuencen $V_{noise} <$ se frekuenca e sinjalit hyres \Rightarrow ne hyrje te inverterit do te kemi sinjal me periode sa e V_{noise} dhe pas cdo periode te V_{noise} , ku dhe sinjali hyres del jashte kufirit V_{ILmax} , kemi mosinterpretim te ketij niveli.

Pame porten AND te ndertuar nga porta NAND dhe NOT, me nje $t_p >$ se ajo e portes NOT. Gjithashtu pame se duty cycle i sinjalit ne dalje nuk eshte i barabarte me ate te sinjalit ne hyrje, kjo si pasoje e mosbarazimit midis kohes se renies dhe kohes se rritjes.

6. Referenca:

1. A. S. Sedra, K. C. Smith, Microelectronic Circuits, 7th Edition, Oxford University Press, 2014
2. A. Rakipi, E. Agastra, "Sistemet Elektronike – Konspekte Leksionesesh", FTI-UPT, 2020
3. E. Agastra, A. Rakipi, "Sistemet Elektronike – Ushtrime të zgjidhura", FTI-UPT, 2020