

## どんな研究？

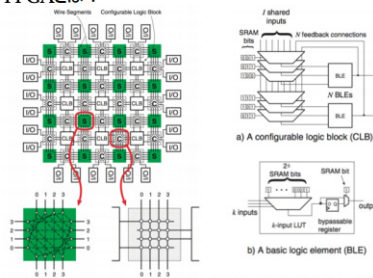
再構成可能デバイスとしてFPGA（Field Programmable Gate Array）の利用が広がっていますが、実際に大きな回路を実装しようとするとクロック分配にまつわる様々なタイミング制約問題が生じ設計を難しくしてしまいます。そこでグローバルクロックを使わない非同期式回路技術を組み合わせることで、大規模FPGAの設計を用意化する研究を進めています。

## 何がわかる？

再構成可能デバイス、FPGAとは？  
最近では何に使われる？  
何が優れている？  
問題点は？  
解決のアプローチは？？  
非同期式回路とは？

## FPGAとその応用

### ◆ FPGAとは？



### ◆ 何が優れている？

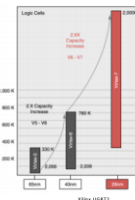
- アクセラレータ
  - ソフトウェアのボトルネックをハードウェア化することで大幅な高速化
  - CPU/GPUによる処理よりも電力効率が高いこともある
  - 専用LSI製造よりも安価、かつ、修正・更新がいつでも可能

### ◆ 問題点は？

- 大規模化における問題点
  - クロック周りのタイミング制約が厳しくなる
    - クロックの分配や専用素子の使用が難しい
    - 再合成すると動かなくなることもある
  - 複数のクロックリージョンを導入する必要性増大
    - GALS (Globally Asynchronous Locally Synchronous)
    - クロックリージョン間のインタフェースが面倒

### ◆ FPGAの普及

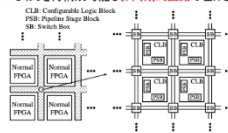
- 大規模回路の実現 (e.g. Vertex7:200万ロジックセル)
- さまざまな用途に利用
  - Microsoft Catapult プロジェクト
    - データセンターのサーバにFPGA
    - ノード間通信
    - Deep Learning アクセラレータ



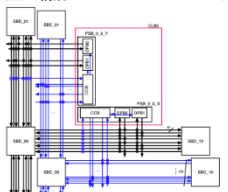
## 研究内容

### ◆ 解決のアプローチ

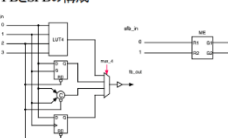
- 小から中規模の多数の同期式コア・FPGA
- まわりを再構成可能な非同期式回路で埋める



### ◆ CLBの構成

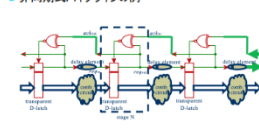


### ◆ FBとSFBの構成

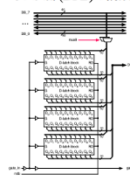


### ◆ 非同期式回路

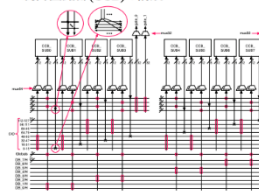
- 非同期式パイプラインの例



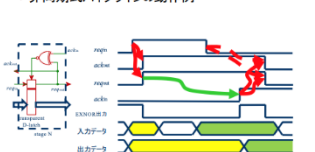
### ◆ データパス部(DPB)の構成



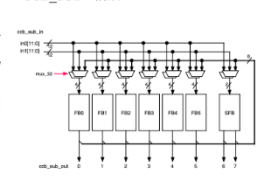
### ◆ 制御回路部(CCB)の構成



### ◆ 非同期式パイプラインの動作例

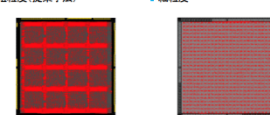


### ◆ CCB\_SUBの構成



### ◆ 粗粒度と細粒度の比較

- 粗粒度 (提案手法)
- 細粒度



### ◆ 初期評価

