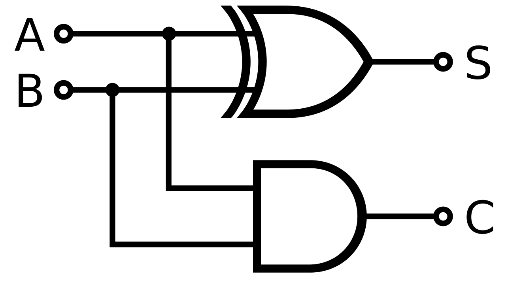
在电子学中，加法器（英語：adder）是一种用于执行加法运算的数字电路部件，是构成电子计算机核心微处理器中算术逻辑单元（the arithmetic logic units or ALU）的基础。在这些电子系统中，加法器主要负责计算地址、索引等数据。除此之外，加法器也是其他一些硬件，例如二进制数的乘法器的重要组成部分。

尽管可以为不同计数系统设计专门的加法器，但是由于数字电路通常以二进制为基础，因此二进制加法器在实际应用中最为普遍。在数字电路中，二进制数的减法可以通过加一个负数来间接完成。为了使负数的计算能够直接用加法器来完成，计算中的负数可以使用二补数（补码）来表示，具体的细节可以参考数字电路相关的书籍

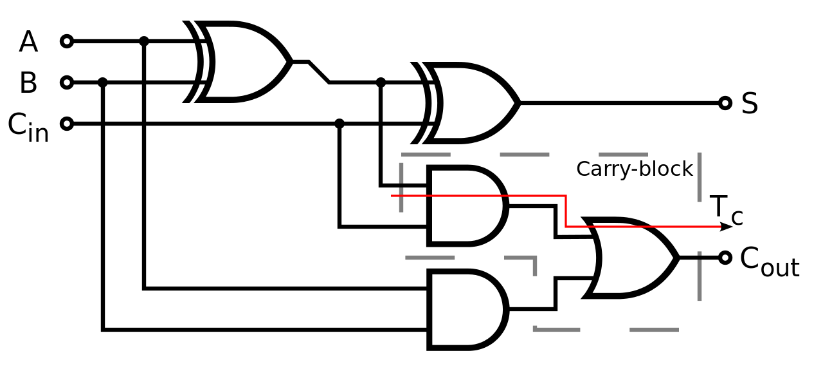
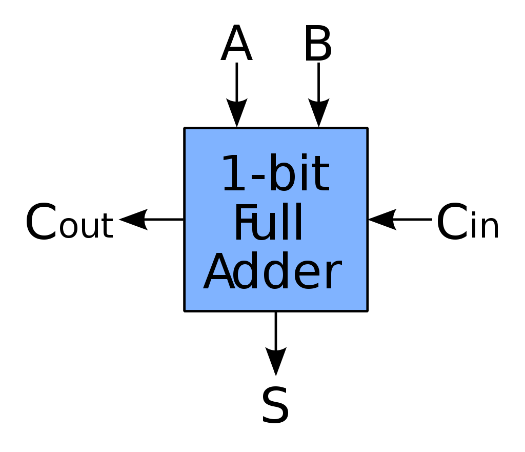
半加器（half adder）的功能是将两个一位[二进制数](https://zh.wikipedia.org/wiki/%E4%BA%8C%E9%80%B2%E4%BD%8D%E6%95%B8)相加。它有两个输出：

[和](https://zh.wikipedia.org/wiki/%E5%92%8C)：记作 S，来自对应的英语 Sum；

[进位](https://zh.wikipedia.org/wiki/%E8%BF%9B%E4%BD%8D)：记作 C，来自对应的英语 Carry一位的数字。下图是一个最简单的半加器设计，使用一个[异或门](https://zh.wikipedia.org/wiki/%E5%BC%82%E6%88%96%E9%97%A8)来产生 S，一个[与门](https://zh.wikipedia.org/wiki/%E4%B8%8E%E9%97%A8)来产生 C。和 S 的布尔逻辑是 A'B+AB'，进位 C 的布尔逻辑是 AB（可以通过真值表，轻松得到这个结论）。



全加器（full adder）将两个一位二进制数相加，并根据接收到的低位进位信号，输出和、进位输出。全加器的三个输入信号为两个加数A、B和低位进位Cin。全加器通常可以通过级联（cascade）的方式，构成多位（如8位、16位、32位）二进制数加法器的基本部分。**换句话说，全加器中的低位进位Cin，是用来和上一级的进位Cout连接的，这样子，就是可以构成多为二进制加法器。**



另外，全加器可以由两个半加器和一个或门连接而成，其经典的电路结构如下图所示（根据上图，可以推到出来）

