

北京交通大学

数字电路课程 实验报告

学 院： 计算机与信息技术学院

专 业： 计算机科学与技术

学生姓名：

学 号：

指导教师：

北京交通大学

2021 年 12 月 25 日星期六

数字电路课程实验报告

目录

第一章 仿真实验	3
实验一 集成电路的逻辑功能测试	3
一、 实验目的	3
二、 实验原理	3
三、 实验示例实验内容及实验步骤	4
四、 实验任务	9
实验二 译码器电路仿真实验	11
一、 实验目的	11
二、 实验原理	11
三、 实验过程和步骤	11
四、 实验任务	13
实验三 组合逻辑电路分析与设计	14
一、 实验目的	14
二、 实验原理	15
三、 实验内容及实验步骤	16
四、 实验任务	19
实验四 RS 触发器和 JK 触发器	21
一、 实验目的	21
二、 实验原理	21
三、 实验任务	21
实验五 同步时序逻辑电路设计与分析	23
一、 实验目的	23
二、 实验原理	24
三、 实验任务	24
实验六 2 位十进制计数器仿真实验	26
一、 实验目的	26
二、 实验原理	26
三、 实验示例	27
四、 实验任务	28
第二章 数字电路课程研究性教学活动	29
一、 小组分工说明	29
二、 数字抢答器的设计	29
1. 基本介绍	29
2. 设计原理	29
3. 问题解决与收获总结	32
三、 多功能数字钟电路	33
致 谢	33

第一章 仿真实验

实验一 集成电路的逻辑功能测试

一、 实验目的

- 1、熟悉 Multisim14.0 仿真软件环境；
- 2、掌握集成逻辑门的逻辑功能；
- 3、掌握集成与非门的测试方法。

二、 实验原理

应用逻辑运算和卡诺图化简得到简单的电路表达形式，采用了 TTL 门电路中的 741s 系列进行搭建。

<p>与门 $Y = A \bullet B$</p> <p>非门 $Y = \overline{A}$,</p> <p>与非门 $Y = \overline{A \bullet B \bullet C \bullet D}$,</p> <p>异或门 $Y = A \oplus B$,</p>	<p>或门 $Y = A + B$,</p> <p>与非门 $Y = \overline{A \bullet B}$,</p> <p>或非门 $Y = \overline{A + B}$,</p> <p>与或非门 $Y = \overline{A \bullet B + C \bullet D}$</p>
---	---

图1.1 本次实验所用基本逻辑门电路的逻辑符号图。

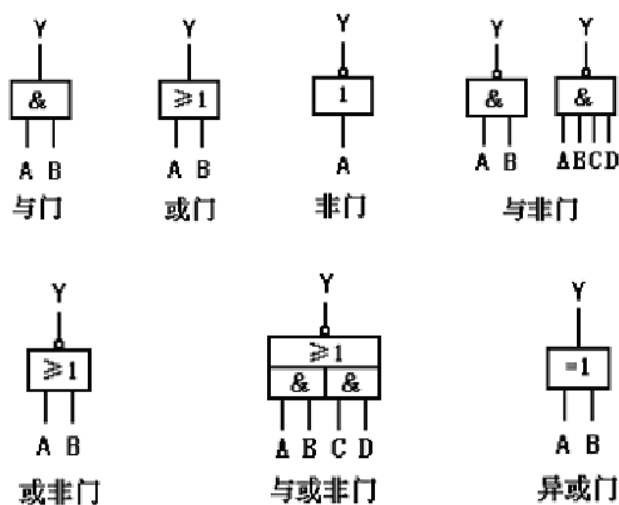


图 1.2 TTL 基本逻辑门电路

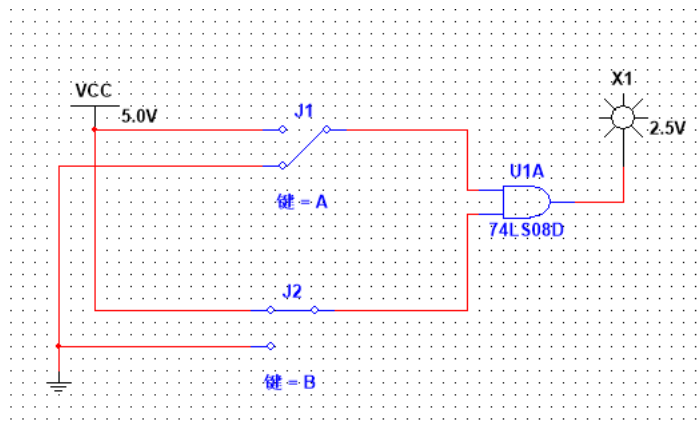
数字电路课程实验报告

三、 实验示例实验内容及实验步骤

1、基本集成门逻辑电路测试

(1) 测试与门逻辑功能

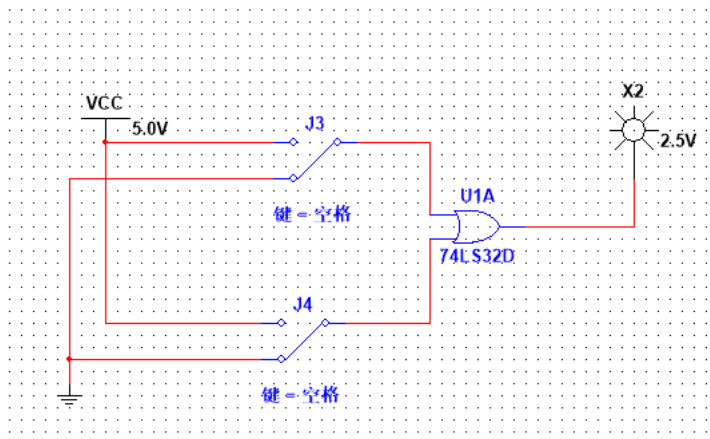
74LS08 是四个 2 输入端与门集成电路（见附录 1），请按下图搭建电路，再检测与门的逻辑功能，结果填入下表中。



A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(2) 测试或门逻辑功能

74LS32 是四个 2 输入端或门集成电路（见附录 1），请按下图搭建电路，再检测或门的逻辑功能，结果填入下表中。



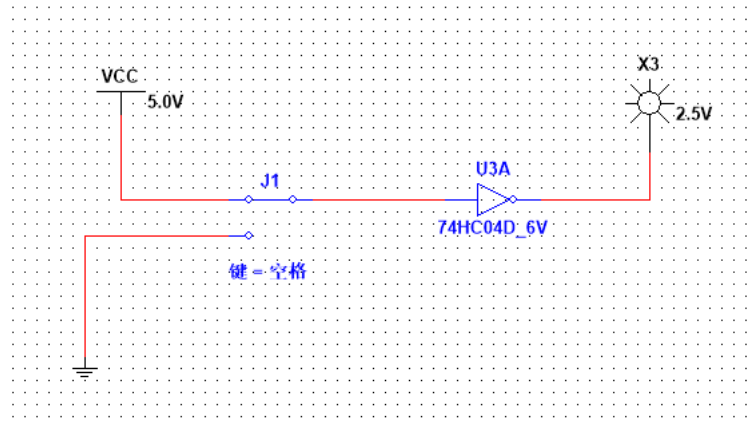
A	B	Y
0	0	0
0	1	1
1	0	1

数字电路课程实验报告

1	1	1
---	---	---

（3）测试非门逻辑功能

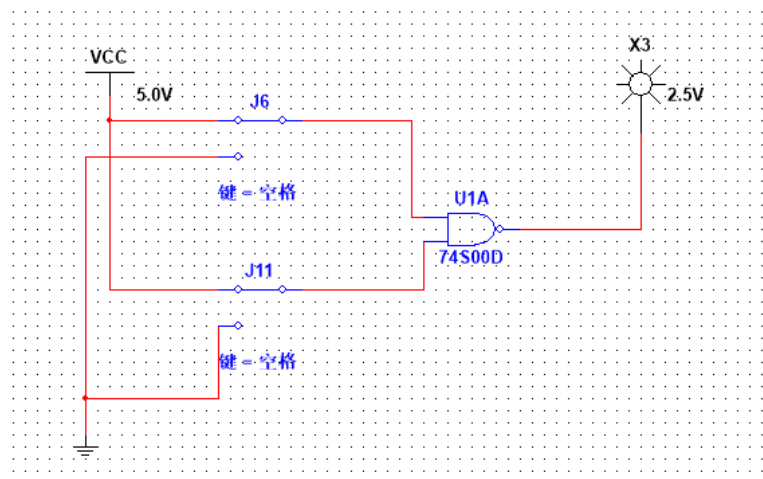
74HC04 是 6 个单输入非门集成电路（见附录 1），请按下图搭建电路，再检测非门的逻辑功能，结果填入下表中。



A	Y
0	1
1	0

（4）测试与非门逻辑功能

74LS00 是四个 2 输入端与非门集成电路（见附录 1），请按下图搭建电路，再检测与非门的逻辑功能，结果填入下表中。

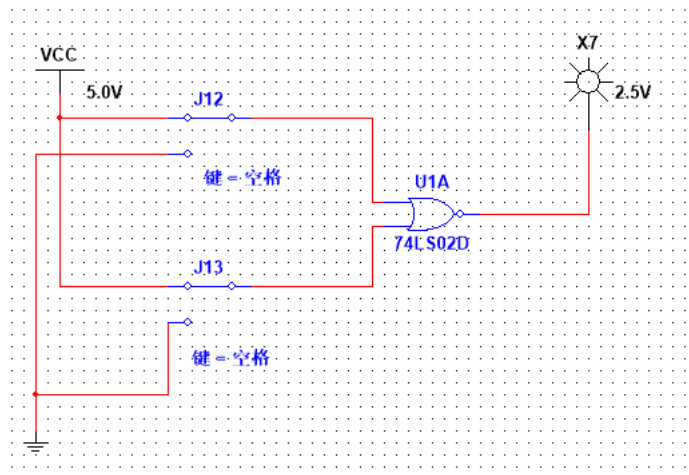


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

（5）测试或非门逻辑功能

74LS02 是四个 2 输入端或非门集成电路（见附录 1），请按下图搭建电路，再检测或非门的逻辑功能，结果填入下表中。

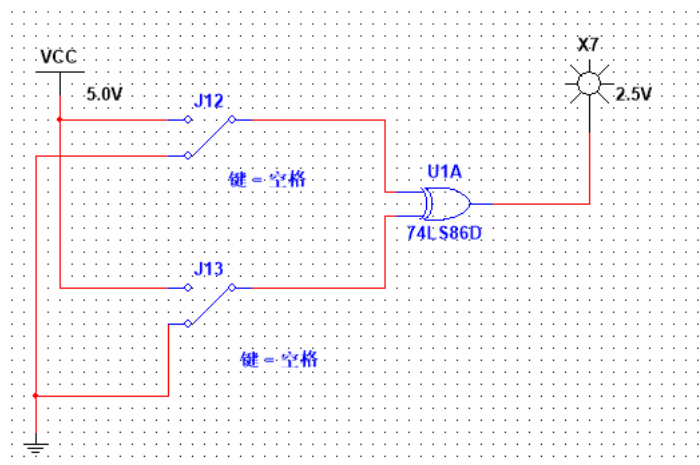
数字电路课程实验报告



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

(6) 测试异或门逻辑功能

74LS86 是四个 2 输入端异或门集成电路，请按下图搭建电路，再检测异或门的逻辑功能，结果填入下表中。

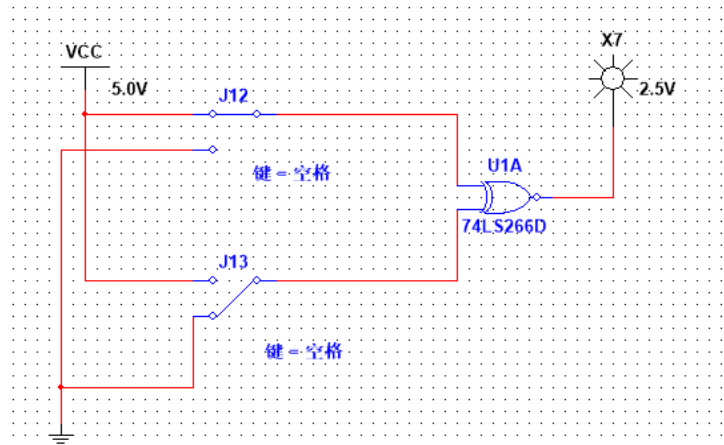


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

(7) 测试同或门逻辑功能

4077BD 是四个 2 输入端同或门集成电路，请按下图搭建电路，再检测同或门的逻辑功能，结果填入下表中。

数字电路课程实验报告

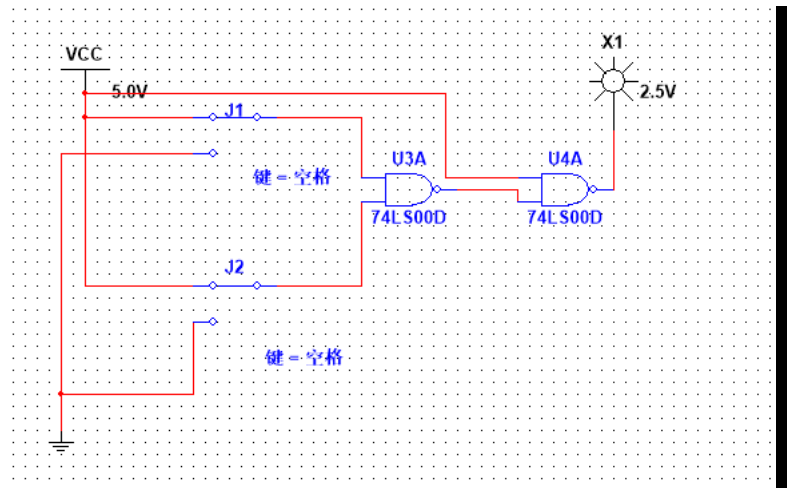


A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

2、利用与非门组成其他逻辑门电路

(1) 组成与门电路

将 74LS00 中任意两个与非门组成如下图所示的与门电路，输入端接逻辑电平开关，输出端接指示灯 LED，拨动逻辑开关，观察指示灯 LED 的亮与灭，测试其逻辑功能，结果填入下表中。



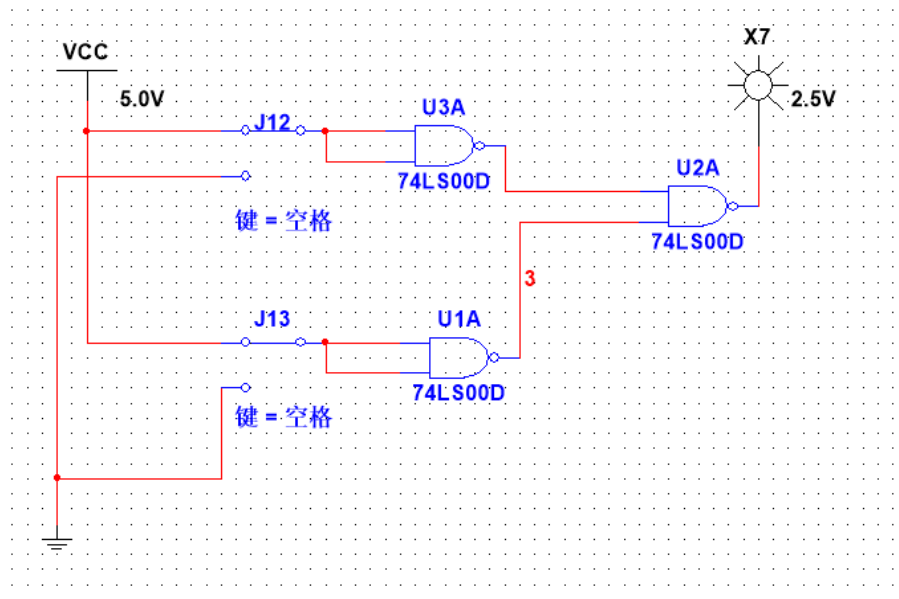
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(2) 组成或门电路

将 74LS00 中任选三个与非门组成如下图所示的或门电路，输入端接逻辑电平开关，输出端接指示灯 LED，拨动逻辑开关，观察指示灯 LED 的亮与灭，测试其逻辑功能

数字电路课程实验报告

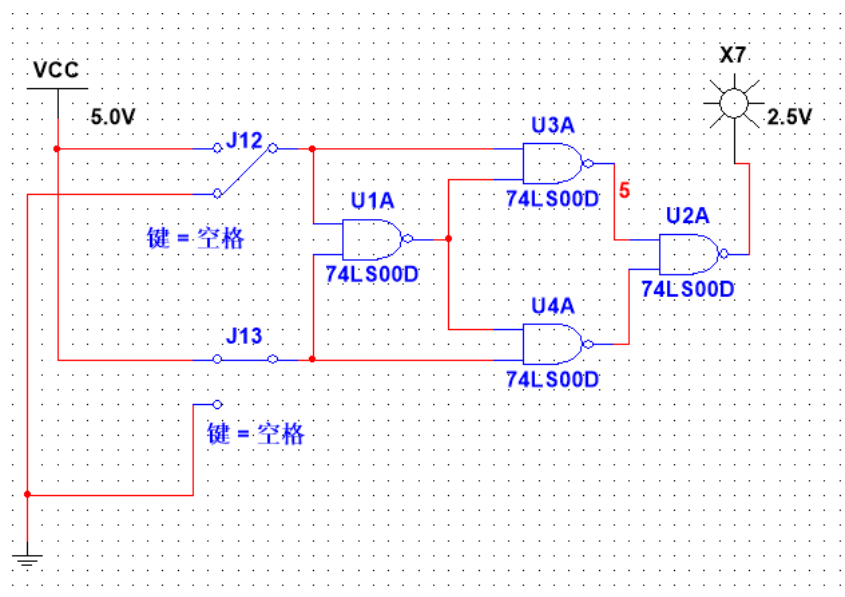
能，结果填入下表中。



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(3) 组成异或门电路

将 74LS00 中的与非门按照下图所示的电路连线，输入端接逻辑电平开关，输出端接指示灯 LED，拨动逻辑开关，观察指示灯 LED 的亮与灭，测试其逻辑功能，结果填入下表中。



数字电路课程实验报告

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

四、 实验任务

请用或非门实现其他逻辑门电路，如与门、或门、非门、异或、同或。

思路：自身的或非即是非，其他的情况可以使用反演律进行变换

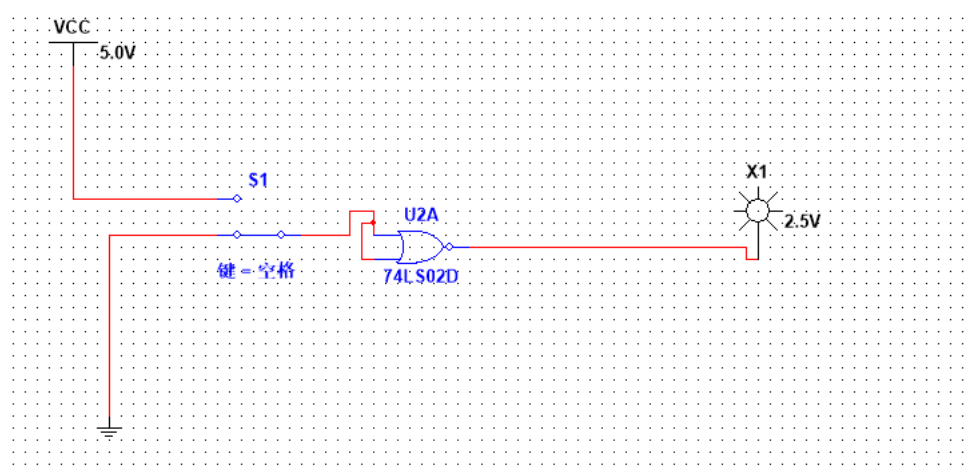


图 4-1 非

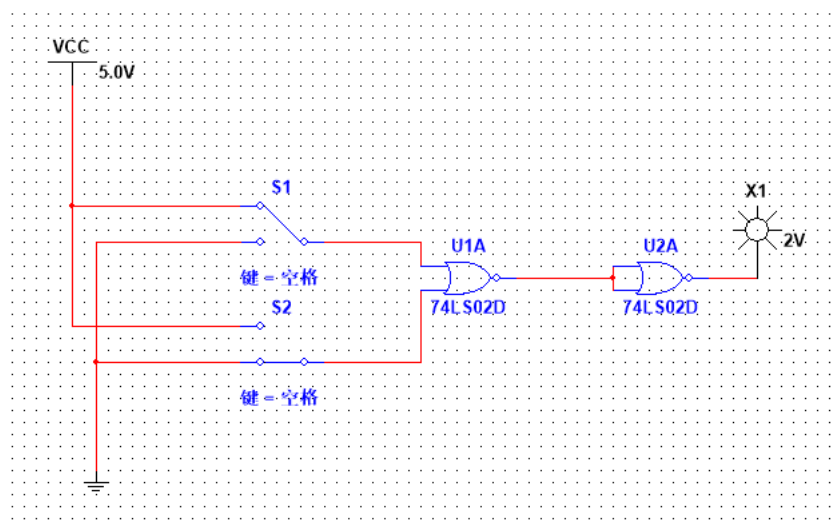


图 4-2 或

数字电路课程实验报告

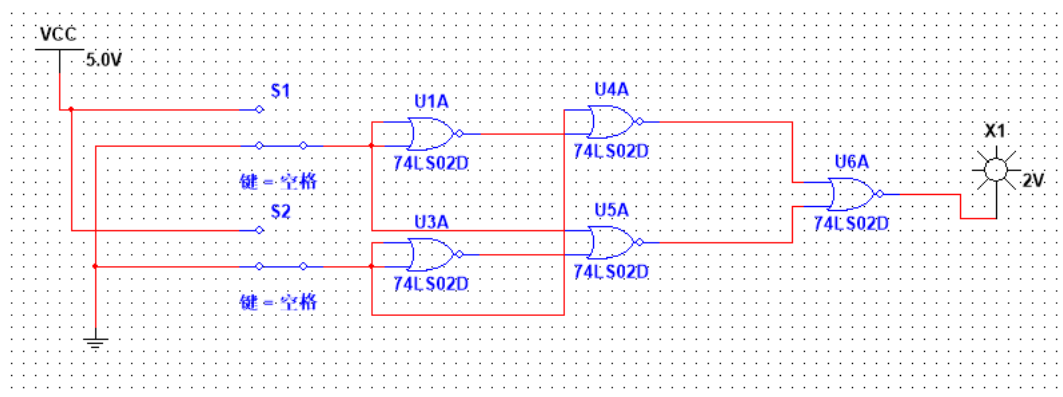


图 4-3 同或

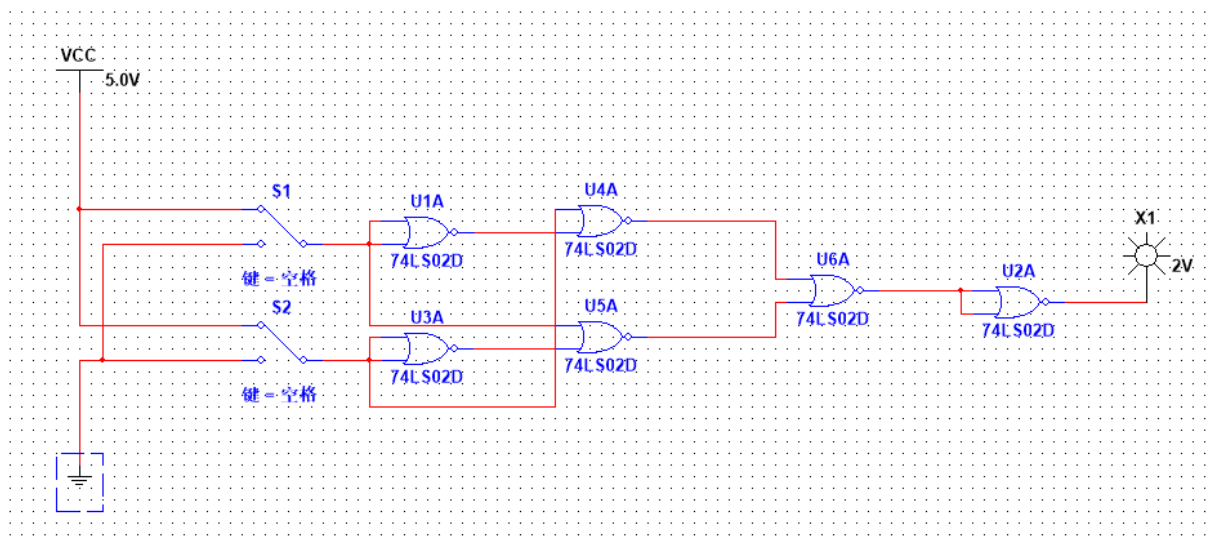


图 4-4 异或

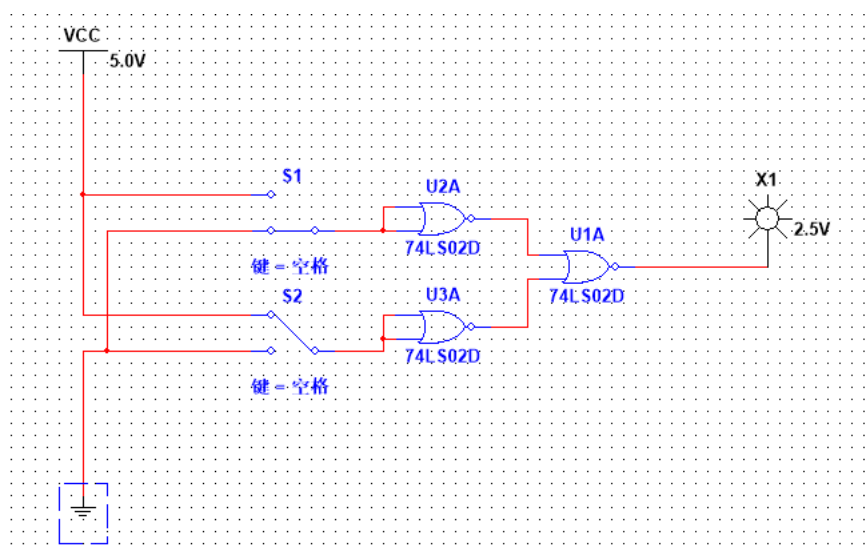


图 4-5 与

实验二 译码器电路仿真实验

一、 实验目的

- 1、熟悉 Multisim14.0 仿真软件环境；
- 2、掌握译码器的工作原理；
- 3、常见译码器的应用。

二、 实验原理

编码即是一种语言的转换，比较常见的是 10 进制和 2 进制的转换，当然还有其他转换方式，如格雷码、莫斯码等等。编码之间是一一对应的。

74LS138D 属于 3 线 - 8 线译码器，该译码器有三个使能端，三路输入端,输入高电平有效，输出低电平有效。

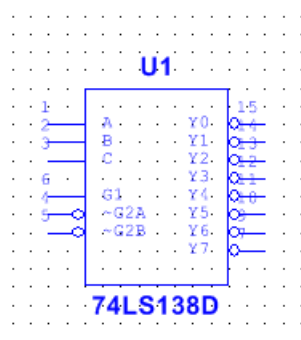


图 2-1 译码器 74LS138D

三、 实验过程和步骤

1、3 线 - 8 线译码器具体电路如图 2-1 所示，说明如下：

利用 3 个单刀双掷开关（J1—J3）切换二路输入端输入的高低电平状态。利用 8 个探测器（X0—X7）观察 8 路输出端输出信号的高低电平状态（探测器亮表示输出高电平“1”，灭表示输出低电平“0”）。使能端 G1 接高电平，G2A 接低电平，G2B 接低电平。

2、3 线 - 8 线译码器实验步骤：

- （1）按图 2-2 所示连接电路。

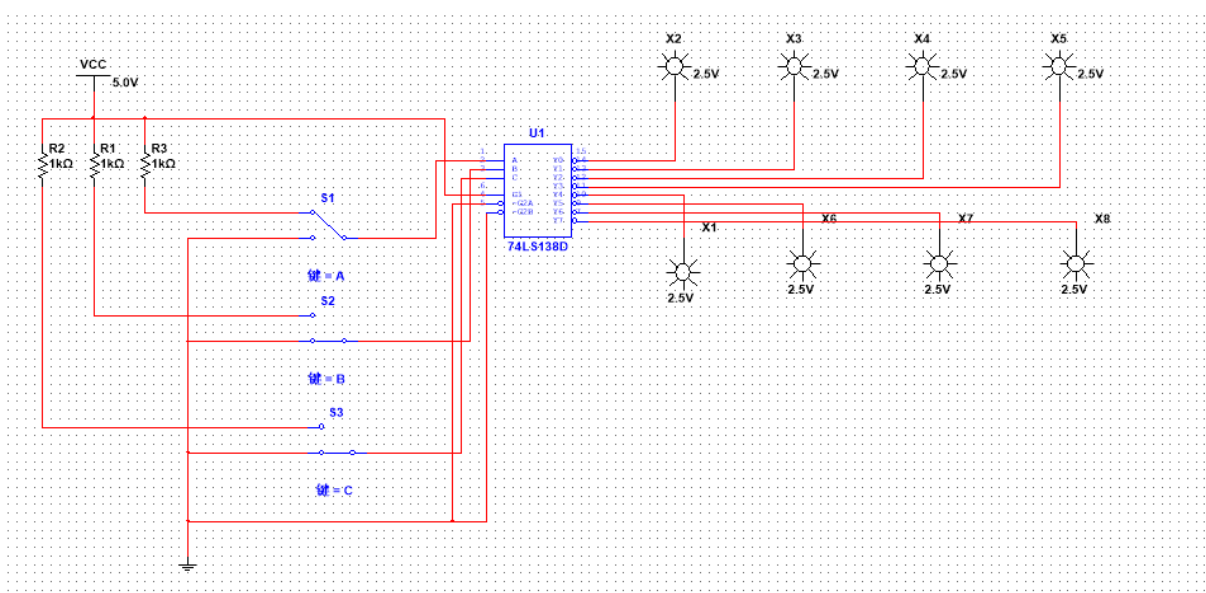


图 2-2 实验电路

(2) 切换 3 个单刀双掷开关 (J1—J3) 进行仿真实验，输入端中的“1”表示接高电平，“0”表示接低电平。输出端中 Y0-Y7 依次对应于 X1-X8，“1”表示探测器亮，“0”表示探测器灭。该译码器输入高电平有效，输出低电平有效。

当输入为 000 时，仿真结果为：

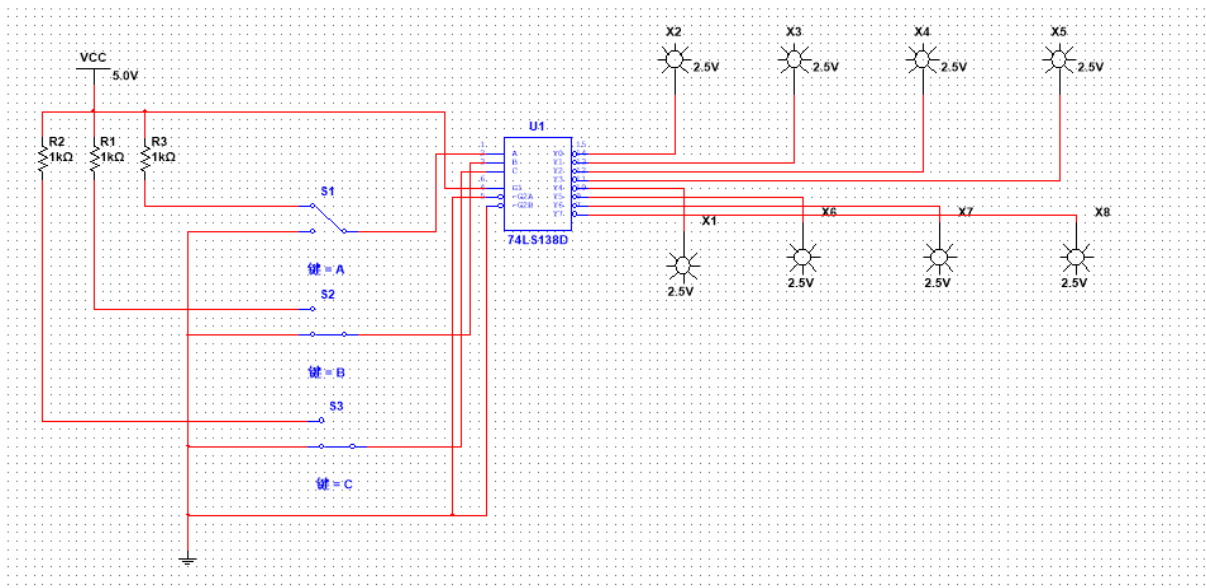


图 2-3 实验电路

3、实验结果分析

当输入为 000、001、010、011、100、101、110、111 这八种情况时进行仿真，在下表中记录仿真结果，“1”表示探测器亮，“0”表示探测器灭，将仿真结果与译码器理论上的输出值进行比较。

根据上面的实验结果填写下表：

数字电路课程实验报告

输入端						输出端							
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

四、 实验任务

利用两块 3 线-8 线译码器 74LS138D 设计一个 4 线-16 线优先译码电路，具体要求如下：

- 1、简要说明设计思路，画出实验电路图。
- 2、对 4 线-16 线译码器优先编码电路进行仿真。
- 3、将实验结果记录在下表中，验证 4 线-16 线译码器的逻辑功能。

输入端							输出端															
G	G2	G	D	C	B	A	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y1	Y1	Y1	Y1	Y1	Y1
1	A	2 B					0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5
1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1

数字电路课程实验报告

1	0	0	1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

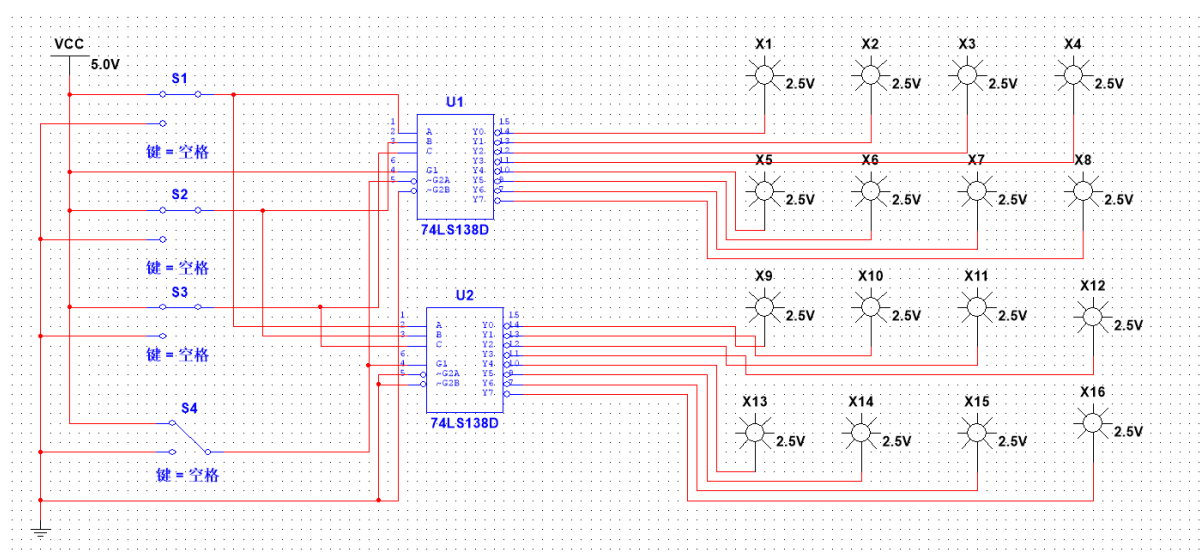


图 4-1 四十六译码器

思路：

实验中采用两块 74ls138 进行级联用以设计 4-16 译码器。由四个单刀双掷开关进行模拟四输入，列出真值表，对应数字，由 S4 控制 U2 的使能端，可由权位高低控制两块 138 译码器。

验证时可设置相应的二进制输入，观察对应 probe 有没有灭掉（低电平有效）。

实验三 组合逻辑电路分析与设计

一、 实验目的

- 1、掌握 Multisim 软件对组合逻辑电路分析与设计的方法；
- 2、掌握利用集成逻辑门构建组合逻辑电路的设计过程；
- 3、掌握组合逻辑电路的分析方法。

数字电路课程实验报告

二、 实验原理

组合逻辑电路一般情况下，相对于时序逻辑电路而言。其 output 决定于输入信号的组合

设计的思路一般按照“实现的功能”、“对应的真值表”、“逻辑表达式”、“化简变换”，最后得到“逻辑图”，再辅以电路相关知识进行仿真。

分析电路的思路则与之相反。

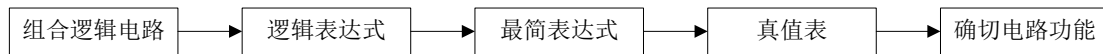


图 3-1 组合逻辑电路的分析步骤

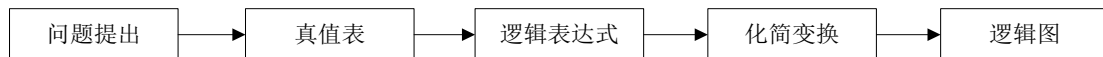


图 3-2 组合逻辑电路的设计步骤

全加全减器是一个实现一位全加和全减功能的组合逻辑电路，通过模式变量 M 来控制全加/全减算术运算。本实验可以使用 74LS00, 74LS86 芯片来实现。 A_i 和 B_i 分别表示二进制数 A 与 B 的第 i 位， C_i 表示 A_{i-1} 和 B_{i-1} 位全加时产生的进位， C_{i+1} 表示第 A_i 和 B_i 位全加时产生的进位， S_i 为 A_i 和 B_i 的和或差， $M=0$ 表示全加功能， $M=1$ 表示全减功能，具体真值表为：

M	A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

函数 S 和 C_{i+1} 的卡诺图化简后为：

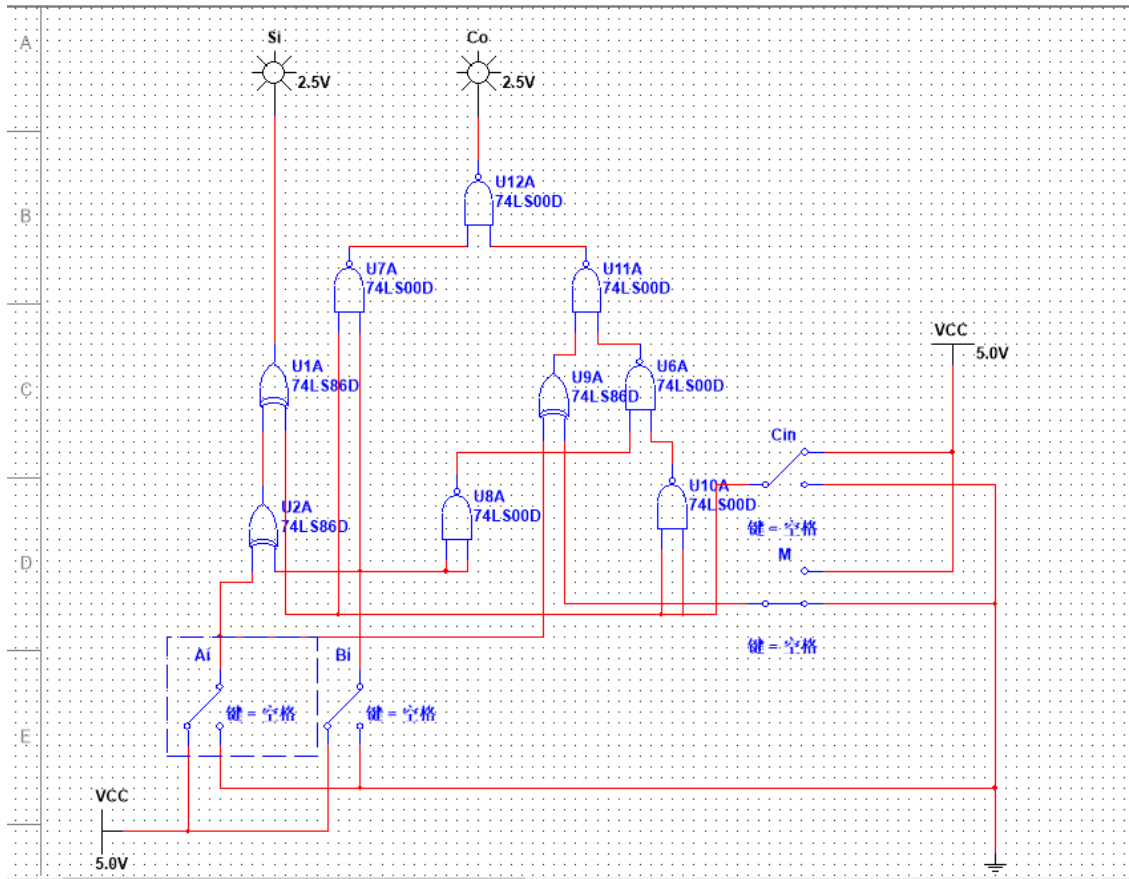
$$S_i = A_i \oplus B_i \oplus C_i$$

数字电路课程实验报告

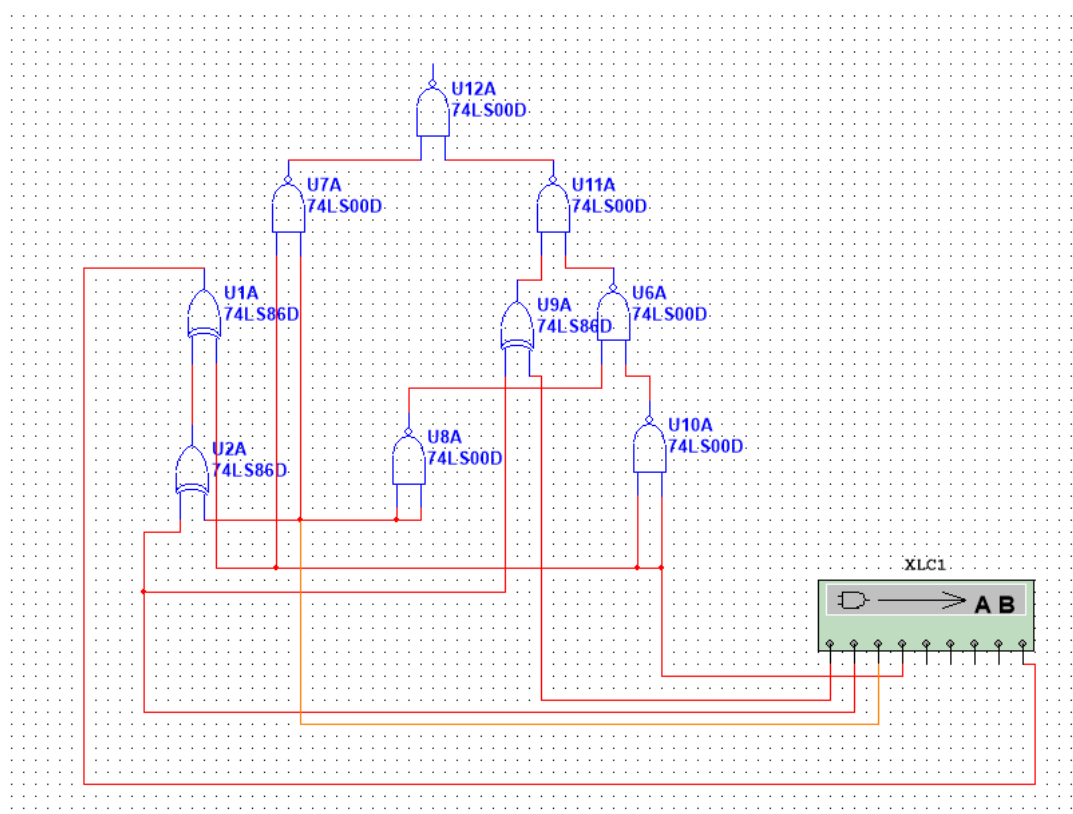
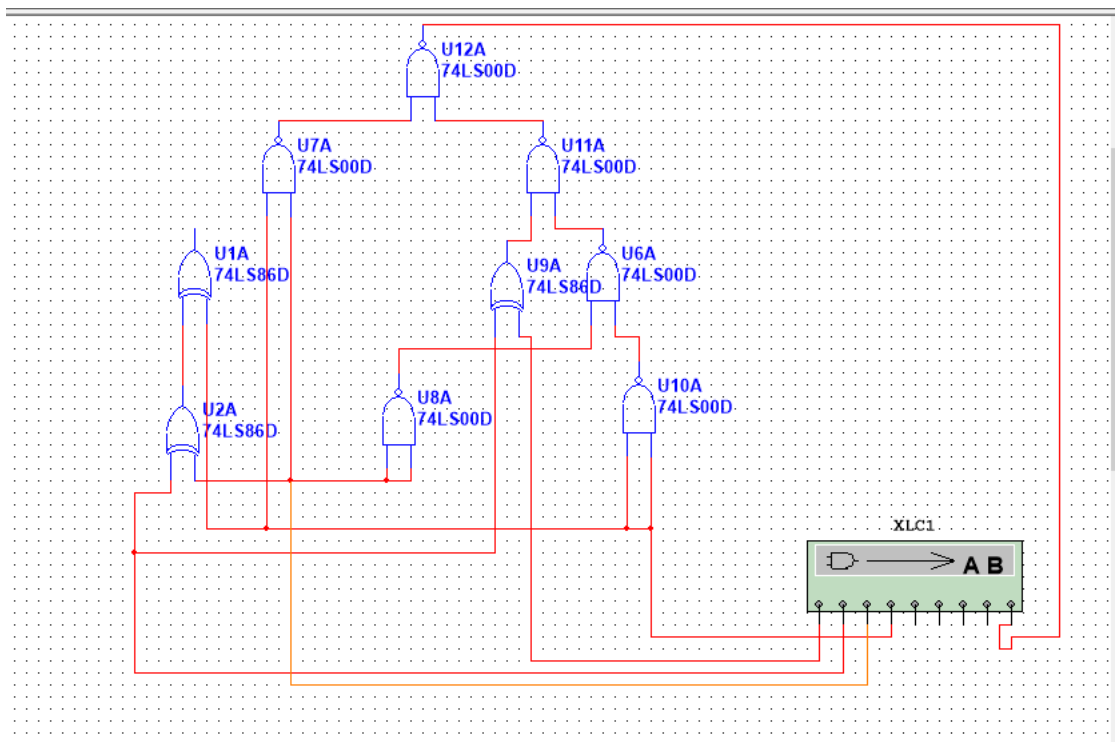
$$C_{i+1} = B_i C_i + (C_i + B_i)(M \oplus A_i) = \overline{B}C \cdot (M \oplus A) \cdot B \cdot \overline{B} \cdot C \cdot C$$

三、 实验内容及实验步骤

- 1、根据实验原理构建全加全减器功能电路并测试逻辑功能。

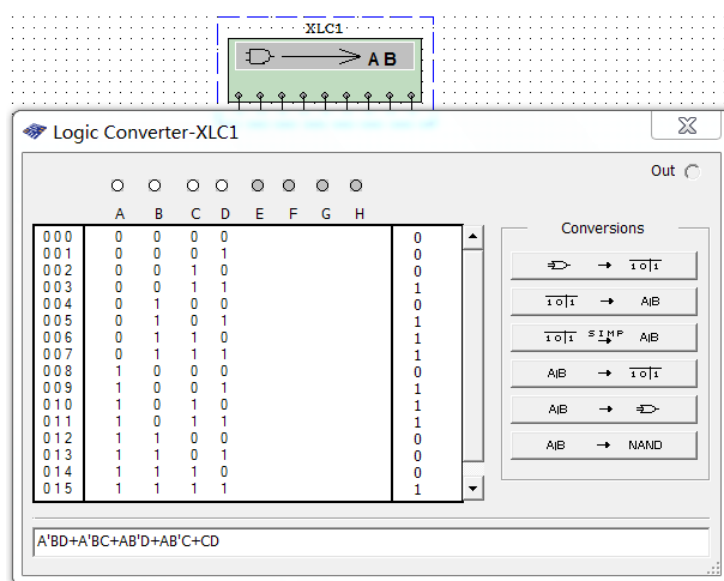
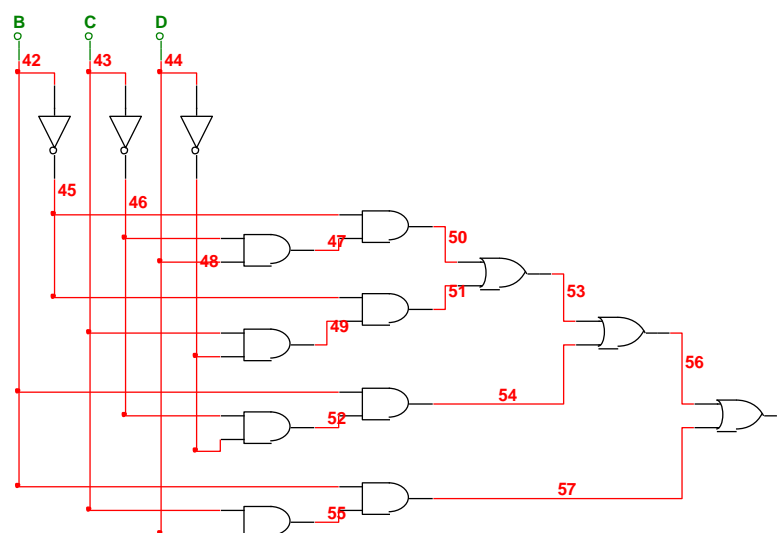
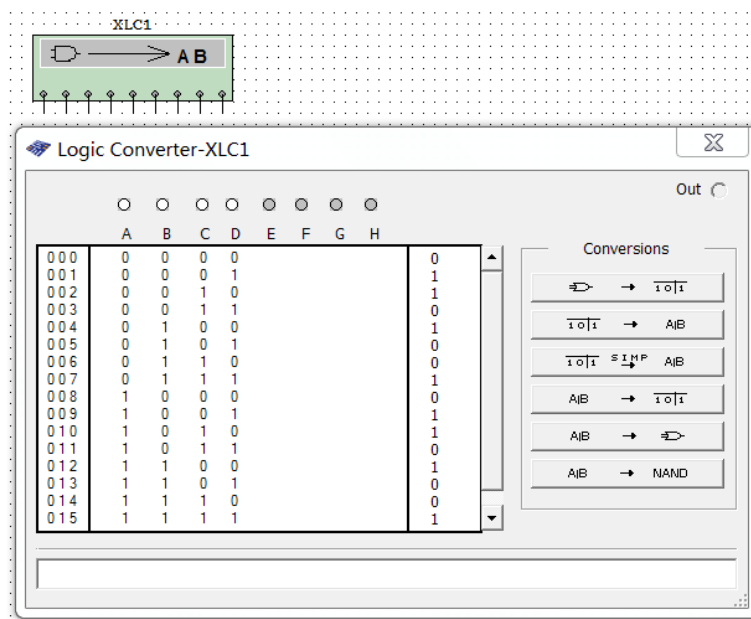


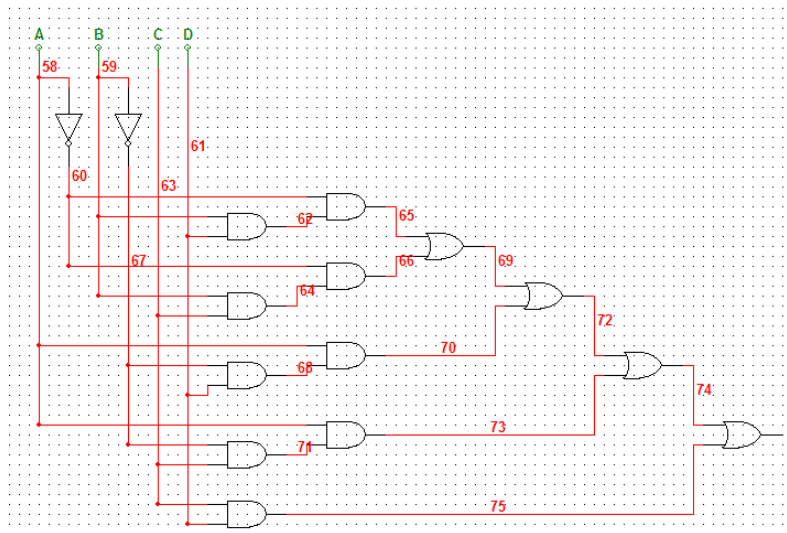
- 2、利用逻辑变换器测试第 1 步电路的功能及函数表达式。



3、利用逻辑变换器设计全加全减器功能电路并测试逻辑功能。

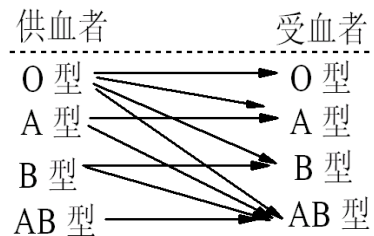
数字电路课程实验报告





四、实验任务

- 1、设 $X=AB$ ，用 74LS138D 加逻辑门实现组合逻辑电路 $Y=X^3$ 。
- 2、设计一个血型配对指示器。输血时供血者和受血者的血型配对情况如图所示，即（1）同一血型之间可以相互输血；（2）AB 型受血者可以接受任何血型的输出；（3）O 型输血者可以给任何血型的受血者输血。要求当受血者血型与供血者血型符合要求时绿指示灯亮，否则红指示灯亮。（建议使用 4-16 线译码器加逻辑门电路完成）



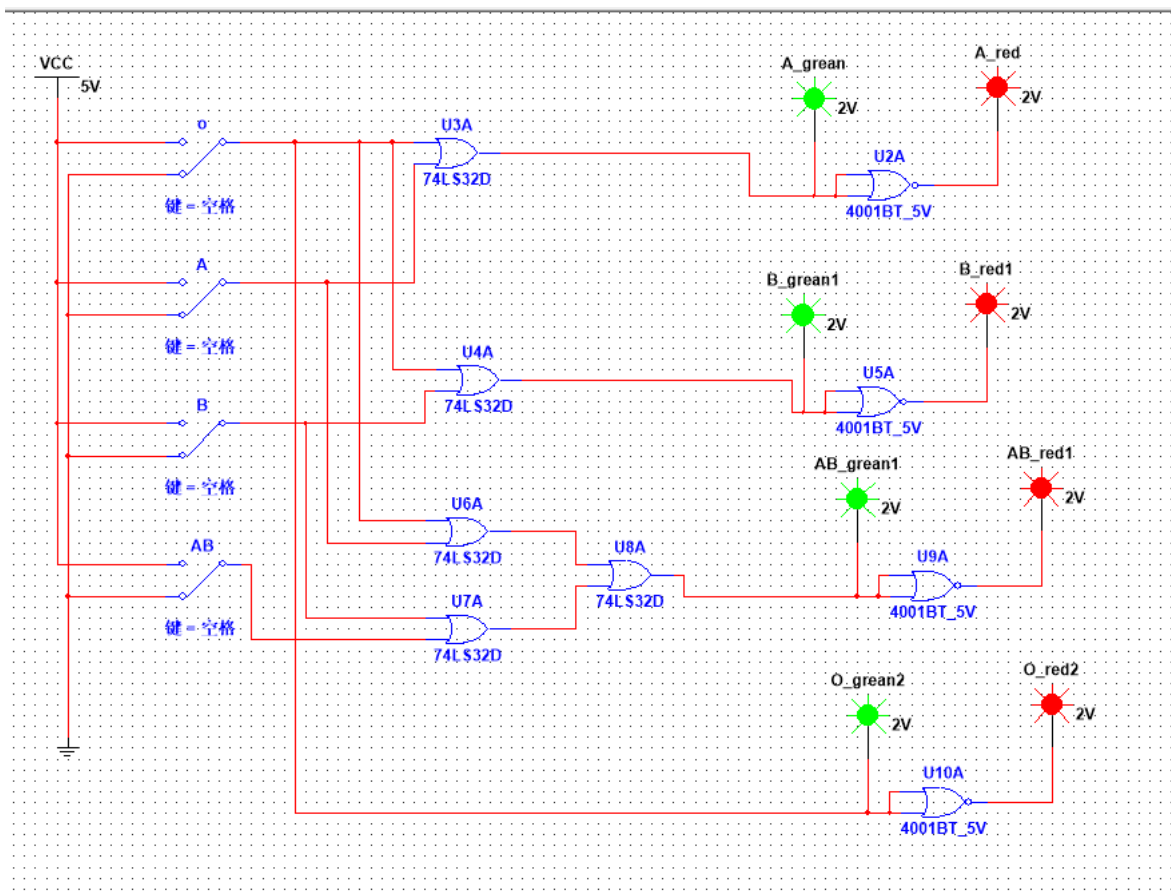


图 4-1 血型

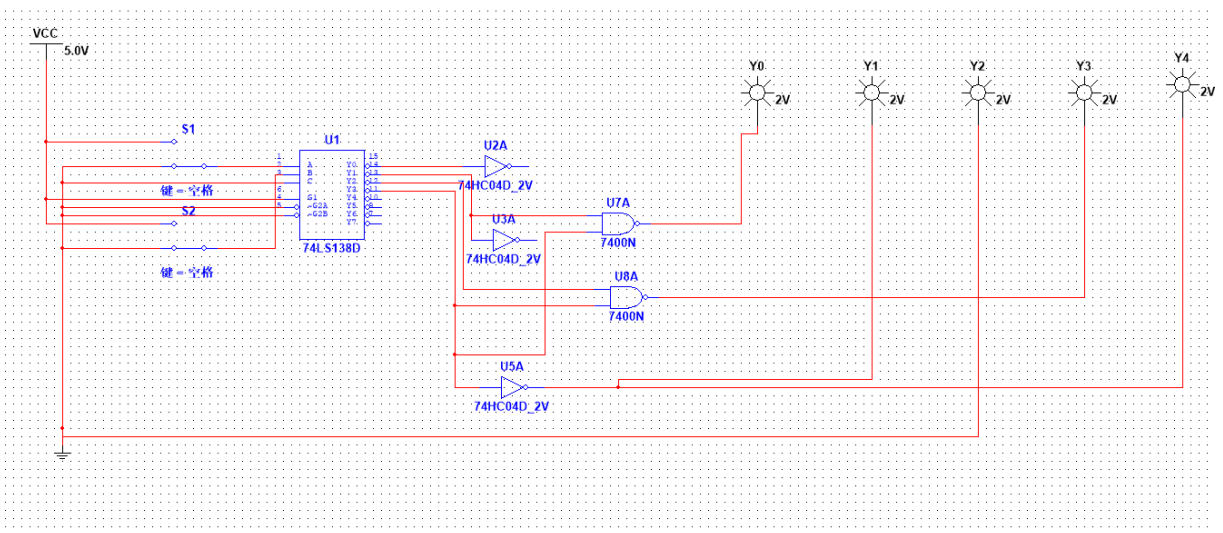


图 4-2 X^3

关于三次方的仿真思路。 X 为两位输入，采用两个开关模拟。列出真值表，转换成 10 进制进行三次方分析。最小为 0，最大为 27（十进制）。输出仍表示成二进制权位组合， Y_0 为 1， Y_1 为 2， Y_2 为 4， Y_3 为 8， Y_4 为 16，把其结果按真值表进行组合，即可得到上图。

血型匹配采取与众不同的思路。把四种血型按对应四输入，是否对应 0/1，要求一次只

有一个有效输入，其匹配的血型（能够接受输入输血的相应血型）亮起绿灯，否则为红灯。

实验四 RS 触发器和 JK 触发器

一、 实验目的

- 1、熟悉 Multisim14.0 仿真软件环境；
- 2、掌握常用触发器的特性及设计方法；
- 3、掌握描述触发器逻辑功能的真值表，特征方程及波形图。

二、 实验原理

触发器 flip-flop 其实译作反转器更加合适，是时序逻辑电路的基本单元。可以保持输入信号的结果不变，从而作为一个新的输入信号影响下一次输出结果，这就是所谓记忆功能。时序逻辑电路的输出结果与输入和电路状态有关。

下图中展示的为 RS 触发器，是其他触发器的基本单元。RS 触发器可以由多种组成，其中这里展示的由与非门加反馈线的构成。RS 触发器功能请阅读参考文献。

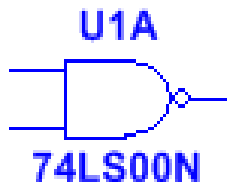


图 4-1 74LS00N

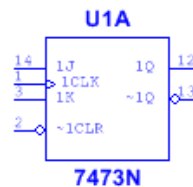


图 4-2 7473N

三、 实验任务

- 1、按图 4-3 所示创建 RS 触发器，通过探测器观察数据。探测器亮表示数据为“1”，探测器灭表示数据为“0”。通过改变开关 J1, J2 的状态改变 R, S 的输入。当触发器的输入 R=0, S=1, 时，触发器的输出 Q=0，取其他数据列出 RS 触发器真值表并列出特征方程。
- 2、按图 4-4 所示创建 JK 触发器，通过改变三个开关改变输入数据，按对应开关的开关键符合，即可改变开关位置从而改变输入数据，电源 V2 和地分别表示数据 1 和 0。改变开关 J3，改变 1CLR 的状态，改变 J1, J2 改变 J, K 的输入，在逻辑分析仪中观

数字电路课程实验报告

察波形，并记录输出 Q 的值。1CLR=0 时，观测清零。

3、实验要求

- (1) 简述两类触发器的原理
- (2) 记录不同输入的仿真结果，画真值表或波形图，并与触发器理论上的输出值进行比较。
- (3) 整理实验数据，分析实验结果与理论是否相符。

原理：

RS 触发器为加入反馈线，而且要保证不能同时置 1，即可同置 0 时保持不变。JK 触发器可以再 RS 基础上加入大反馈线实现。它可以看成时 RS 触发器的一种升级版，可同时置 1，此时相当于 T 触发器，实现反转功能。下表为 RS 真值表。

A	B	Y0	Y1
0	0	0	0
0	1	1	0
0	0	1	0
1	0	0	1
0	0	0	1
1	1	X	X

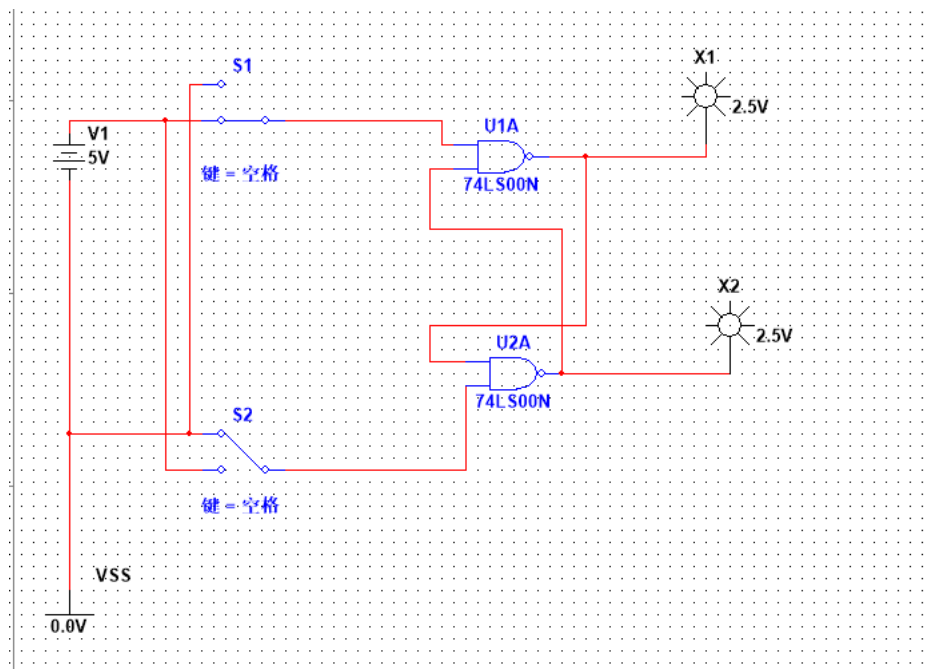


图 4-3 RS 触发器

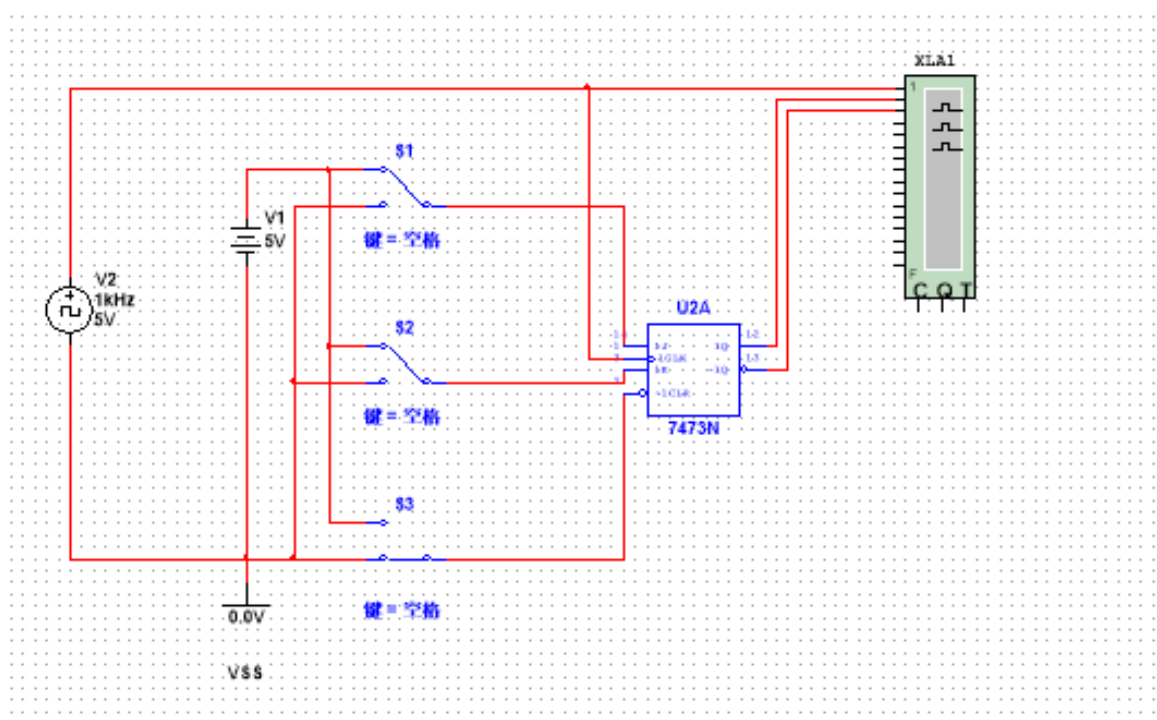


图 4-4 JK 触发器

下表为 JK 真值表。这里省略了 clk 的变化，默认表示当输入变化是恰好是下降沿。

J	K	Q _n	Q _{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

仿真结果表明完成的很好

实验五 同步时序逻辑电路设计与分析

一、 实验目的

- 1、熟悉 Multisim14.0 仿真软件环境；
- 2、掌握集成触发器的功能和使用方法；

数字电路课程实验报告

3、掌握同步时序逻辑电路的设计与分析的方法。

二、 实验原理

计数器按照时钟脉冲进行加减计数，可以构成分频器、时序发生器等等。按时钟脉冲的数目可以分为同步计数器和异步计数器，按模的不同可分为各种计数器，按功能可分为加或减计数器。

三、 实验任务

1、采用 JK 触发器的模 4 可逆计数器的设计与分析

模 4 计数器要求在 X 输入为 0 时，按照自加 1 递增计数，当 X 输入为 1 时，按照自减 1 递减计数，按照同步时序逻辑电路设计方法和步骤完成电路设计，并分析电路功能。

输入 X	现态		次态	
	y _{2n}	y _{1n}	y _{2n+1}	y _{1n+1}
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

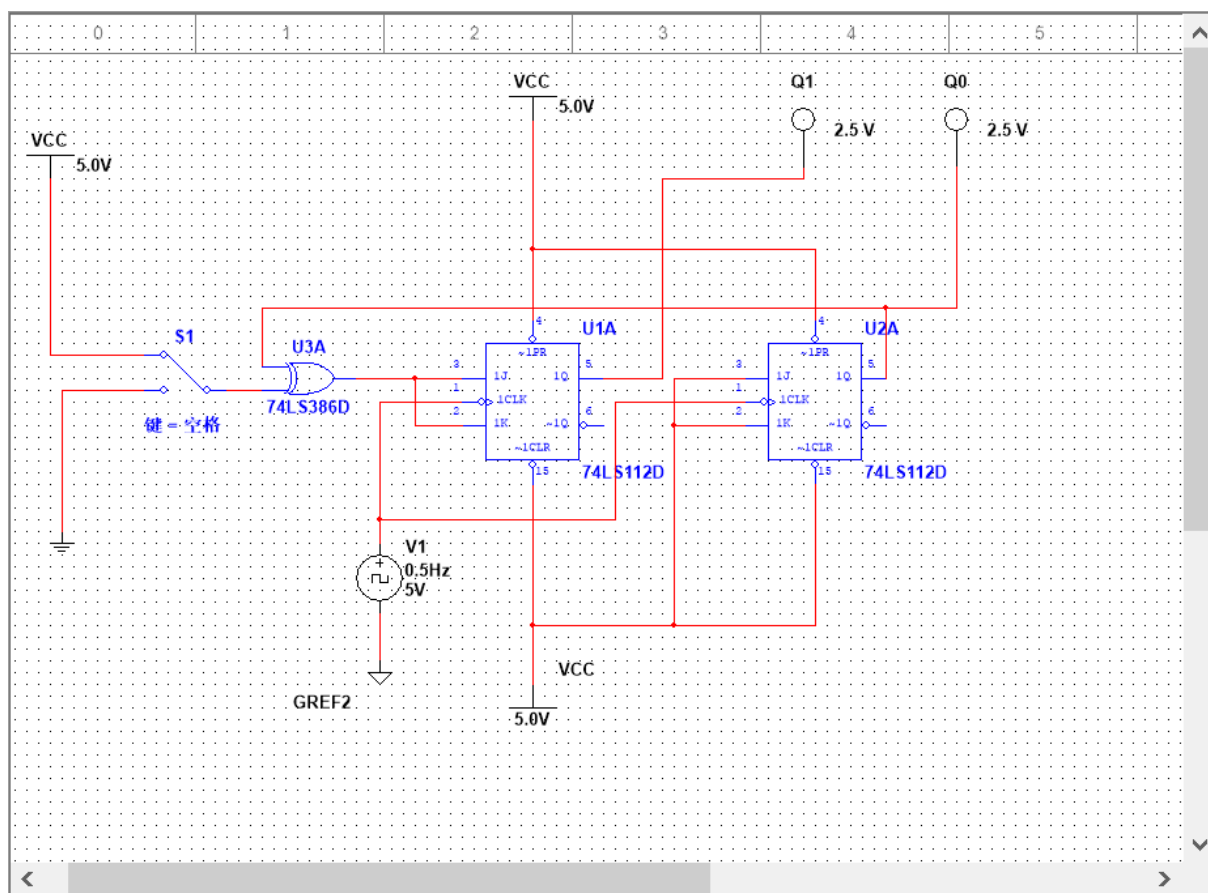


图 3-1

2、请用 D 触发器（74LS74）实现以上模 4 可逆计数器功能。

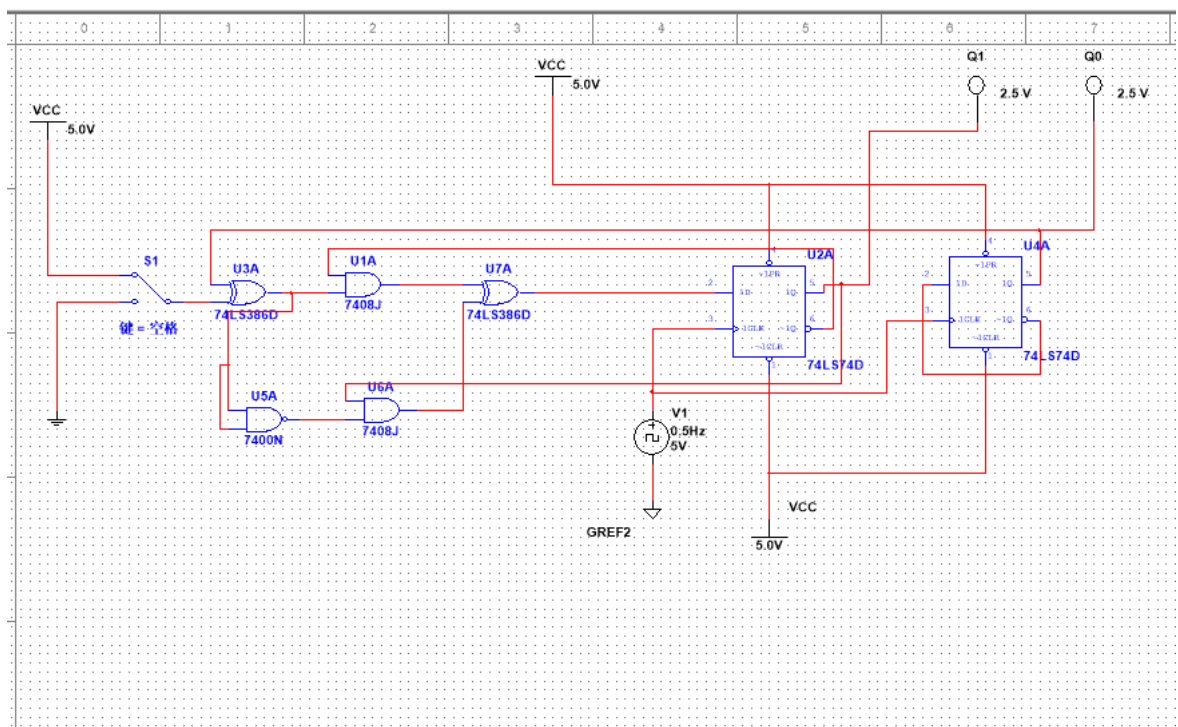


图 3-2 D 触发器实现

实验六 2 位十进制计数器仿真实验

一、 实验目的

- 1、掌握数字电路的仿真方法；
- 2、掌握使用时钟信号源方法；
- 3、学习仿真软件中显示器的使用方法。

二、 实验原理

1、实验中所使用的同步十进制计数器 74160 的功能如表 6-1 所示。

表 6-1 74160 真值表

~CLR	~LOAD	ENP	ENT	CL K	A B C D	QA QB QC QD	RCO
0	x	x	x	x	x x x x	0 0 0 0	ENT·QA·Q
1	0	x	x	↓	x x x x	A B C D	

数字电路课程实验报告

1	1	1	1	↓	x x x x	计数	
1	1	0	x	x	x x x x	保持	
1	1	x	0	x	x x x x	保持	

2、实验原理图如图 6-2 所示。

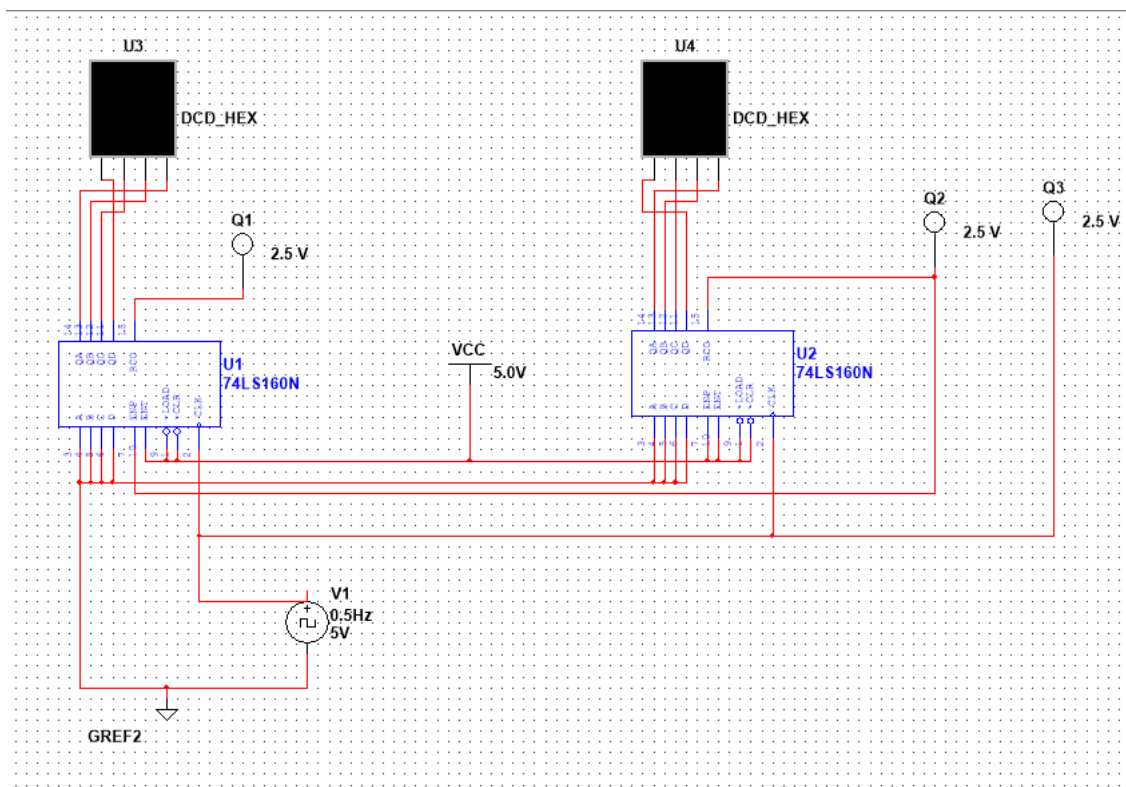


图 6-2 实验原理图

三、 实验示例

按照图 6-2 所示，在仿真软件 Multisim 中完成原理图绘制，观察显示结果，再将时钟信号源频率设置为 100Hz，观察显示结果，并对前后两种显示结果进行简单地比较与分析。



在图 6-2 的基础上, 试设计 2 位 60 进制计数器的电路。

- 解答：

ENT 和 ENP 很明显同时为 1 时可以开始计数，可以制作成拓展端，与其他芯片级联。本题中就是与进位端连接，实现 10 进制到 60 进制的拓展。

28

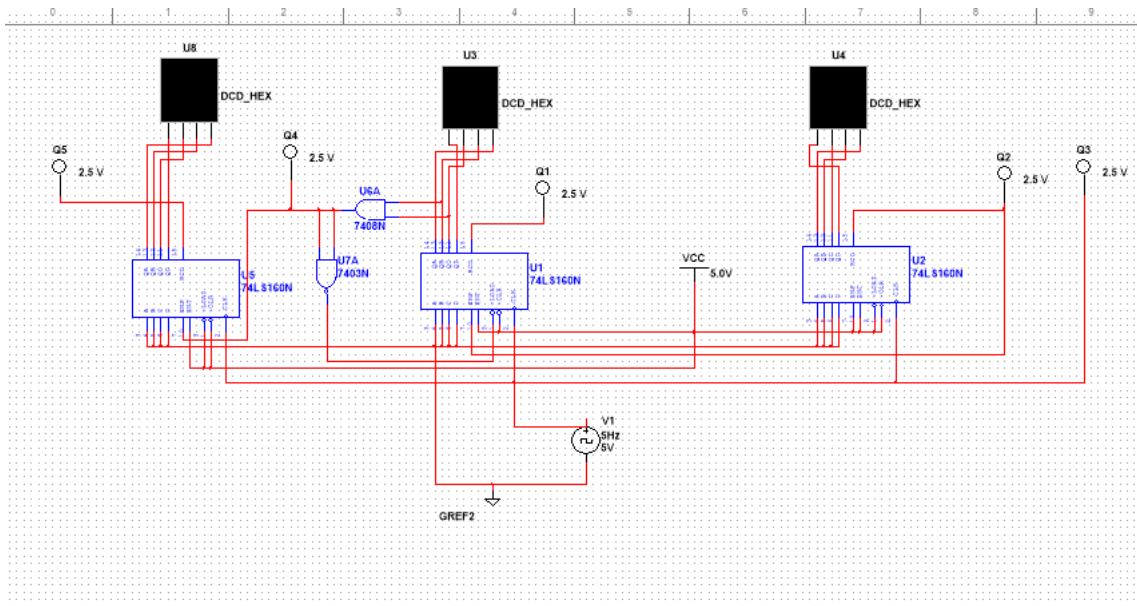


图 4-1 4mode60

第二章 数字电路课程研究性教学活动

一、 小组分工说明

二、 数字抢答器的设计

1. 基本介绍

功能：实现 8 个同学、团队的抢答，号码显示，主持人控制清零、开始，以及报警功能。
应用场合：可以运用于各种需要抢答的场合。在级联拓展后，可以实现更多人员的抢答，甚至可以增加计分功能。

2. 设计原理

抢答电路：

由八个可弹起开关作为输入，由 74ls148 优先编码器进行编码，转为 3 输入，利用 74ls279 进行锁存。锁存的结果由 74ls48 进行解码，输入到共阴极数码显示管中，即可出现抢答的编号。

74ls148 为十分常见的 8-3 编码器，在此不表。74ls279 为集成的多锁存器，各厂家参数不同，本版本的 multisim 中的 74ls279 在互联网上竟然搜索不到详细说明，故以下功能说明皆为自测试结果，如有出入，可能系版本和生产厂家问题。R3 S3 和 Q2 为一组，R1 R2 S1 S2 和 Q1 为一组共同控制，Q 为高电平有效，故 74ls148A0 接 2S3，A1 接

数字电路课程实验报告

2S2、2S1, A2 接 1S3, 即可编码译码。其中 148 的 GS 端为有效输入检测端, 连接 1S2 和 1S1, 反应在 1Q1 上, 当成功抢到的 1Q1 为高, 741s48RBO 端被锁死, 并且连接 148 编码器使能端, 令编码器停止工作, 全输出为 1, 完成锁存。

741s48 的 LT 端和 RBI 端同时为高时开始译码, 四输入七输出。共阴极数码显示管接地。

由主持人 S4 端控制重置, 充值后各部分重新工作。

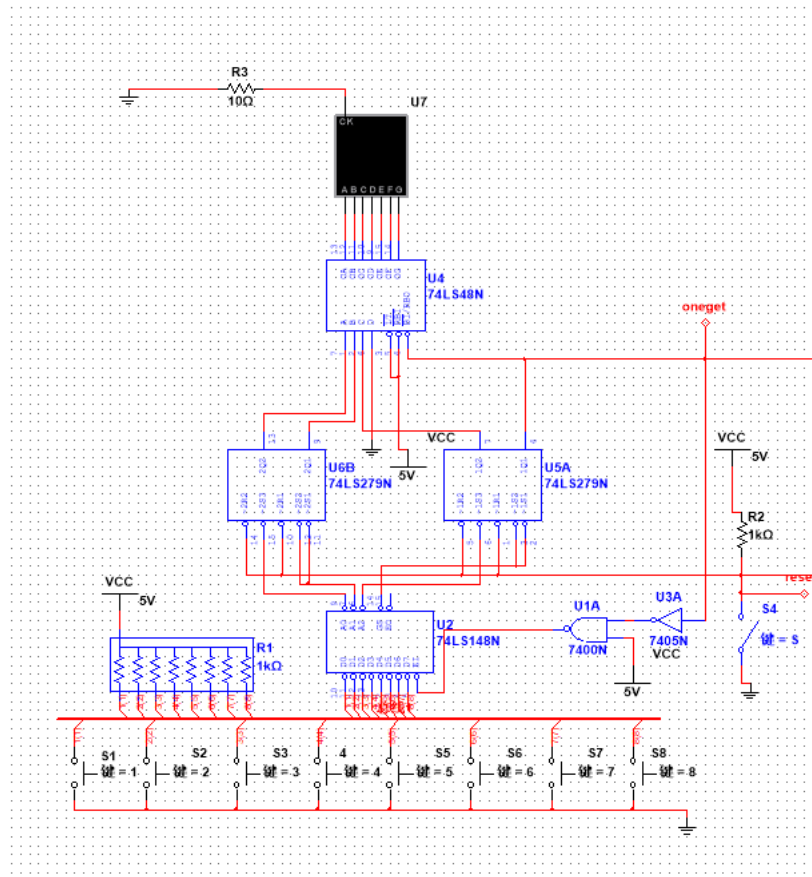


图 2-1 抢答电路

倒计时电路:

主要由全加全减器 741s192 和两块数码显示板组成。计时脉冲由函数发生器产生。由预定数开始倒计时 (减法记数)。此为教科书例题, 不表。

由 S3 主持人控制 load 端重置和开始。并且有人抢到时停止计数。这部分门电路完成。

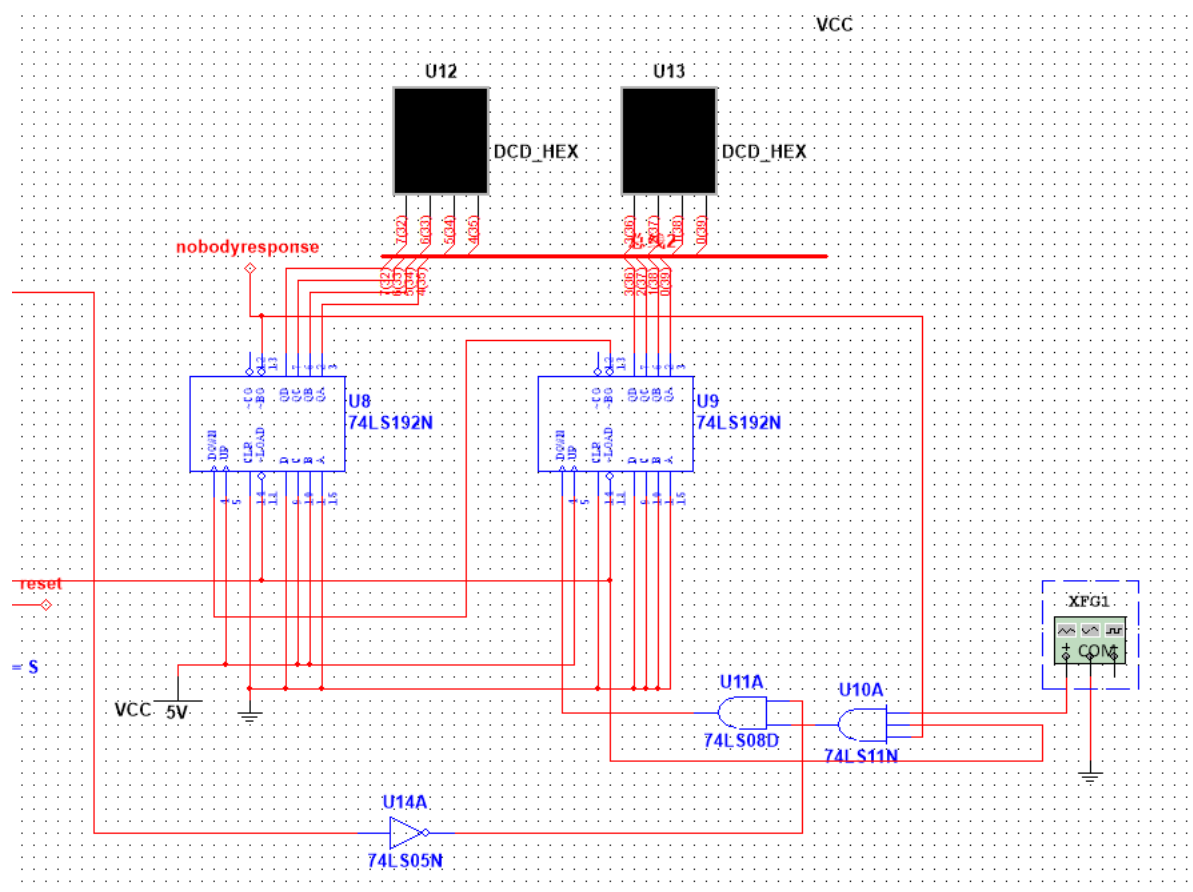


图 2-2 倒计时电路

报警电路：

报警电路有三个条件：开始倒计时、有人在倒计时结束前抢答、倒计时结束无人抢答。

这里本来应该是列出真值表用门电路完成组合，在输入到下一级的，实践中发现这样报警电路不稳定，故采用三个输入分别控制一个单稳态触发器。这里在后文详细讨论。

由简单的单稳态输出一个电平信号到 555 触发器。后者完成定时蜂鸣功能。

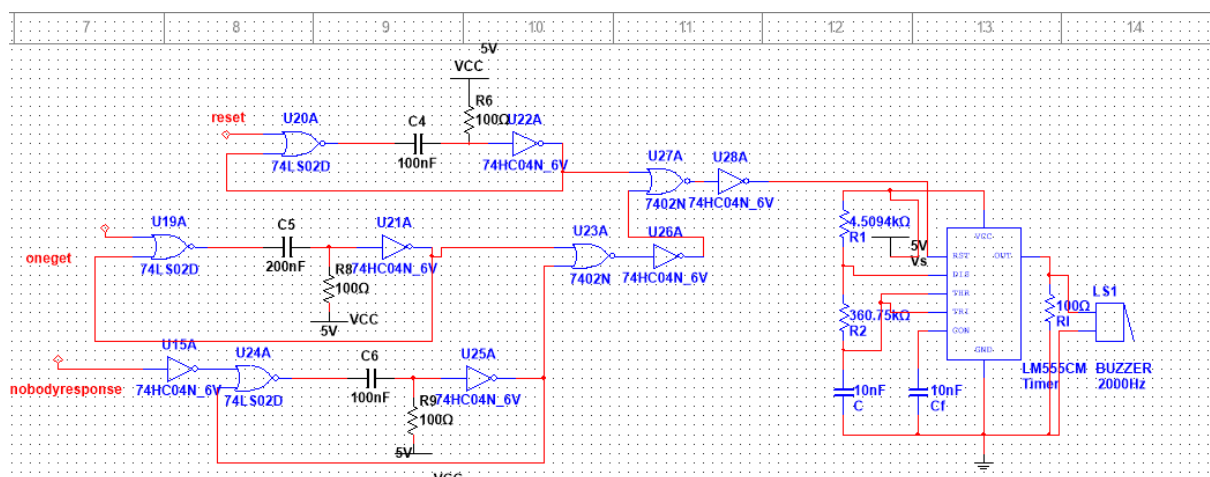
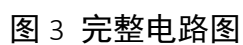


图 2-3 报警电路

仿真结果良好，满足实验要求。

3. 问题解决与收获总结

- 抢答电路中锁存器的样式和数据网站的有所出入，采取了实践的方法自测出了结果。
- 在实验中再次遇到同或门出问题的情况，回忆起前面的讲义中有所提及，更换了别的门器件进行替代效果很好。
- 实践工程问题与理论研究还是有很大差别。比如一开始阴极数码管直接接地，结果抢答后的数字显示总是闪动，猜测可能与电流有关，测量后加入电阻即保持稳定。电阻值大小的测定也是有讲究的，过大没法显示，过小效果不明显。
- 学会了使用总线，使接线更加美观易读，三块主要电路部分采用页连接点进行连接，层次更加分明。
- 发现采用自动弹起的开关产生的信号可能会被当作尖峰电压被过滤掉，不能引起电路变化。可以增加按压时间来解决。但是这样不符合实际工程要求，目前考虑采用放大装置处理。
- 重点讨论报警装置部分。一开始考虑三输入，由门电路组合成一输出，一套单稳态触发装置，一套定时蜂鸣器即可。后来发现电路时好时坏，蜂鸣时间也有长有短，猜测是电容充电还需要时间，如果短时间内，触发多次，效果不好。所以成图如上。
- 要说本次实验最大的收获还是依靠自己、队友和互联网的力量从无到有，搭建出一个完整的电路，把其中的原理设计好，工程部分进行优化。



致 谢

致 谢