

微程序控制器实验报告

2、实验目的：

通过看懂教学计算机中已经设计好并正常运行的数条基本指令（例如，ADD、MVRR、MVRD、JR 等指令）的功能、格式和执行流程，然后自己设计几条指令的功能、格式和执行流程，并在教学计算机上实现、调试正确。其最终要达到的目的是：

- 1. 深入理解计算机微程序控制器的功能、组成知识；
- 2. 深入地学习计算机各类典型指令的执行流程；
- 3. 对指令格式、寻址方式、指令系统、指令分类等建立具体的总体概念；
- 4. 学习微程序控制器的设计过程和相关技术。

3、实验内容：

设计几条指令的功能、格式和执行流程，设计每条微指令各字段的具体编码值，包括控制码的各字段、下地址字段、形成下地址用到的条件码，并在微程序控制模拟仿真软件上实现、调试正确。

一、思考题：

- 1、总结机器指令和微程序之间的关系。
- 2、总结指令的一般流程。

回答：

- 1. 一条机器指令对应一个微程序，这个微程序是由若干条微指令序列组成的。微程序是由微指令组成的，用于描述机器指令，实际上是机器指令的实时解释器，微程序是由计算机的设计者事先编制好并存放在控制存储器中的。
- 2. 完成一条指令，一般包括取指周期和执行周期。有间址寻址的包括间址周期，有中断的包括中断周期。流程一般为，在取值后判断有无间址，有进入间址周期，无直接进入执行周期，执行完判断有无中断，有则进入中断周期，没有就直接下一条指令。

二、设计型实验

- 1. 从给出的 19 条扩展指令中选择 ADC、STC、LDRA 指令，写出指令格式、指令功能和执行流程及对应的微程序

扩展几条指令，确定各步的控制信号。

指令	操作功	微	下	CI3	SCC	MR	I2~0	I8~6	I5~3	B □	A □	SST	SSH	DC2	DC1
----	-----	---	---	-----	-----	----	------	------	------	-----	-----	-----	-----	-----	-----

	能	址	址	~0	3~0	W							Sci		
指令	操作功 能	微 址	下 址	CI3 ~0	SCC 3~0	MR W	I2~0	I8~6	I5~3	B 口	A 口	SST	SSH Sci	DC2	DC1
STC	C=1	57	30	0011	0000	100	000	001	000	0000	0000	100	000	000	000
ADC LDRA DR, [ADR	DR+SR+ CF→DR	50	30	0011	0000	100	001	011	000	1000	1000	001	010	000	000
	PC→AR PC+1→ PC	5B	00	1110	0000	100	011	010	000	0101	0101	000	001	011	000
	MEM → AR	5C	1C	0011	0000	001	111	001	000	1000	0000	000	000	011	000
	MEM → DR	1C	30	0011	0000	001	111	011	000	1000	0000	000	000	000	000

2、设计一条指令的功能、格式和执行流程，并在微程序控制器模拟软件上实现、调试正确。

尹老师刘老师班要求设计的新指令是：

设计一条新的机器指令 **[DR]←SR**，即将原来的基本指令的 **STRR** 变换为另外一个按照下面附表中要求使用的操作码和微程序首地址的新指令，并在微程序控制器模拟软件上实现、调试正确。

操作功能：[DR]←SR

(1) 写出你的学号；

(2) 写出你的学号要求使用的操作码和微程序首地址；

99H 49H

(3) 写出新指令的指令格式；

10011001 DR SR 共 16 位

(4) 划分新指令的执行步骤，并写出每一个执行步骤的说明；

第一步，DR->AR，寄存器间接寻址，DR 为访存地址，故将其先放入 AR 中

第二步，SR->MEM，CC#=0，把 SR 的数据按 AR 值存入存储器中，跳转中断程序

(5) 写出新指令完整的微程序，并对每一个子字段的编码取值进行说明；

指令	操作功能	微 址	下 址	CI3 ~0	SCC 3~0	MR W	I2~0	I8~6	I5~3	B 口	A 口	SST	SSH Sci	DC2	DC1
[DR]←SR	DR->AR	49	50	0011	0000	100	011	001	000	1000	0000	000	000	011	000
Null	SR->MEM, CC#=0	50	50	0011	0000	000	100	001	000	0000	1000	000	000	000	001

第一步。强制转到下一地址即 50H，CI3-0 为 0011，SCC 0000，寄存器内部转移数据和外设无关 MRW100。B 为输入，然后内部总线输出到 AR，所以 I8-I0 001000011。加法运算，不进位 SSH 000 SCI 000。接受到 AR DC2 011。只用到地址总线 DC1

000

第二步。强制转到中断程序, 30H, CI3-0 为 0011, SCC0000.写内存, MRW 为 000.SR 设置为 A 口 I8-0 001000100, SST SSH 000. DC2 000, ALU 结果输出到内部总线 DC1 001.

(6) 写出完整的调试程序, 并说明每一条指令的功能
设置 R0 为 2100H R1 为 9949

e2000 写入无助记符的指令 9901 最后补入 ret 放回 dos

g2000 开始运行

D2100 查看内存数值

(7) 要在微程序控制器模拟仿真程序上实现和调试验证。给出进行新指令和验证调试过程的截图(微程序入口地址截图、微程序表截图、编写汇编调试验证的截图。截图要局部放大能看的清楚), 结合调试截图, 说明一下上述运行结果是如何验证了新指令的正确性的。(注意: 学生学号不同, 使用的操作码和微程序首地址也不同)。

模拟仿真软件		微程序设计														
		指令微程序表														
微址	指令	操作功能	下址	CI30	SCC30	MRW	I20	I86	I53	B口	A口	SST	SSH	DC2	DC1	
00	ALL	S->PC, DM=0	00	1110	0000	100	001	011	010	001	0101	0101	000	001	111	000
01	ALL	PC->AR, PC+1->	00	1110	0000	100	011	010	000	0101	0101	000	001	011	000	
02	ALL	MEM->IR	00	1110	0000	001	000	001	000	0000	0000	000	000	001	000	
03	ALL	/MAP	00	0010	0000	100	000	001	000	0000	0000	000	000	000	000	
04	ADD	DR<SR->DR	30	0011	0000	100	001	011	000	1000	1000	001	000	000	000	
05	SUB	DR<SR->DR	30	0011	0000	100	001	011	001	1000	1000	001	001	000	000	
06	AND	DR&SR->DR	30	0011	0000	100	001	011	100	1000	1000	001	000	000	000	
07	OR	DR SR->DR	30	0011	0000	100	001	011	011	1000	1000	001	000	000	000	
08	XOR	DR^SR->DR	30	0011	0000	100	001	011	110	1000	1000	001	000	000	000	
09	CMP	DR-SR	30	0011	0000	100	001	001	001	1000	1000	001	001	000	000	
0a	TEST	DR&SR	30	0011	0000	100	001	001	100	1000	1000	001	000	000	000	
0b	MOVRR	SR->DR	30	0011	0000	100	100	011	000	1000	1000	001	000	000	000	
0c	INC	DR+1->DR	30	0011	0000	100	011	011	000	1000	0000	001	001	000	000	
0d	DEC	DR-1->DR	30	0011	0000	100	011	011	001	1000	0000	001	000	000	000	
0e	SHL	SHL_DR	30	0011	0000	100	011	111	000	1000	0000	110	100	000	000	
0f	SHR	SHR_DR	30	0011	0000	100	011	101	000	1000	0000	101	100	000	000	
10	JR_CND	JRCnd_OFFSET	30	0011	0100	000	000	001	000	0000	0000	000	000	000	000	
11	JR	OFFSET+PC->PC	30	0011	0000	100	101	011	000	0101	0101	000	000	000	010	
12	INOUT	PORT->AR	14	0011	0110	100	111	001	000	0000	0000	000	000	011	010	
13	-	IO->IO	30	0011	0000	010	011	001	000	0000	0000	000	000	000	001	
14	-	IO->RO	30	0011	0000	011	111	011	000	0000	0000	000	000	000	000	
15	PSHIF	SP-1->SP, AR	1a	0011	0111	100	011	011	001	0100	0000	000	000	011	000	
16	-	FLAG->MEM	30	0011	0000	000	000	001	000	0000	0000	000	000	000	011	
17	POPFI	AP->AR, SP+1->	1c	0011	0111	100	011	010	000	0100	0100	000	001	011	000	
18	-	MEM->FLAG	30	0011	0000	001	000	001	000	0000	0000	010	000	000	000	
19	ALL	SR->MEM, CC#=0	00	1110	0000	100	011	001	000	0000	1000	000	000	011	000	
1a	LORR	SR->AR	30	0011	0000	000	100	001	000	0000	1000	000	000	000	001	
1b	STRR	DR->AR	00	1110	0000	100	100	001	000	1000	0000	000	000	011	000	
1c	ALL	MEM->DR, CC#=0	30	0011	0000	001	111	011	000	1000	0000	000	000	000	000	
1d	MWRD	PC->AR, PC+1->	1c	0011	0000	100	011	010	000	0101	0101	000	001	011	000	
1e	JMPA	PC->AR, PC+1->	24	0011	0000	100	011	010	000	0101	0101	000	001	011	000	
1f	CALA	PC->AR, PC+1->	00	1110	0000	100	011	010	000	0101	0101	000	001	011	000	
20	-	MEM->Q	00	1110	0000	001	111	000	000	0000	0000	000	000	000	000	
21	-	SP-1->SP, ->AR	00	1110	0000	100	011	011	001	0100	0000	000	000	011	000	
22	-	PC->MEM, Q->P	30	0011	0000	000	010	010	000	0101	0101	000	000	000	001	
23	RET	SP->AR, SP+1->	00	1110	0000	100	011	010	000	0100	0100	000	001	011	000	
24	-	MEM->PC, CC#=0	30	0011	0000	001	111	011	000	0101	0000	000	000	000	000	
30	ALL	STR->Q, CC#=1	3a	0011	0010	100	111	000	000	0000	0000	000	000	000	011	
31	-	PC->AR, PC+1->	02	0011	0000	100	011	010	000	0101	0101	000	001	011	000	
3a	ANDI	ANDI_DR	24	0011	0000	100	011	000	000	0000	0000	000	000	000	000	
49	[DR]<-SR	DR->AR	50	0011	0000	100	011	001	000	1000	0000	000	000	011	000	
50	null	SR->MEM, CC#=0	30	0011	0000	000	100	001	000	0000	1000	000	000	000	001	

eu	b4
e4	5b
e5	5d
e6	61
e7	5f
ef	67
99	49

3d	-	[DR]<[SR]	31	0011	0000	100	011	001	000	1000	0000	000	000	011	000
49	[DR]<-SR	DR->AR	50	0011	0000	100	011	001	000	1000	0000	000	000	011	000
50	null	SR->MEM, CC#=0	30	0011	0000	000	100	001	000	0000	1000	000	000	000	001

```

R9=0000 R10=0000 R11=0000 R12=0000 R13=0000 R14=0000 R15=0000
>a2000
2000: mvrld r0,2100
2002: mvrld r1,9949
2004:
>e2004
2004: 9901
>a2005
2005: ret
2006: u2000
***ERROR***~
2006: u2000
***ERROR***~
2006:
>u2000
2000: 8800 2100 MVRD R0, 2100
2002: 8810 9949 MVRD R1, 9949
2004: 9901
2005: 8F00 RET R0, R0
2006: 0000 ADD R0, R0
2007: 0000 ADD R0, R0
2008: 0000 ADD R0, R0
2009: 0000 ADD R0, R0
200a: 0000 ADD R0, R0
200b: 0000 ADD R0, R0
>g2000
R0=2100 R1=9949 R2=0000 R3=0000 SP=2780 PC=2000 R6=0000 R7=0000 R8=0000
R9=0000 R10=0000 R11=0000 R12=0000 R13=0000 R14=0000 R15=0000
>d2100
2100: 9949 0000 0000 0000 0000 0000 0000 0000 0000 0000
210a: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
2114: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
211e: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
2128: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
2132: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
213c: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
2146: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
2150: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000
215a: 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000

```

内存 2100 处为 9949 验证成功

(8) 实验体会及总结;

一开始以为可以使用助记符进行操作, 回看课程录像后才知道自定义指令是没有助记符的, 要用 e 命令写入。对于单字长指令的理解更深一层, 并且了解到了诸如 ADD DR, AR 指令目的寄存器为何在中间的设计在硬件上找到了原因。

对于操作数由不同微命令使用, 但是在内存中是同一字的情况, 有了更深的理解。如本题中, R0R1 在微程序中由两步微命令分别使用, 但是在 debug 中是同一个字 9901 中, 通过 SR 可以分别输入, 故 BA 口的顺序如此。

注: 1、每个同学要独立完成并提交一份电子版 (Word 文档) 实验报告;

2、实验报告文件命名为:

3、实验报告提交时间和方式: 下次实验课前提交到课程平台。

附表：新指令的操作码、微程序首地址与学生本人对应的学号：

学号最后一位数	指定使用的操作码	指定微程序首地址
1	91 (H)	41 (H)
2	92 (H)	42 (H)
3	93 (H)	43 (H)
4	94 (H)	44 (H)
5	95 (H)	45 (H)
6	96 (H)	46 (H)
7	97 (H)	47 (H)
8	98 (H)	48 (H)
9	99 (H)	49 (H)
0	9A (H)	4A (H)

***选做题：**

设计扩展指令 STRA [ADR], SR

参照上面设计型实验 2 的（1）~（7）要求完成。