

计算机组成原理研究性教学

——多体交叉存储器设计实验

1. 问题的提出

并行性是提高计算机系统效率的重要途径。交叉存储器是采用相同的存储器，利用并行结构设计方法，提高存储器工作效率的一种特殊存储器。交叉存储器的结构复杂，在随堂存储器扩充的基础上，展开研究性教学，便于学生拓展知识面，提高分析问题解决问题的能力。

2. 问题详细要求

设 CPU 共有 16 根地址线，8 根数据线，并用 M/\overline{IO} 作为访问存储器或 I/O 的控制信号（高电平为访存，低电平为访 I/O）， \overline{WR} （低电平有效）为写命令， \overline{RD} （低电平有效）为读命令。设计一个容量为 64KB 的采用低位交叉编址的 8 体并行结构存储器。画出 CPU 和存储芯片（芯片容量自定）的连接图，并写出图中每个存储芯片的地址范围（用十六进制数表示）。

- 要求：参考教材中关于交叉存储器的原理，给出系统设计方案。包括译码芯片的选择、各个芯片的工作时序设计。
- 考查知识点：
 - （1）片选信号的产生电路设计；
 - （2）地址锁存电路设计；
 - （3）数据信号线的电路设计；
 - （4）控制信号线的设计；
 - （5）交叉存储的实现。

需要注意的问题：

- (1) 多体存储器是如何实现 1/8 存储器周期就能够读取一次数据的；
- (2) 各个存储器提的启动信号和地址、数据、片选信号的关系；
- (3) 交叉存储器并行工作原理，与普通存储器结构上的主要差别。

3. 设计方案

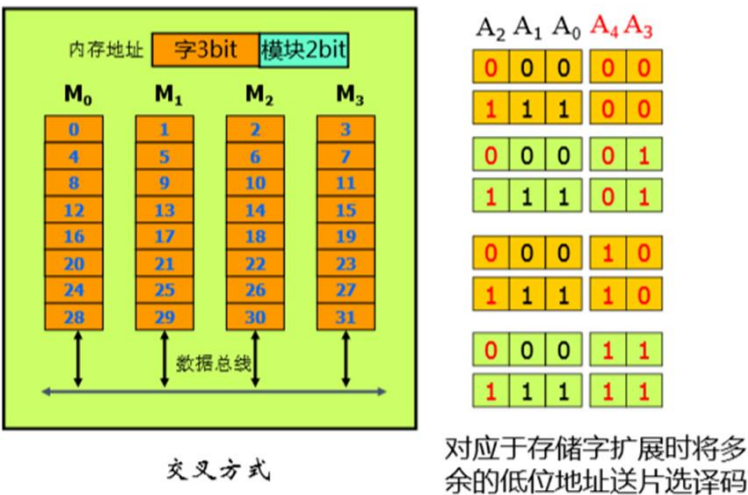
1) 多体并行交叉存储器概述

多体并行交叉存储器是由多个独立的、容量相同的存储模块构成的多体模块存储器。它解决的主要问题是提高主存储器的数据传输率。每个存储模块都有相同的容量和存储速度，各模块都有各自独立地址寄存器(MAR)、数据寄存器(MDR)、地址译码、驱动电路和读/写电路。每个模块各自以等同的方式与 CPU 传递信息，既能并行工作，又能交叉工作。

交叉访问的存储器通常有两种工作方式：地址码高位交叉，地址码低位交叉。前者主要用来扩大存储容量，后者除了扩大存储容量之外，还可以提高速度。 [1]

本次实验采用低位交叉进行编码。

低位多体交叉存储器的组织方式：



[2]

注意，这里的图片只是做低位存储器原理的释义，和本实验具体安排

没有关系。

数据组织特点：相邻地址处于不同存储体中每个存储体均需地址寄存，多模块并行（局部性原理），性能提升，扩充容量也方便。 [2]

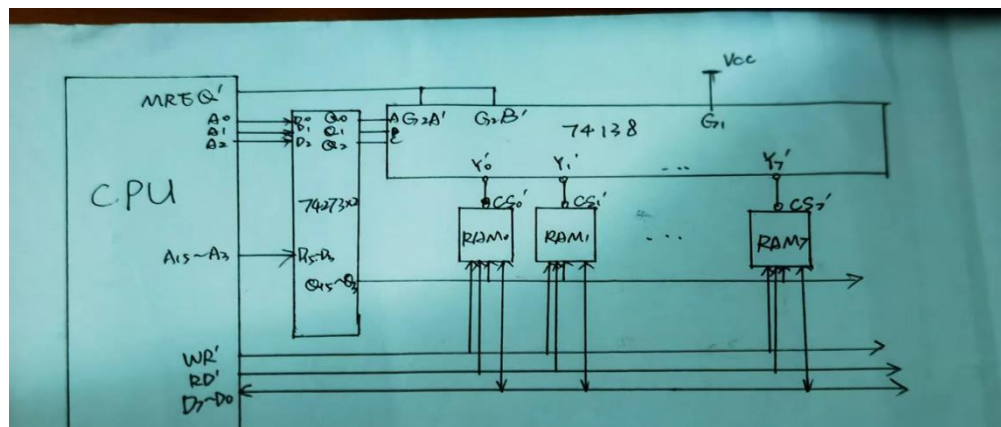
2) 设计细节

共使用八片 8KB 的 RAM 芯片进行设计，组成 64KB 的低位多体交叉存储器。使用 74138 进行片选，地址线 A2-A0 为片选信号，接 C B A 端，地址线 A15-A3 作为块内地址，与各个 RAM 芯片相连。地址锁存使用 2 片 74273 进行锁存，简单起见，在示意图中合成为一片，其时序应当是由 CPU 控制，如常用的 8086 芯片中直接配合 CPU 时序，这里考虑抽象的 CPU 所以忽略 CLK 时序连线。

地址分配：

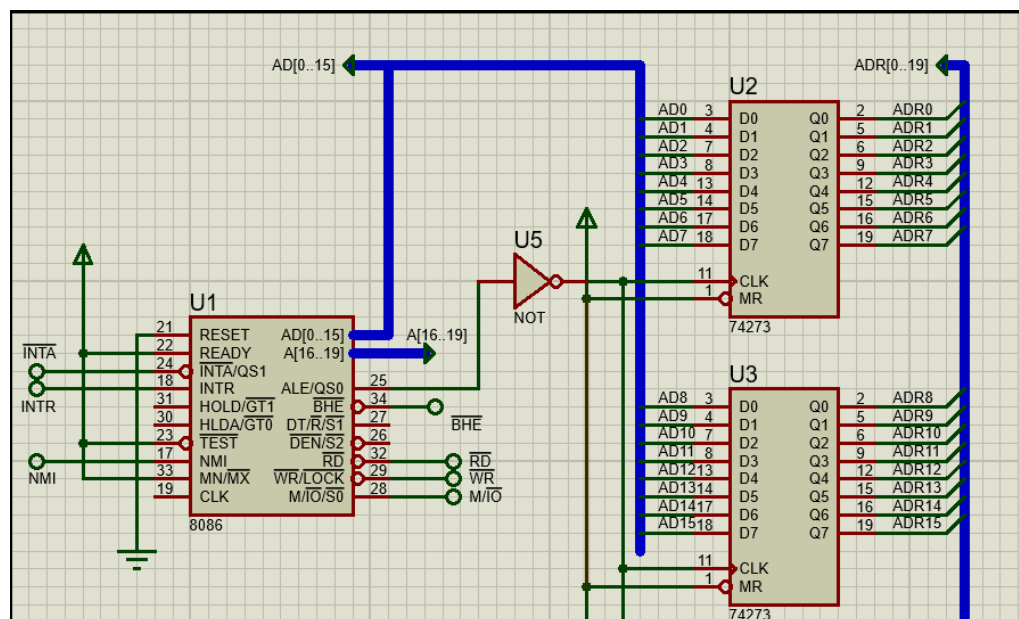
RAM0: 0000H 0008H FFF8
 RAM1: 0001H 0009H FFF9
 RAM2: 0002H 000AH FFFAH
 RAM3: 0003H 000BH FFFBH
 RAM4: 0004H 000CH FFFCH
 RAM5: 0005H 000DH FFFDH
 RAM6: 0006H 000EH FFFEH
 RAM7: 0007H 000FH FFFFH

CPU 与 RAM 连接图如下：



4. 实验总结

- 实验中主要是对课本只是的简单拓展，练习对基本集成芯片的使用，有利于提高熟练度
- 对于低位交叉存储器，与一般情况的片选信号不同，一般情况是高位地址线做片选信号，这里是低位做片选，其实是配合相邻地址的存储单元在相邻的 RAM 中的原则。这样通过一系列配合，就可以提高高速 CPU 与较低速度的内存之间读写的效率了。
- 实验还有许多不足。本来连接示意图打算使用 proteus 软件进行绘制，把抽象 CPU 具体化为 Intel18086，这样美观又简洁，但是画到后边发现 lib 中没有好用的 RAM 芯片，只好作罢。这里放出半成品的图。



- 对题干的一点小想法。题干要求地址锁存电路，但是一般地址和数据线分开的 CPU 都是自带锁存功能的，又如 8086 是地址数据共用，所以需要地址锁存器。所以题干用意是把 CPU 中的地址锁存电路拿出来自己实现一次。

5. 引用

多体交叉存储器设计实验

- [1] 百度百科，多体并行交叉存储器
- [2] 博客园，ice cream