



课堂练习题

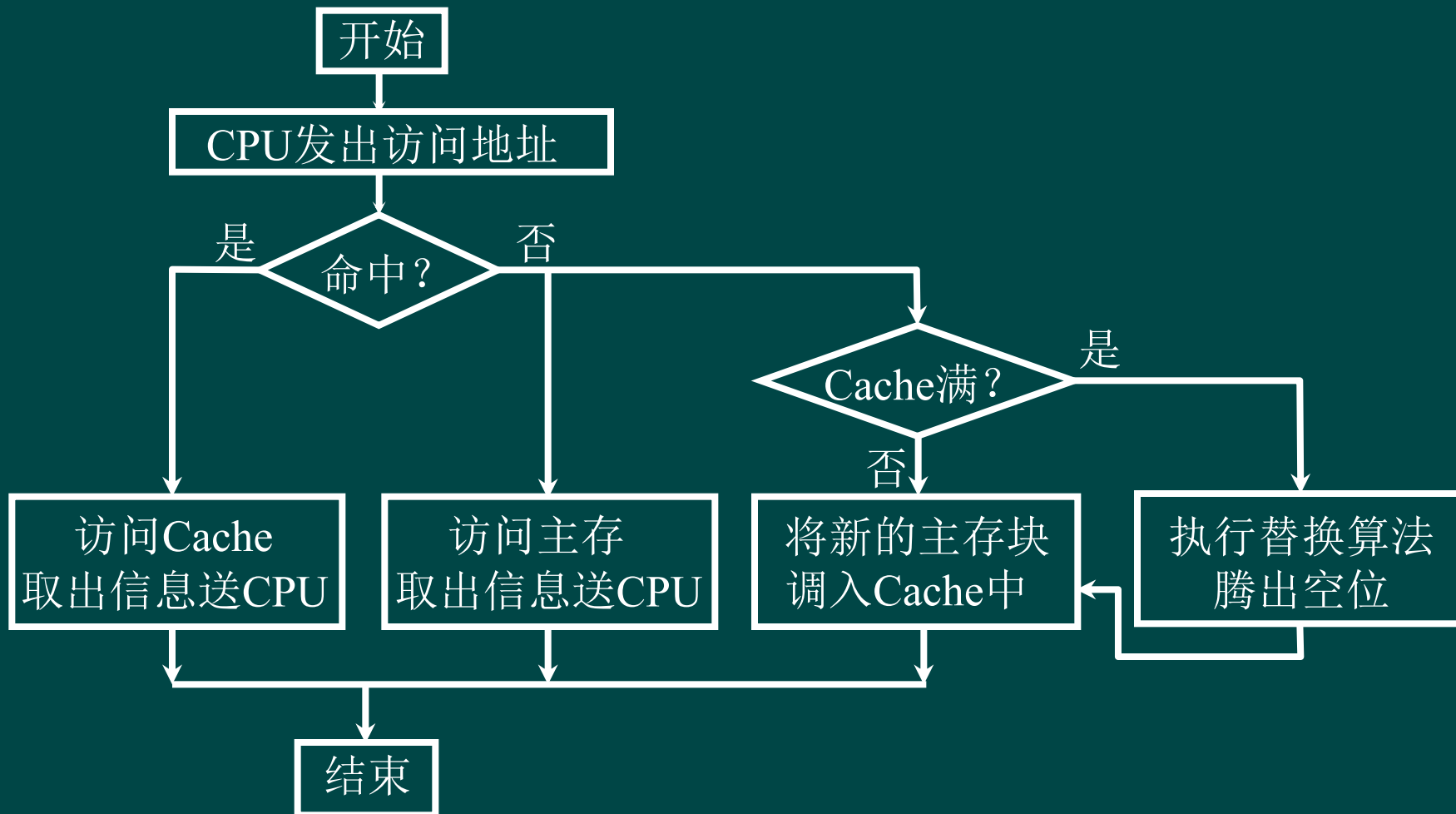
- ◆ 以下关于多体并行系统的描述，哪些是正确的
- ◆ A、每个存储体模块具有相同的容量
- ◆ B、每个存储体模块具有相同的存取速度
- ◆ C、多个存储体模块能够并行工作
- ◆ D、采用低位交叉编址方式，每个存储体内地址是连续的
- ◆ E、高位交叉编址方式有利于存储器的扩充

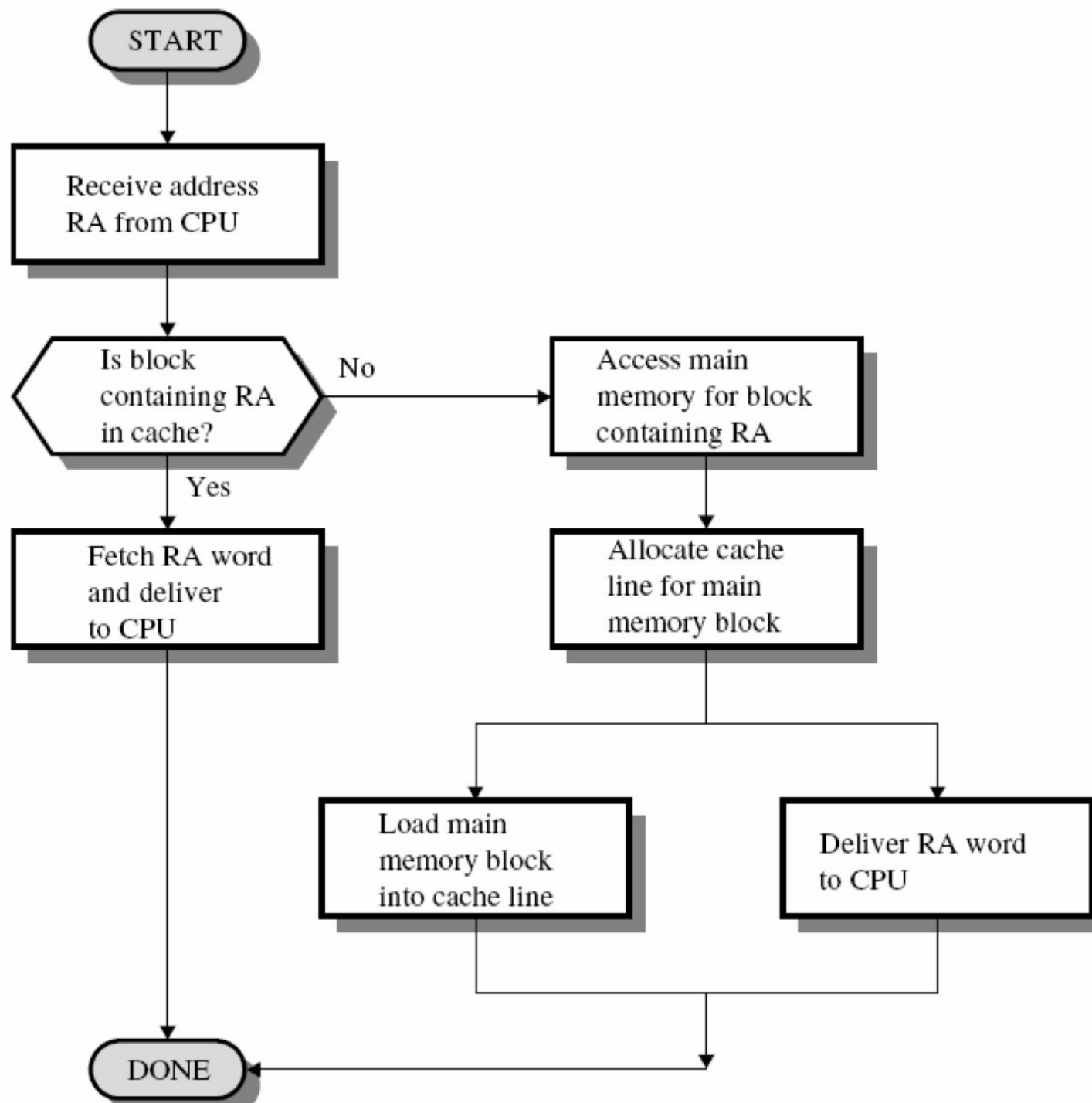
ABCE

课堂练习题

根据Cache的工作原理，如果CPU要访问的存储字不在Cache中，则

- A. 直接将主存中的存储字读出，并通过数据总线传送给CPU
- B. 将主存中该存储字所在的存储块全部调入Cache
- C. CPU与Cache之间的数据交换是以存储字为单位
- D. 每个存储块由若干存储字组成，是定长的





课堂练习题

根据Cache的工作原理，如果CPU要访问的存储字不在Cache中，则

- A. 直接将主存中的存储字读出，并通过数据总线传送给CPU
- B. 将主存中该存储字所在的存储块全部调入Cache
- C. CPU与Cache之间的数据交换是以存储字为单位
- D. 每个存储块由若干存储字组成，是定长的

课堂练习题

Cache的命中率与以下哪些因素有关

A、Cache的容量

B、存储字块长度

C、Cache的存取时间

D、主存的存取时间

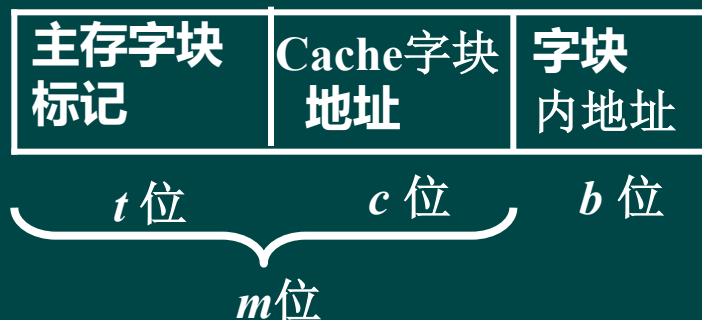
A

课堂练习题

- 1.在直接映射方式中，主存字块号由两部分组成，高位部分是主存字块标记，低位部分是（ ）
- 2.在全相联映射方式中，Cache字块的标记位记录的内容与主存字块号是什么关系



主存地址结构



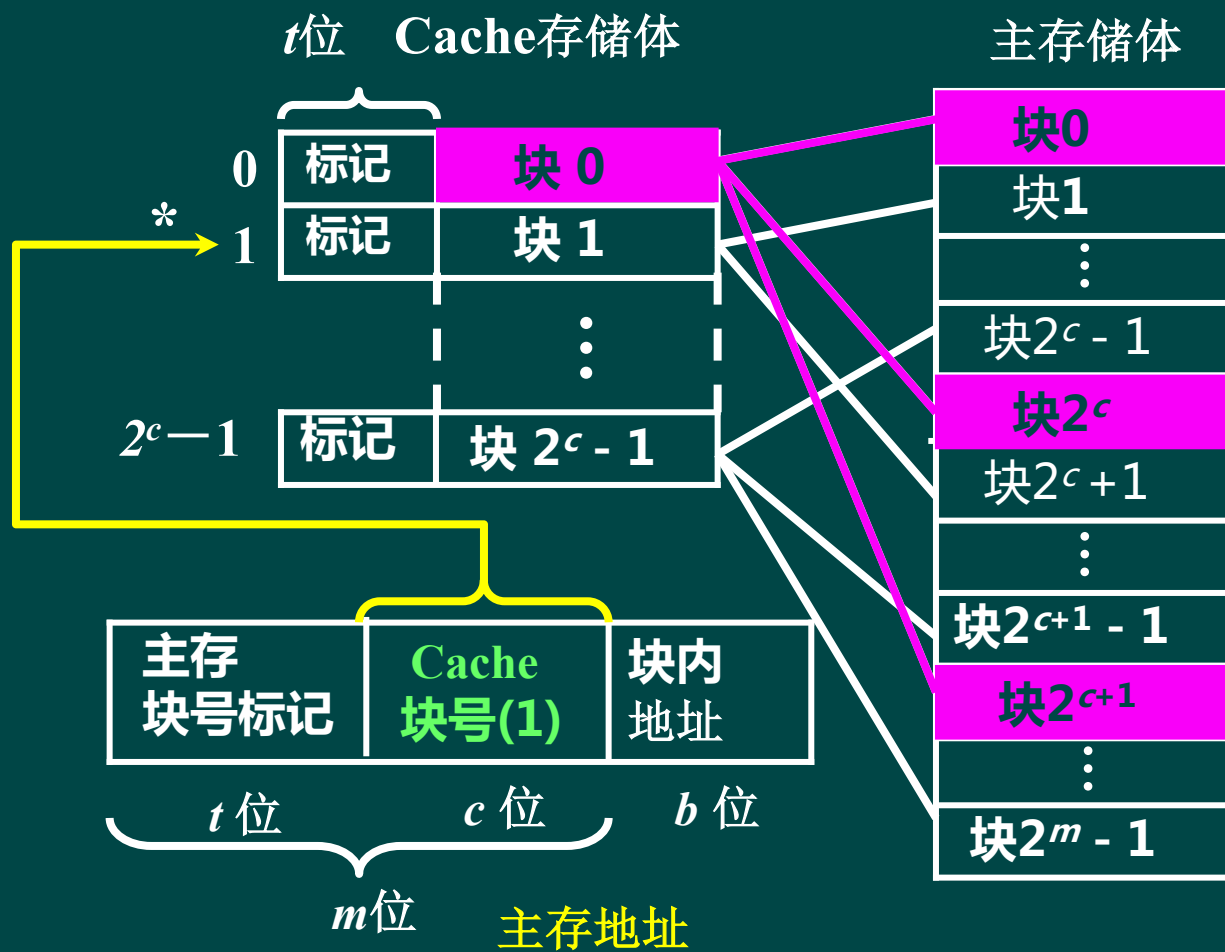
Cache地址结构



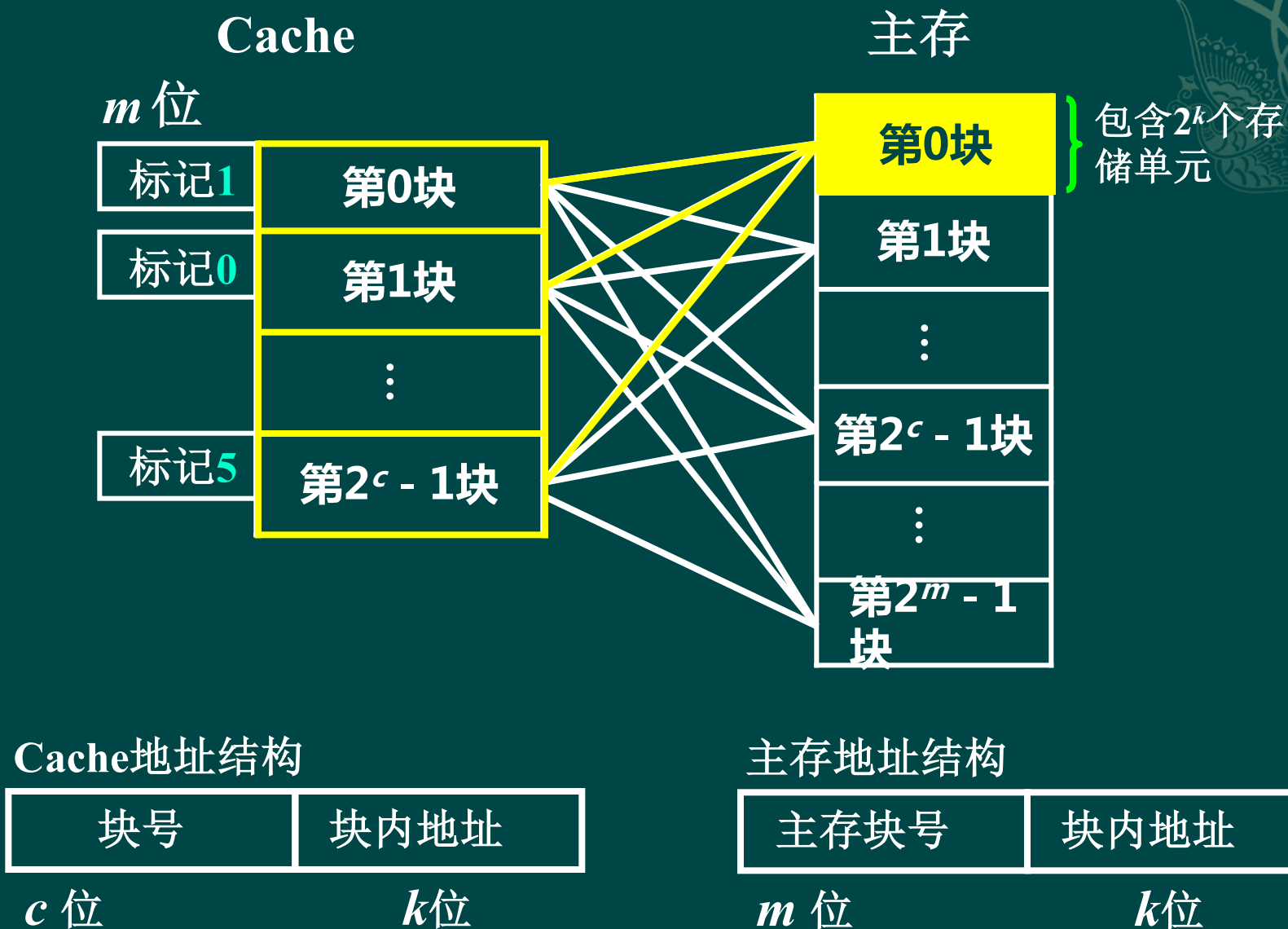
课堂练习题

- 1.在直接映射方式中，主存字块号由两部分组成，高位部分是主存字块标记，低位部分是（Cache字块号）
- 2.在全相联映射方式中，Cache字块的标记位记录的内容与主存字块号是什么关系

直接映射



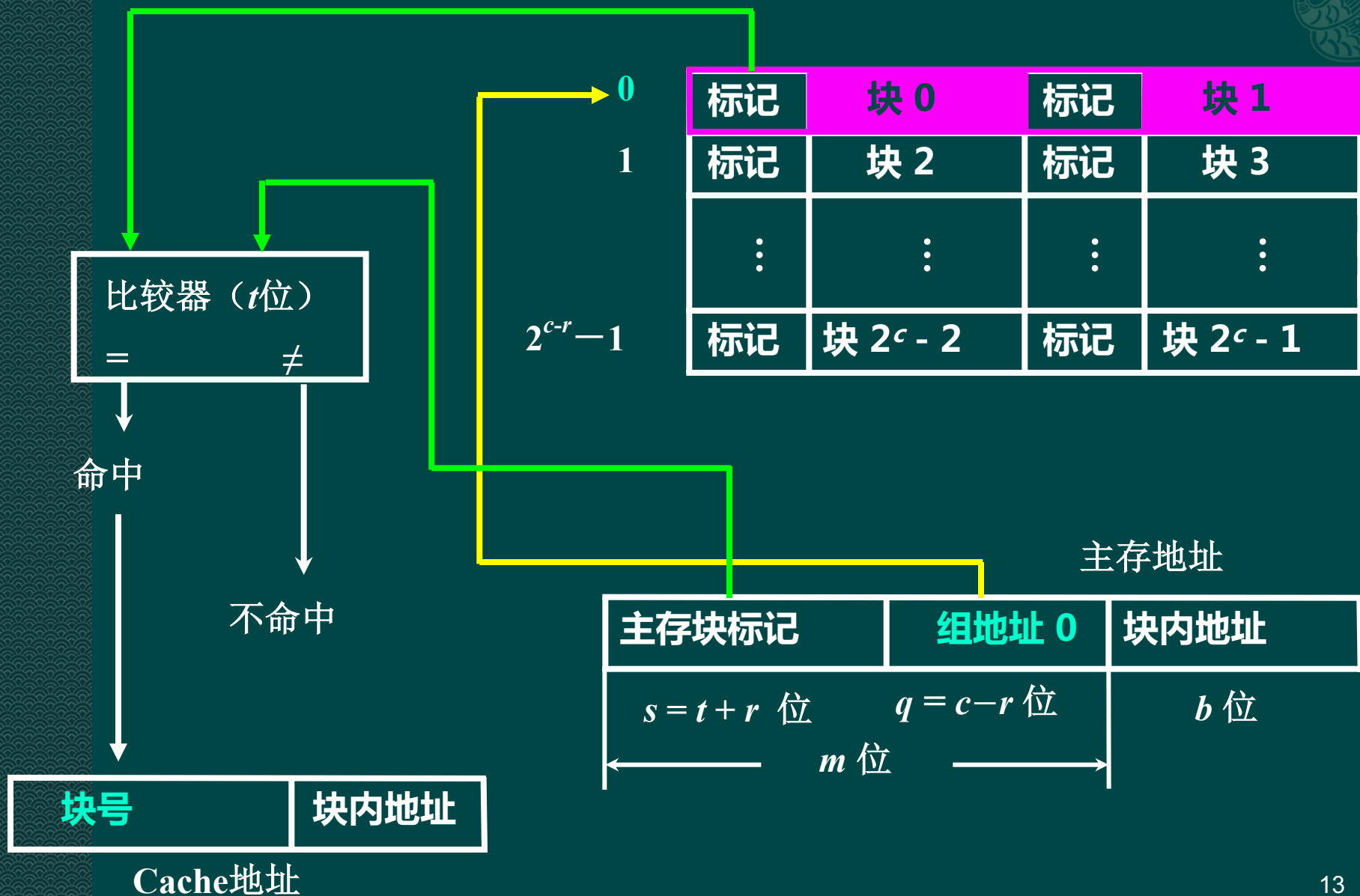
全相联映射



Cache字块标记中存放的是主存字块号

课堂练习题

3.在组相联映射方式中，主存字块号由两部分组成，高位部分是主存字块标记，低位部分是（ ）



课堂练习题

3.在组相联映射方式中，主存字块号由两部分组成，高位部分是主存字块标记，低位部分是（组号）

课后作业

第1题



- ◆ 任意选择一个英文字母（大小写均可），给出该字母加汉明（hamming）校验后的16进制表示形式，能纠1位错即可。要求写出计算过程。
- ◆ 提示：每个字母由8位二进制数表示。例如大写字母A用十进制数表示为65。参见ASCII表

ASCII表

(American Standard Code for Information Interchange 美国标准信息交换代码)

高四位 低四位	ASCII控制字符												ASCII打印字符												
	0000						0001						0010	0011	0100	0101	0100	0111							
	0						1						2	3	4	5	6	7							
	十进制	字符	Ctrl	代码	转义字符	字符解释	十进制	字符	Ctrl	代码	转义字符	字符解释	十进制	字符	十进制	字符	十进制	字符	十进制	字符	十进制	字符	十进制	字符	Ctrl
0000	0	0		^@	NUL	\0 空字符	16	►	^P	DLE		数据链路转义	32		48	0	64	@	80	P	96	`	112	p	
0001	1	1	☺	^A	SOH	标题开始	17	◄	^Q	DC1		设备控制 1	33	!	49	1	65	A	81	Q	97	a	113	q	
0010	2	2	☹	^B	STX	正文开始	18	↕	^R	DC2		设备控制 2	34	"	50	2	66	B	82	R	98	b	114	r	
0011	3	3	♥	^C	ETX	正文结束	19	!!	^S	DC3		设备控制 3	35	#	51	3	67	C	83	S	99	c	115	s	
0100	4	4	♦	^D	EOT	传输结束	20	¶	^T	DC4		设备控制 4	36	\$	52	4	68	D	84	T	100	d	116	t	
0101	5	5	♣	^E	ENQ	查询	21	§	^U	NAK		否定应答	37	%	53	5	69	E	85	U	101	e	117	u	
0110	6	6	♠	^F	ACK	肯定应答	22	—	^V	SYN		同步空闲	38	&	54	6	70	F	86	V	102	f	118	v	
0111	7	7	•	^G	BEL	\a 响铃	23	↕	^W	ETB		传输块结束	39	'	55	7	71	G	87	W	103	g	119	w	
1000	8	8	▣	^H	BS	\b 退格	24	↑	^X	CAN		取消	40	(56	8	72	H	88	X	104	h	120	x	
1001	9	9	○	^I	HT	\t 横向制表	25	↓	^Y	EM		介质结束	41)	57	9	73	I	89	Y	105	i	121	y	
1010	A	10	◉	^J	LF	\n 换行	26	→	^Z	SUB		替代	42	*	58	:	74	J	90	Z	106	j	122	z	
1011	B	11	♂	^K	VT	\v 纵向制表	27	←	^[ESC	\e	溢出	43	+	59	;	75	K	91	[107	k	123	{	
1100	C	12	♀	^L	FF	\f 换页	28	└	^\ FS			文件分隔符	44	,	60	<	76	L	92	\	108	l	124		
1101	D	13	♪	^M	CR	\r 回车	29	↔	^] GS			组分隔符	45	-	61	=	77	M	93]	109	m	125	}	
1110	E	14	🎵	^N	SO	\s 移出	30	▲	^^	RS		记录分隔符	46	.	62	>	78	N	94	^	110	n	126	~	
1111	F	15	🎵	^O	SI	\S 移入	31	▼	^_ US			单元分隔符	47	/	63	?	79	O	95	_	111	o	127	␣ ^Backspace 代码：DEL	

注：表中的ASCII字符可以用“Alt + 小键盘上的数字键”方法输入。

◆ 校验码的位置

每个校验位 P_i 在汉明码中被分在编号 2^{i-1} 的位置

A 65 01000001

$d = 8, p = 4$

数据位: D8 D7 D6 D5 D4 D3 D2 D1

校验位: P4 P3 P2 P1

码字: D8 D7 D6 D5 P4 D4 D3 D2 P3 D1 P2 P1

汉明码编号 H_{12} H_{11} H_{10} H_9 H_8 H_7 H_6 H_5 H_4 H_3 H_2 H_1

每个校验位参与二进制序列位置编号为1的数据位的校验

码字	0	1	0	0	P4	0	0	0		1		
	D8	D7	D6	D5		D4	D3	D2	P3	D1	P2	P1
汉明码	H ₁₂	H ₁₁	H ₁₀	H ₉	H ₈	H ₇	H ₆	H ₅	H ₄	H ₃	H ₂	H ₁
编号	H ₁₁₀₀	H ₁₀₁₁	H ₁₀₁₀	H ₁₀₀₁	H ₁₀₀₀	H ₀₁₁₁	H ₀₁₁₀	H ₀₁₀₁	H ₀₁₀₀	H ₀₀₁₁	H ₀₀₁₀	H ₀₀₀₁

$$P1 = D1 \oplus D2 \oplus D4 \oplus D5 \oplus D7 = 0$$

$$P2 = D1 \oplus D3 \oplus D4 \oplus D6 \oplus D7 = 0$$

$$P3 = D2 \oplus D3 \oplus D4 \oplus D8 = 0$$

$$P4 = D5 \oplus D6 \oplus D7 \oplus D8 = 1$$

校验后的数据为 010010000100 = 484H

第2题

- ◆ 需要一个 $8\text{M} \times 8$ 位的主存储器，现有存储芯片为 $256\text{K} \times 4$ 位。问：
- (1) 共需要多少个芯片组成主存储器？
 - (2) 该芯片有多少根地址线，多少根数据线？
 - (3) 说明CPU与存储芯片之间地址线是如何连接的，可画图示意
 - (4) 写出主存地址**160C0FH**所在芯片的最小地址，要求给出计算过程



第2题

- ◇ 需要一个 $8\text{M} \times 8$ 位的主存储器，现有存储芯片为 $256\text{K} \times 4$ 位。问：
(1) 共需要多少个芯片组成主存储器？

64



第2题

- ◆ 需要一个 $8\text{M} \times 8$ 位的主存储器，现有存储芯片为 $256\text{K} \times 4$ 位。问：
- (2) 该芯片有多少根地址线，多少根数据线？

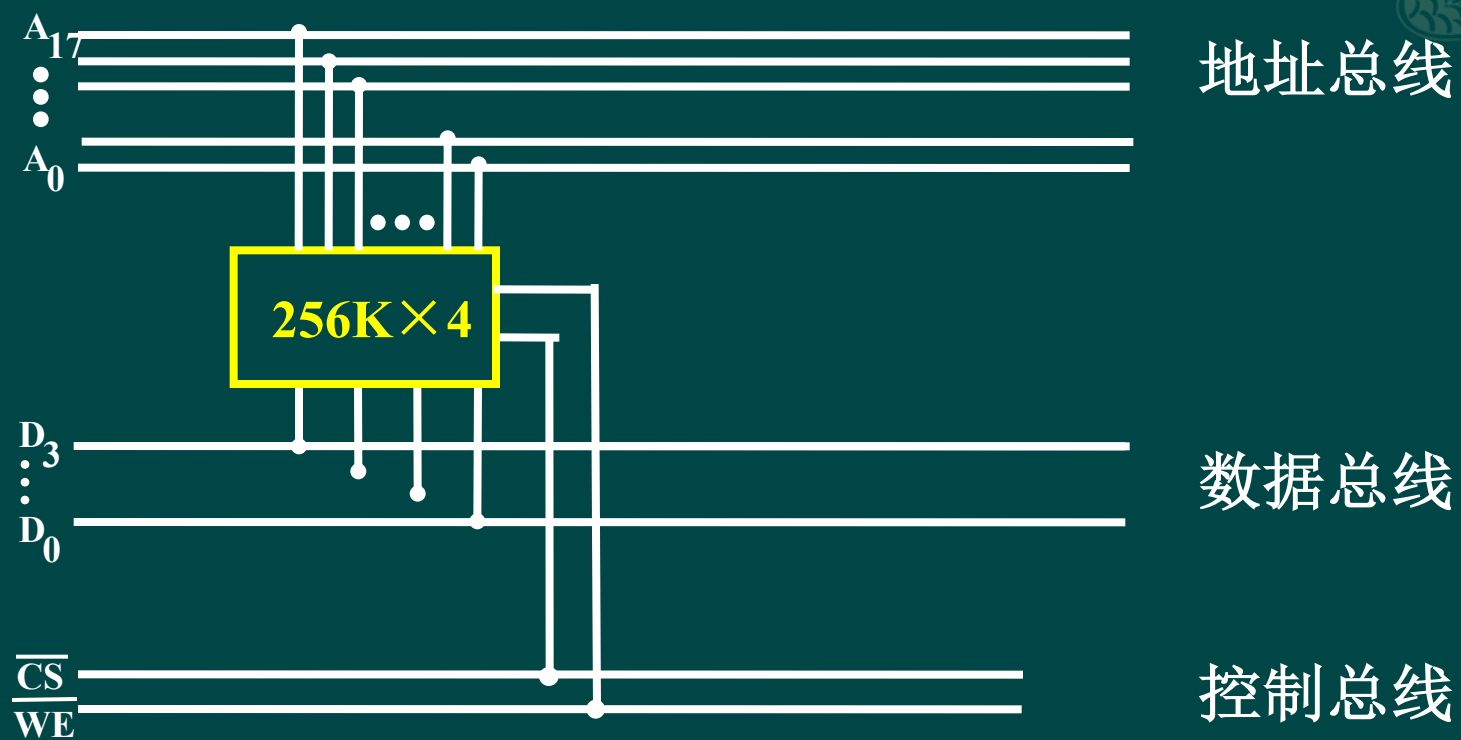
地址线 18

数据线 4



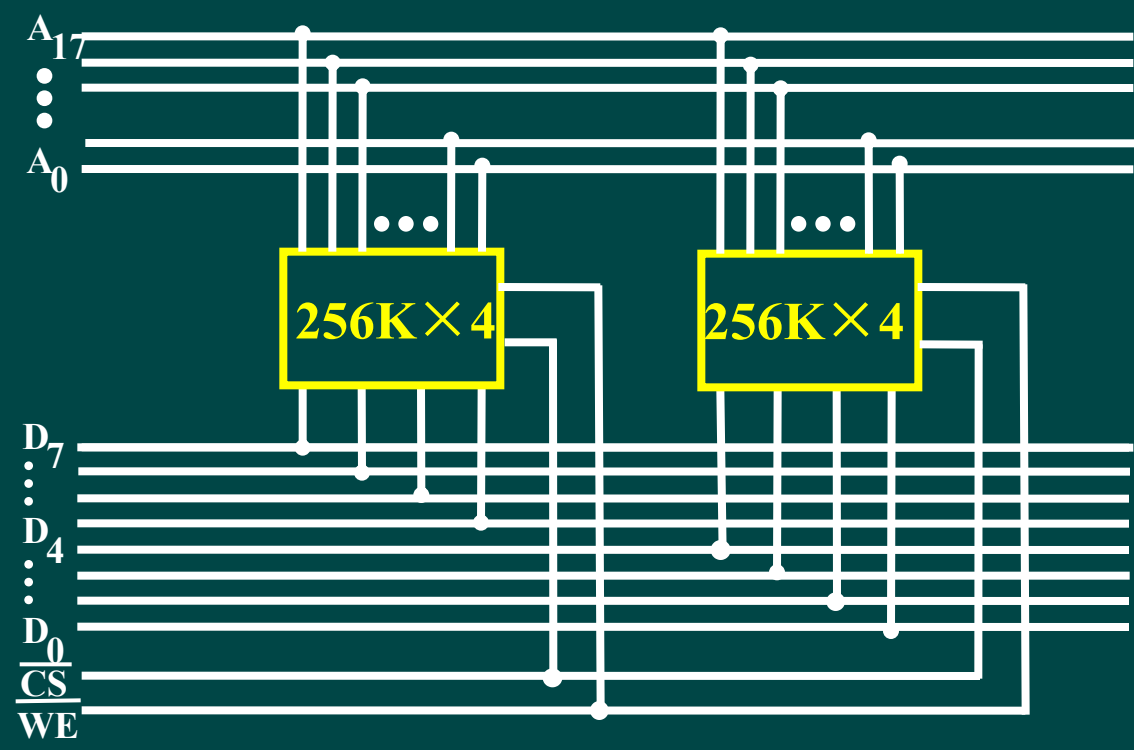
第2题

- ◆ 需要一个 $8\text{M} \times 8$ 位的主存储器，现有存储芯片为 $256\text{K} \times 4$ 位。问：
- (3) 说明CPU与存储芯片之间地址线是如何连接的，可画图示意

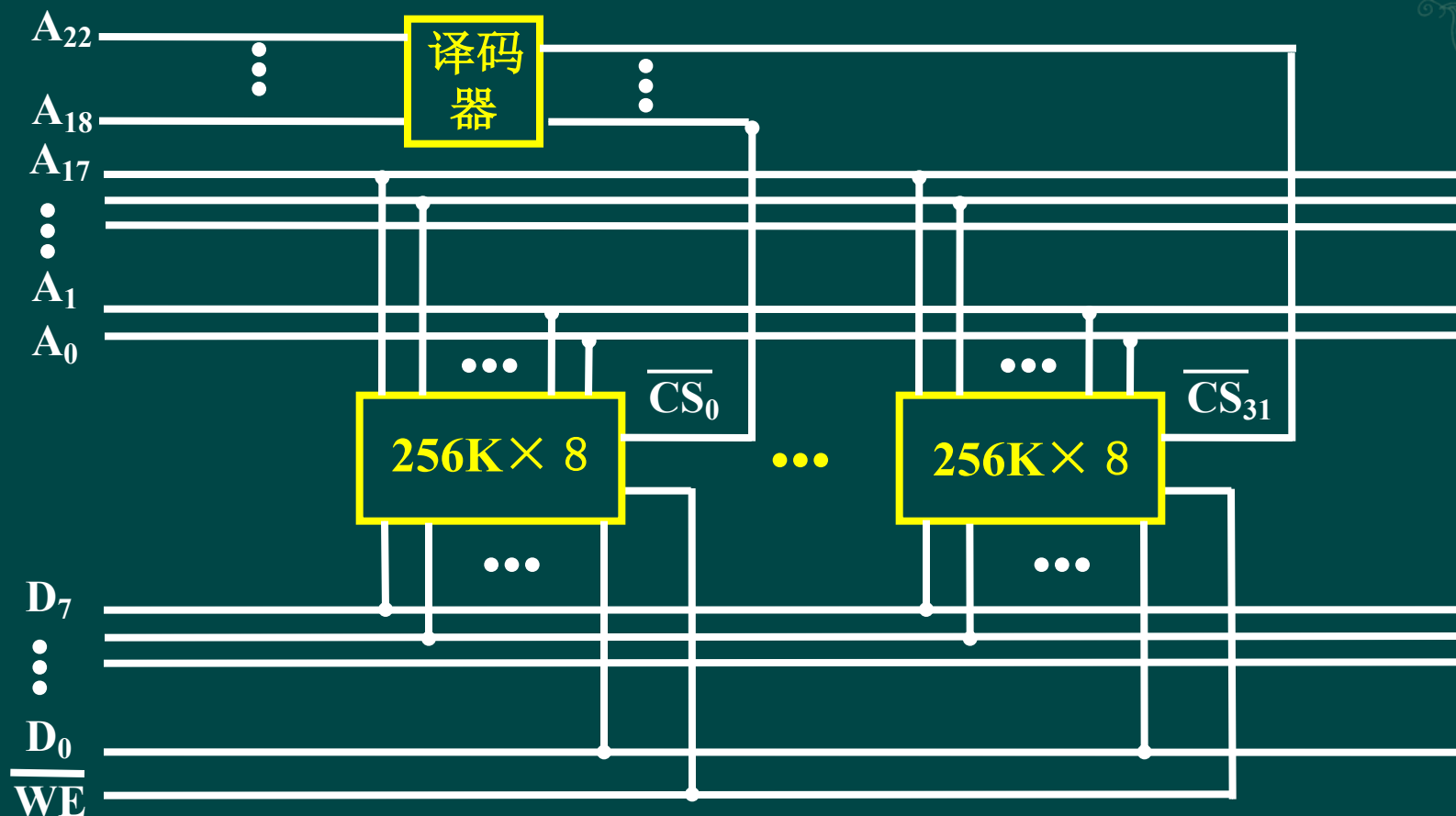




将256K×4位的存储芯片扩展组成256K×8位的存储器



用 $256\text{K} \times 8$ 位 存储芯片组成 $8\text{M} \times 8$ 位 的存储器



地址线中的 $A_{18} \sim A_{22}$ 经过地址译码器产生有效的片选信号 $\text{CS}_0 \sim \text{CS}_{31}$

第2题

- ◆ 需要一个 $8\text{M} \times 8$ 位的主存储器，现有存储芯片为 $256\text{K} \times 4$ 位。问：
- (4) 写出主存地址**160C0FH**所在芯片的最小地址，要求给出计算过程

地址范围

000000H

256K×8

03FFFFFFH

040000H

07FFFFFFH

.....

140000H

160C0FH

17FFFFFFH

.....

第3题

- ◆ 某Cache主存系统采用2路组相联映射方式，存储单元按字节编址，每个存储块包含2个字节，Cache有4组。问：
- (1) Cache的容量，不考虑标记等信息。
 - (2) 现有主存地址10101010，写出主存块标记，组号和块内地址
 - (3) 假设初始Cache为空。CPU依次访问的主存地址为：00011010、00011011、11111000、11111010、01101000、00001001、00000000、00011010。画出用LRU替换算法，Cache内各存储块实际的替换过程，并标出命中和替换时刻

第3题

- ◆ 某Cache主存系统采用2路组相联映射方式，存储单元按字节编址，每个存储块包含2个字节，Cache有4组。问：

(1) Cache的容量，不考虑标记等信息。

16B

第3题

◆ 某Cache主存系统采用2路组相联映射方式，存储单元按字节编址，每个存储块包含2个字节，Cache有4组。问：

(2) 现有主存地址10101010，写出主存块标记，组号和块内地址

主存块标记： 10101

组号： 01

块内地址： 0

第3题

◆ 某Cache主存系统采用2路组相联映射方式，存储单元按字节编址，每个存储块包含2个字节，Cache有4组。问：

(3) 假设初始Cache为空。CPU依次访问的主存地址为：00011010、00011011、11111000、11111010、01101000、00001001、00000000、00011010。

画出用LRU替换算法，Cache内各存储块实际的替换过程，并标出命中和替换时刻



00011010(D)、00011011(D)、11111000(7C)、
11111010(7D)、01101000(34)、00001001(4)、
00000000(0)、00011010(D)

	D	D	7C	7D	34	4	0	D
1#组	D	D	D	D	D	D	D	D
				7D	7D	7D	7D	7D
0#组			7C	7C	7C	4	4	4
					34	34	0	0
	装入	命中	装入	装入	装入	替换	替换	命中

说明：采用组相联映射方式时，每个主存块
必须映射到Cache中指定的组中

第4题

Consider a disk drive with 8 surfaces(记录面), 800 tracks(磁道/柱面) per surface, and 64 sectors(扇区) per track. Sector size is 1KB.

The average seek time(平均寻道时间) is 8 ms, and the drive rotates at 7200 rpm.

- (1) What is the disk capacity?
- (2) What is the average access time of reading one sector?

存储容量= $8 \times 800 \times 64 \times 1024 = 400\text{MB}$

$$t_A = t_s + \frac{1}{2r} + \frac{n}{rN}$$

平均存取时间 =

寻道时间+旋转延迟时间+数据传送时间=

$$8 + 1000 / (2 \times 120) + 1024 \times 1000 / (120 \times 64 \times 1024) \\ = 12.30\text{ms}$$



第5题

- (1) Cache与主存有何区别
- (2) CPU如何使用Cache
- (3) Cache如何影响CPU的性能