

Proyecto

Sebastian Perez Peñaloza - sperezp@unal.edu.co - 1000569727

Paola Lorena Ruge García- plrueg@unal.edu.co - 1018491354

Universidad Nacional de Colombia

I. PROTOCOLLO UART

El controlador del UART es el componente clave del subsistema de comunicaciones series de una computadora. El UART toma bytes de datos y transmite los bits individuales de forma secuencial. En el destino, un segundo UART reensambla los bits en bytes completos. La transmisión serie de la información digital (bits) a través de un cable único u otros medios es mucho más efectiva en cuanto a costo que la transmisión en paralelo a través de múltiples cables. Se utiliza un UART para convertir la información transmitida entre su forma secuencial y paralela en cada terminal de enlace. Cada UART contiene un registro de desplazamiento que es el método fundamental de conversión entre las forma secuencial y paralela.

II. OBJETIVOS

- Aplicar lógica combinacional y secuencial para llevar a cabo el desarrollo del proyecto.
- Hacer una correcta especificación del protocolo
- Instanciar adecuadamente para manejar modelo de caja negra

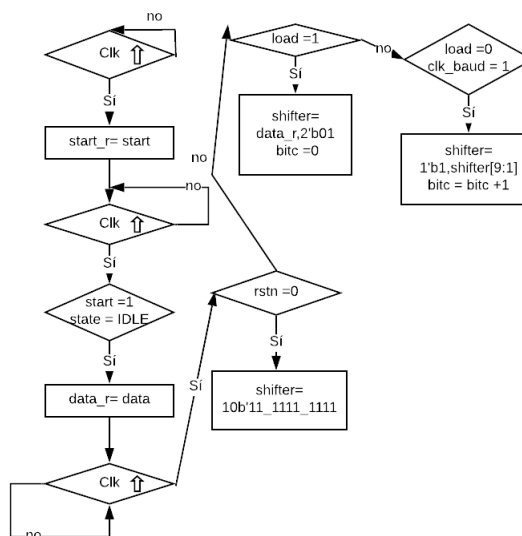


Figura 2. uart-Tx.v

IV. RECEPCIÓN

Caja negra



Figura 3. uart-rx.v

IV-A. Entradas

- clk: Reloj del sistema (100Mhz)
- rstn: Reset negado. Cuando rstn=0, se hace un reset síncrono de la unidad de transmisión.
- rx: Línea de recepción serie. Por donde llegan los datos en serie.

IV-B. Salidas

- **rcv:** Notificación de carácter recibido. Es un pulso de 1 ciclo.
- **data:** Dato recibido (8bits).

III. DIAGRAMAS DE FLUJO

Transmisión

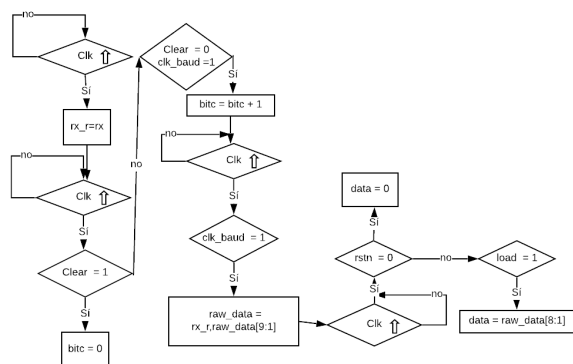


Figura 1. uart-Rx.v

Recepción

Unidad de control

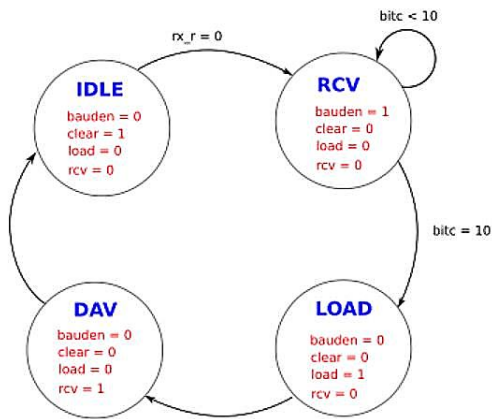


Figura 4. unidad de control uart-rx

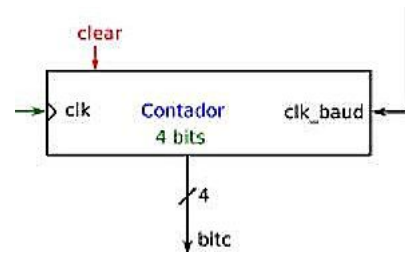


Figura 8. Contador

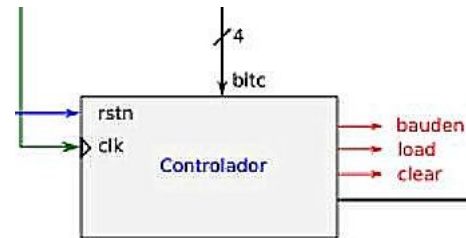


Figura 9. Controlador

IV-C. Señales de control

- bouden: Cuando esta señal se activa, permite el funcionamiento del generador de bauds.
- clear: Esta señal se encarga de poner en 4'b0000 el contador de 4 bits.
- load: Controla que el dato recibido se almacene en el registro de datos de 8bits.

Módulos necesarios

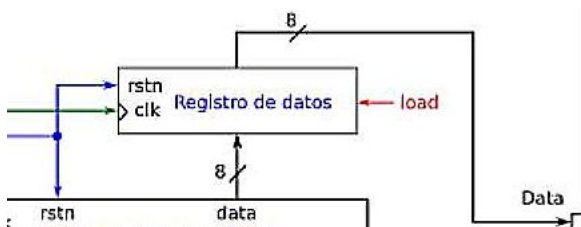


Figura 5. Registro de datos



Figura 6. Registro de desplazamiento

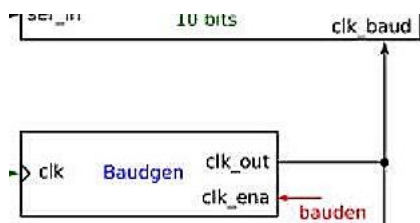


Figura 7. Baudgen

V. TRANSMISIÓN

Caja negra



Figura 10. uart-tx.v

V-A. Entradas

- clk: Reloj del sistema (100Mhz)
- rstn: Reset negado. Cuando está en cero, se hace un reset de la unidad de transmisión.
- start: Comienzo de la transmisión. Cuando está en 1, se captura el carácter que entra por data y empieza a transmitir.
- data: Dato a enviar (8bits)

V-B. Salidas

- tx: Salida serial del dato.
- ready: Estado de la transmisión. Cuando ready es 1, la unidad está lista para transmitir. Y empezará en cuando start esté en 1. Si ready es 0, la unidad está enviando un carácter.

Unidad de control

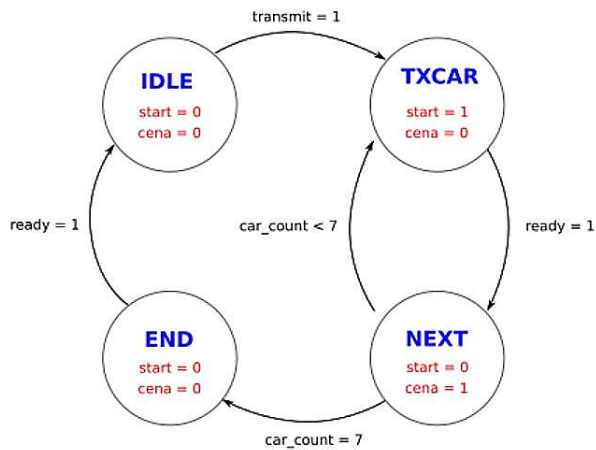


Figura 11. unidad de control uart-tx

V-C. Señales de control

- bauden: Activa el temporizador de bits.
- load: Activa la carga en el registro de desplazamiento, también se usa para poner a 0 el contador de bits.

Módulos necesarios

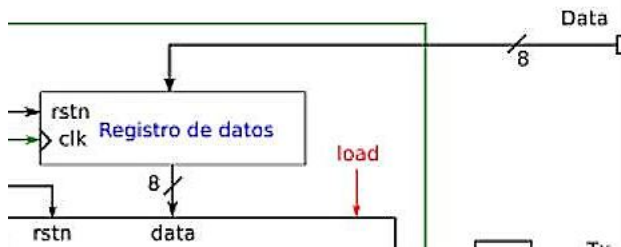


Figura 12. Registro de datos



Figura 13. Registro de desplazamiento

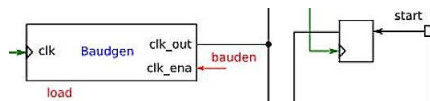


Figura 14. Baudgen

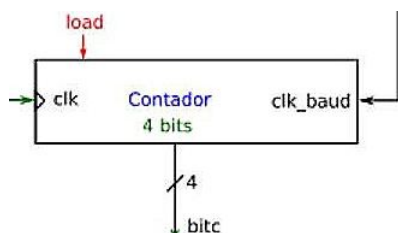


Figura 15. Contador

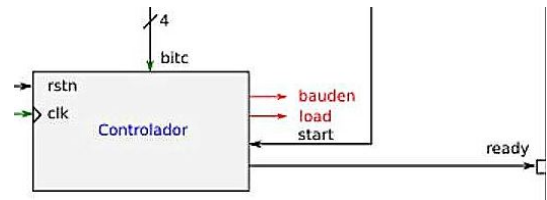


Figura 16. Controlador

VI. UART

El funcionamiento general del módulo UART, explicado minuciosamente en las secciones anteriores, se muestra a continuación.

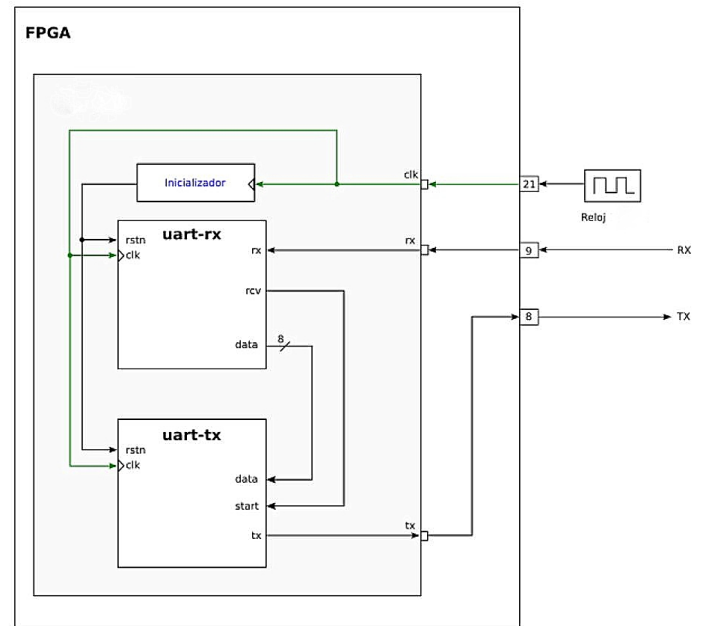


Figura 17. UART

VII. CONCLUSIONES

Se lograron los objetivos propuestos al inicio, para poder hacer un módulo de comunicación serial asíncrona UART, realizado bajo las especificaciones puestas previamente.

VIII. REFERENCIAS

- 1 "Universal Asynchronous Receiver-Transmitter", Es.wikipedia.org, 2019. [Online]. Available: <https://es.wikipedia.org/wiki/UniversalAsynchronousReceiver-Transmitter>. [Accessed: 25- Jul- 2019].
- 2 G. Theory, "Puertos y Buses 1: I2C y UART", Geeky Theory, 2019. [Online]. Available: <https://geekytheory.com/puertos-y-buses-1-i2c-y-uart>. [Accessed: 25- Jul- 2019].
- 3 E. Gómez, "Cómo funciona el Puerto Serie y la UART - Rincón Ingenieril", Rincón Ingenieril, 2019. [Online]. Available: <https://www.rinconingenieril.es/funciona-puerto-serie-la-uart/>. [Accessed: 25- Jul- 2019].

- 4 .ºbijuan/open-fpga-verilog-tutorial", GitHub, 2019. [Online]. Available: <https://github.com/Obijuan/open-fpga-verilog-tutorial/wiki/Capítulo-0A-you-are-leaving-the-privative-sector>. [Accessed: 25- Jul- 2019].