广州航海学院

数字电子技术 实验报告

|  |  |
| --- | --- |
| 成绩 |  |

|  |  |  |  |
| --- | --- | --- | --- |
| 专业班级 |  | 实验日期 |  |
| 姓 名 |  | 学 号 |  |
| 实验名称 | TTL集成逻辑门  的逻辑功能与参数测试 | 指导教师 |  |

（报告内容包括实验目的、实验设备及器材、实验内容和要求、实验步骤、实验小结等）

**一、实验目的**

　　1、掌握TTL集成与非门的逻辑功能和主要参数的测试方法

　　2、掌握TTL器件的使用规则

3、进一步熟悉数字电路实验装置的结构，基本功能和使用方法

**二、实验原理**

本实验采用四输入双与非门74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。其逻辑框图、符号及引脚排列如图2－1(a)、(b)、(c)所示。



(b)



（a） (c)

图2－1 74LS20逻辑框图、逻辑符号及引脚排列

1、与非门的逻辑功能

　　与非门的逻辑功能是：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平（即有“0”得“1”，全“1”得“0”。）

其逻辑表达式为 Y＝



2、TTL与非门的主要参数

[注意]：TTL电路对电源电压要求较严，电源电压VCC只允许在＋5V±10％的范围内工作，超过5.5V将损坏器件；低于4.5V器件的逻辑功能将不正常。

　 (1)电压传输特性

门的输出电压vO随输入电压vi而变化的曲线vo＝f(vi) 称为门的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 VOH、输出低电平VOL、关门电平VOff、开门电平VON、阈值电平VT 及抗干扰容限VNL、VNH等值。测试电路如图2－4所示，采用逐点测试法，即调节RW，逐点测得Vi及VO，然后绘成曲线。



图2－4 传输特性测试电路

(2)平均传输延迟时间tpd

tpd是衡量门电路开关速度的参数，它是指输出波形边沿的0.5Vm至输入波形对应边沿0.5Vm点的时间间隔，如图2－5所示。



(a) 传输延迟特性 (b) tpd的测试电路

图2－5

图2－5(a)中的tpdL为导通延迟时间，tpdH为截止延迟时间，平均传输延迟时间为



tpd的测试电路如图2－5(b)所示，由于TTL门电路的延迟时间较小，直接测量时对信号发生器和示波器的性能要求较高，故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期T来求得。 其工作原理是：假设电路在接通电源后某一瞬间，电路中的A点为逻辑“1”，经过三级门的延迟后，使A点由原来的逻辑“1”变为逻辑“0”；再经过三级门的延迟后，A点电平又重新回到逻辑“1”。电路中其它各点电平也跟随变化。说明使A点发生一个周期的振荡，必须经过6 级门的延迟时间。因此平均传输延迟时间为



TTL电路的tpd一般在10nS～40nS之间。

74LS20主要电参数规范如表2－1所示

表2－1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 参数名称和符号 | | | 规范值 | 单位 | 测 试 条 件 |
| 直流参数 | 通导电源电流 | ICCL | ＜14 | mA | VCC＝5V，输入端悬空，输出端空载 |
| 截止电源电流 | ICCH | ＜7 | mA | VCC＝5V，输入端接地，输出端空载 |
| 低电平输入电流 | IiL | ≤1.4 | mA | VCC＝5V，被测输入端接地，其他输入端悬空，输出端空载 |
| 高电平输入电流 | IiH | ＜50 | μA | VCC＝5V，被测输入端Vin＝2.4V，其他输入端接地，输出端空载。 |
| ＜1 | mA | VCC＝5V，被测输入端Vin＝5V，其他输入端接地，输出端空载。 |
| 输出高电平 | VOH | ≥3.4 | V | VCC＝5V，被测输入端Vin＝0.8V，其他输入端悬空，IOH＝400μA。 |
| 输出低电平 | VOL | ＜0.3 | V | VCC＝5V，输入端Vin＝2.0V，  IOL＝12.8mA。 |
| 扇出系数 | NO | 4～8 | V | 同VOH和VOL |
| 交流参数 | 平均传输延迟时间 | tpd | ≤20 | ns | VCC＝5V，被测输入端输入信号：  Vin＝3.0V，f＝2MHz。 |

**三、实验设备与器件**

1、+5V直流电源 2、逻辑电平开关

3、逻辑电平显示器 4、直流数字电压表

5、示波器 6、74LS20×2、1K、10K电位器

（注：1、2、3、6可由数字电路实验箱提供）

**四、实验内容**

　　在合适的位置选取一个14P插座，按定位标记插好74LS20集成块。

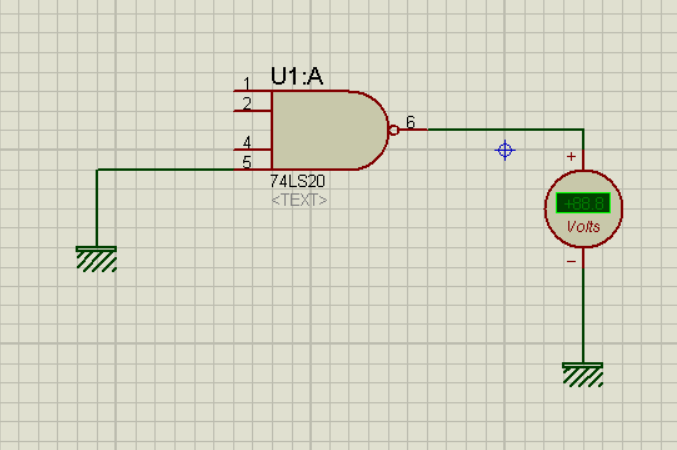
1. 验证TTL集成与非门74LS20的逻辑功能

按图2－6接线，门的四个输入端接逻辑开关输出插口，以提供“0”与

“1”电平信号，开关向上，输出逻辑“1”，向下为逻辑“0”。门的输出端接由 LED发光二极管组成的逻辑电平显示器（又称0－1指示器）的显示插口，LED亮为逻辑“1”， 不亮为逻辑“0”。按表2－2的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20有4个输入端，有16个最小项，在实际测试时，只要通过对输入1111、0111、1011、1101、1110五项进行检测就可判断其逻辑功能是否正常。

表2－2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输　　入 | | | | 输 出 | |
| An | Bn | Cn | Dn | Y1 | Y2 |
| 1 | 1 | 1 | 1 | 0 |  |
| 0 | 1 | 1 | 1 | 1 |  |
| 1 | 0 | 1 | 1 | 1 |  |
| 1 | 1 | 0 | 1 | 1 |  |
| 1 | 1 | 1 | 0 | 1 |  |

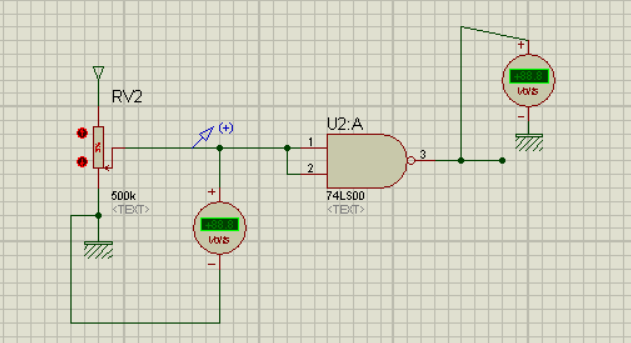


2、74LS20主要参数的测试

　　（1）接图2－4接线，调节电位器RW，使vi从OV向高电平变化，逐点测量vi和vO的对应值，记入表2－3中。

表2－3

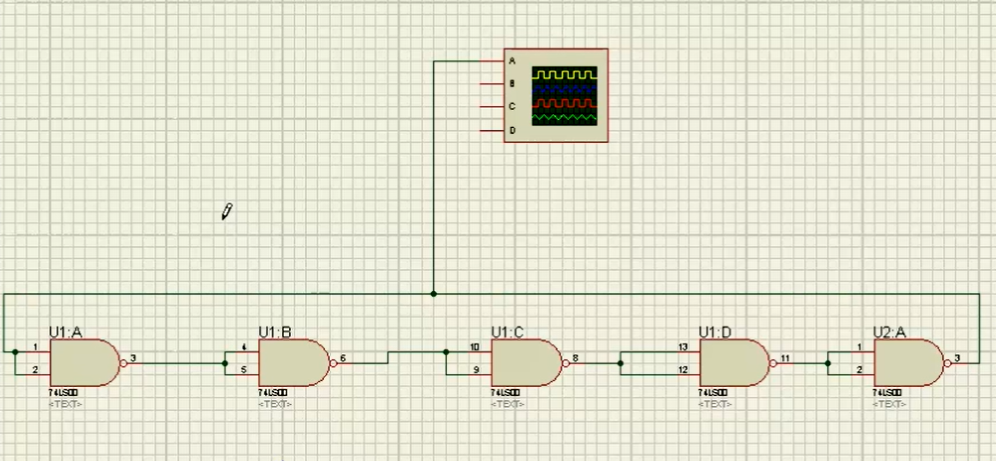
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vi(V) | 0 | 0.2 | 0.4 | 0.6 | 0.8 | 1.0 | 1.5 | 2.0 | 2.5 | 3.0 | 3.5 | 4.0 | … |
| VO(V) | 5 | 5 | 5 | 5 | 5 | 2 | 2 | 2 | 0 | 0 | 0 | 0 |  |



(2)按图2－5(b)接线并进行测试，用示波器观测输出波形的周期（频率），并计算出tpd值。将测试结果记入表2－4中。

表2－4

|  |  |
| --- | --- |
| F (MHz) | 21 |
| tpd = T/6 (ns) | 8 |



**五、实验报告**

　　1、记录、整理实验结果，并对结果进行分析。

2、画出实测的电压传输特性曲线，并从中读出各有关参数值。

**六、集成电路芯片简介**

数字电路实验中所用到的集成芯片都是双列直插式的，其引脚排列规则如图2－1所示。识别方法是：正对集成电路型号（如74LS20）或看标记（左边的缺口或小圆点标记），从左下角开始按逆时针方向以1，2，3，…依次排列到最后一脚（在左上角）。在标准形TTL集成电路中，电源端VCC一般排在左上端，接地端GND一般排在右下端。如74LS20为14脚芯片，14脚为VCC，7脚为GND。若集成芯片引脚上的功能标号为NC，则表示该引脚为空脚，与内部电路不连接。

**七、TTL集成电路使用规则**

　　1、接插集成块时，要认清定位标记，不得插反。

　　2、电源电压使用范围为＋4.5V～＋5.5V之间，实验中要求使用Vcc＝＋5V。电源极性绝对不允许接错。

　　3、闲置输入端处理方法

(1) 悬空，相当于正逻辑“1”，对于一般小规模集成电路的数据输入端，实验时允许悬空处理。但易受外界干扰，导致电路的逻辑功能不正常。因此，对于接有长线的输入端，中规模以上的集成电路和使用集成电路较多的复杂电路，所有控制输入端必须按逻辑要求接入电路，不允许悬空。

(2) 直接接电源电压VCC（也可以串入一只1～10KΩ的固定电阻）或接至某一固定电压(＋2.4≤V≤4.5V)的电源上， 或与输入端为接地的多余与非门的输出端相接。

(3) 若前级驱动能力允许，可以与使用的输入端并联。

　　4、输入端通过电阻接地，电阻值的大小将直接影响电路所处的状态。当R≤680Ω时，输入端相当于逻辑“0”；当R≥4.7 KΩ时，输入端相当于逻辑“1”。对于不同系列的器件，要求的阻值不同。

　　5、输出端不允许并联使用（集电极开路门(OC)和三态输出门电路(3S)除外）。否则不仅会使电路逻辑功能混乱，并会导致器件损坏。

6、输出端不允许直接接地或直接接＋5V电源，否则将损坏器件，有时为了使后级电路获得较高的输出电平，允许输出端通过电阻R接至Vcc，一般取R＝3～5.1 KΩ。

注意：实验中74LS20可用74LS00代替，74LS00引脚排列如下图：

附图 74LS00与电路引脚排列