广州航海学院

数字电子技术 实验报告

|  |  |
| --- | --- |
| 成绩 |  |

|  |  |  |  |
| --- | --- | --- | --- |
| 专业班级 |  | 实验日期 | 2020.06.03 |
| 姓 名 |  | 学 号 |  |
| 实验名称 | 计数器及其应用 | 指导教师 | 闫瑞瑞 |

（报告内容包括实验目的、实验设备及器材、实验内容和要求、实验步骤、实验小结等）

**一、实验目的**

　　1、掌握中规模集成计数器的使用及功能测试方法

　　2、运用集成计数计构成1/N分频器

**二、实验原理**

计数器是一个用以实现计数功能的时序部件，它不仅可用来计脉冲数，还常用作数字系统的定时、分频和执行数字运算以及其它特定的逻辑功能。

1、中规模十进制计数器

CC40192（74LS192）是同步十进制可逆计数器，具有双时钟输入，并具有清除和置数等功能，其引脚排列及逻辑符号如图9－2所示。



图9－2 CC40192引脚排列及逻辑符号

图中 —置数端 CPU—加计数端 CPD —减计数端

—非同步进位输出端 —非同步借位输出端

D0、D1、D2、D3 —计数器输入端

Q0、Q1、Q2、Q3 —数据输出端 CR—清除端

　CC40192（同74LS192，二者可互换使用）的功能如表9－1，说明如下：

　 表9－1

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | | | | 输 出 | | | |
| CR |  | CPU | CPD | D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q0 |
| 1 | × | × | × | × | × | × | × | 0 | 0 | 0 | 0 |
| 0 | 0 | × | × | d | c | b | a | d | c | b | a |
| 0 | 1 | ↑ | 1 | × | × | × | × | 加 计 数 | | | |
| 0 | 1 | 1 | ↑ | × | × | × | × | 减 计 数 | | | |

当清除端CR为高电平“1”时，计数器直接清零；CR置低电平则执行其它功能。

　 当CR为低电平，置数端也为低电平时，数据直接从置数端D0、D1、D2、D3 置入计数器。

当CR为低电平，为高电平时，执行计数功能。执行加计数时，减计数端CPD 接高电平，计数脉冲由CPU 输入；在计数脉冲上升沿进行 8421 码十进制加法计数。执行减计数时，加计数端CPU接高电平，计数脉冲由减计数端CPD 输入，表9－2为8421码十进制加、减计数器的状态转换表。

表9－2 加法计数

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲数 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| Q1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

减计数

2、计数器的级联使用

一个十进制计数器只能表示0～9十个数，为了扩大计数器范围，常用多个十进制计数器级联使用。

同步计数器往往设有进位（或借位）输出端，故可选用其进位（或借位）输出信号驱动下一级计数器。

图9－3是由CC40192利用进位输出控制高一位的CPU端构成的加数级联图。



图9－3 CC40192级联电路

3、实现任意进制计数

(1) 用复位法获得任意进制计数器

假定已有N进制计数器，而需要得到一个M进制计数器时，只要M＜N，用复位法使计数器计数到M时置“0”，即获得M进制计数器。如图9－4所示为一个由CC40192十进制计数器接成的6进制计数器。



图9－4 六进制计数器

（2） 图9－6是一个特殊12进制的计数器电路方案。在数字钟里，对时位的计数序列是1、2、…11，12、1、…是12进制的，且无0数。如图所示，当计数到13时，通过与非门产生一个复位信号，使CC40192(2)〔时十位〕直接置成0000，而CC40192(1)，即时的个位直接置成0001，从而实现了1－12计数。



图9－6 特殊12进制计数器

**三、实验设备与器件**

1、 ＋5V直流电源 2、 双踪示波器

3、 连续脉冲源 4、 单次脉冲源

5、 逻辑电平开关 6、 逻辑电平显示器

7、 译码显示器

8、 CC40192×2（74LS192×2） CC4012×1（74LS20×1）

**四、实验内容**

　　1、测试CC40192或74LS192同步十进制可逆计数器的逻辑功能

　　计数脉冲由单次脉冲源提供，清除端CR、置数端、数据输入端D3 、D2、D1、D0 分别接逻辑开关，输出端 Q3、Q2、Q1、Q0接实验设备的一个译码显示输入相应插口A、B、C、D；和接逻辑电平显示插口。按表9－1逐项测试并判断该集成块的功能是否正常。

　 (1)　清除

　　令CR=1，其它输入为任意态，这时Q3Q2Q1Q0＝0000，译码数字显示为0。清除功能完成后，置CR＝0

　 (2)　置数

　 CR＝0，CPU，CPD 任意，数据输入端输入任意一组二进制数，令= 0，观察计数译码显示输出，置数功能是否完成，此后置＝1。

　 (3)　加计数

　　CR＝0，＝CPD ＝1，CPU 接单次脉冲源。清零后送入10个单次脉冲，观察译码数字显示是否按8421码十进制状态转换表进行；输出状态变化是否发生在CPU 的上升沿。

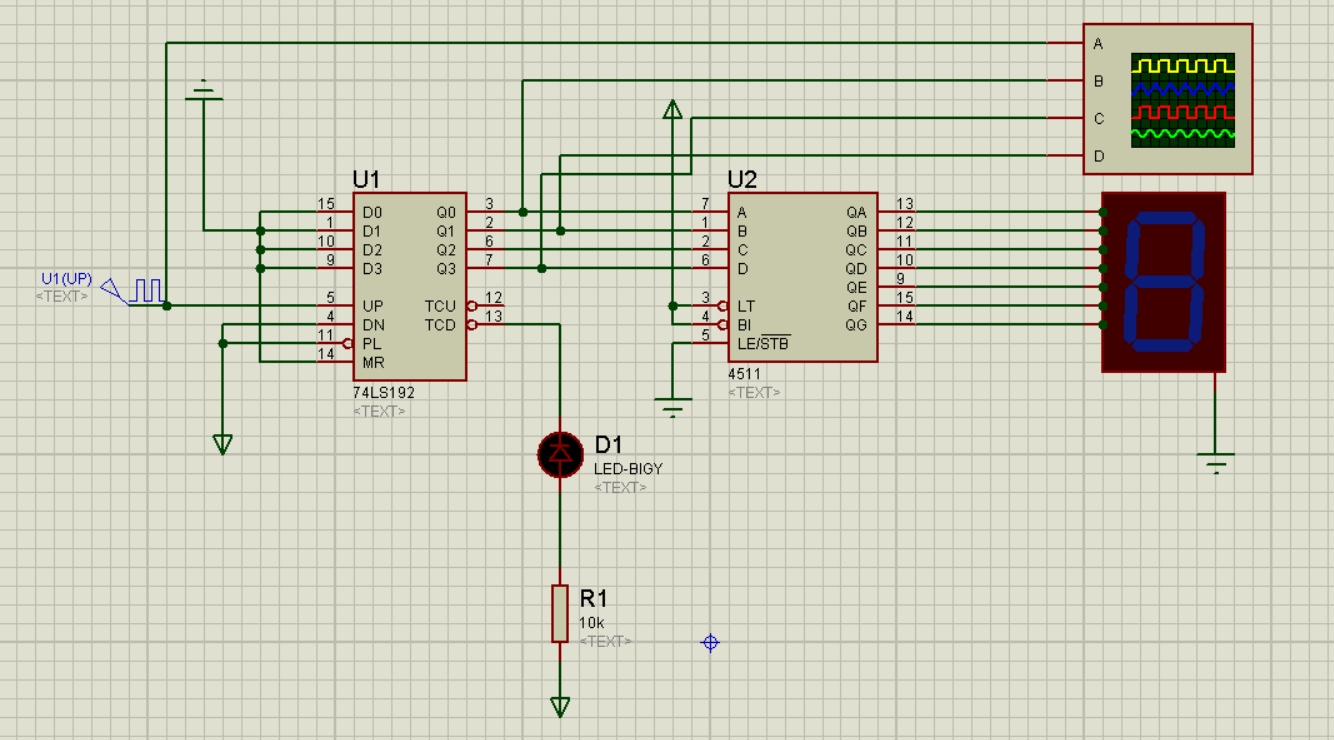
　 (4)　减计数

CR＝0，＝CPU ＝1，CPD 接单次脉冲源。参照3)进行实验。

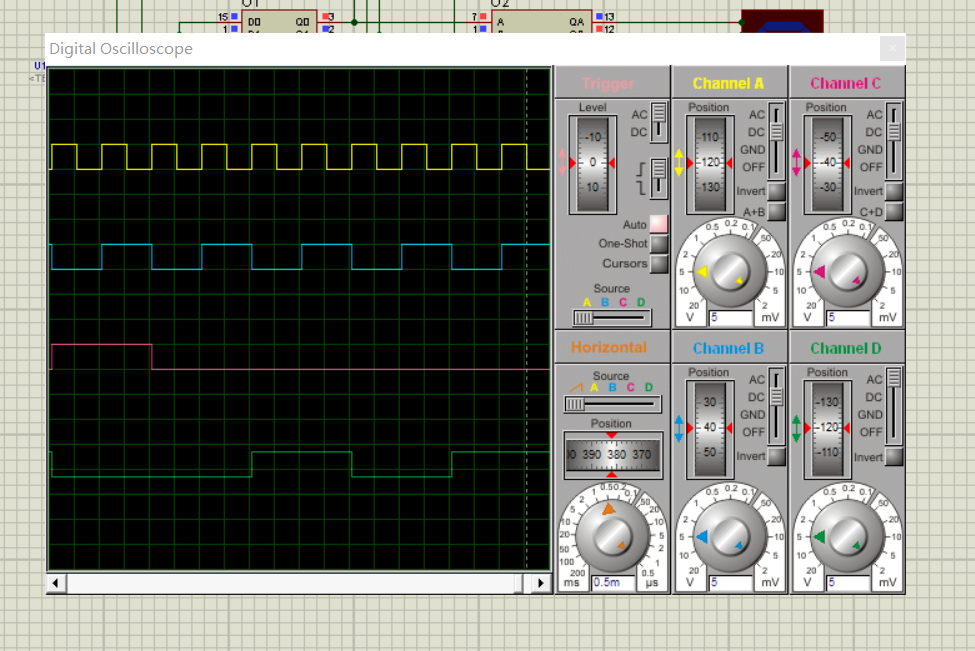
（5）计数器的分频功能

使CC40192或74LS192工作于加计数状态，CR＝0，＝CPD ＝1，CPU输入1KHz连续脉冲，用示波器观察Q3、Q2、Q1、Q0的波形，并记录它们各自的波形和频率；分析Q3、Q2、Q1、Q0分别是对输入计数脉冲CPU 的几分频？

解：仿真图：



波形图：



分屏对应：

Q0：2分频

Q1：6分频

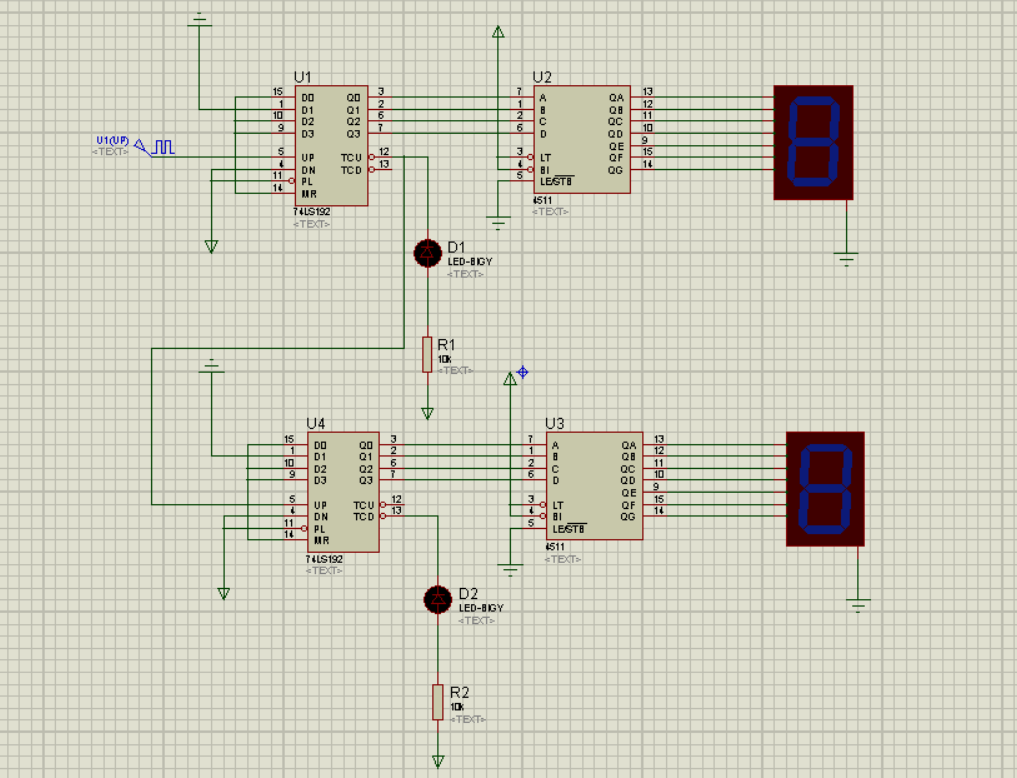
Q2：10分频

Q3：10分频

1. 按图9－3所示，用两片74LS192组成两位十进制加法计数器，输入1Hz连续计数脉冲，进行由00—99累加计数，并用两位数码管显示。‘

解：

仿真图如下图：



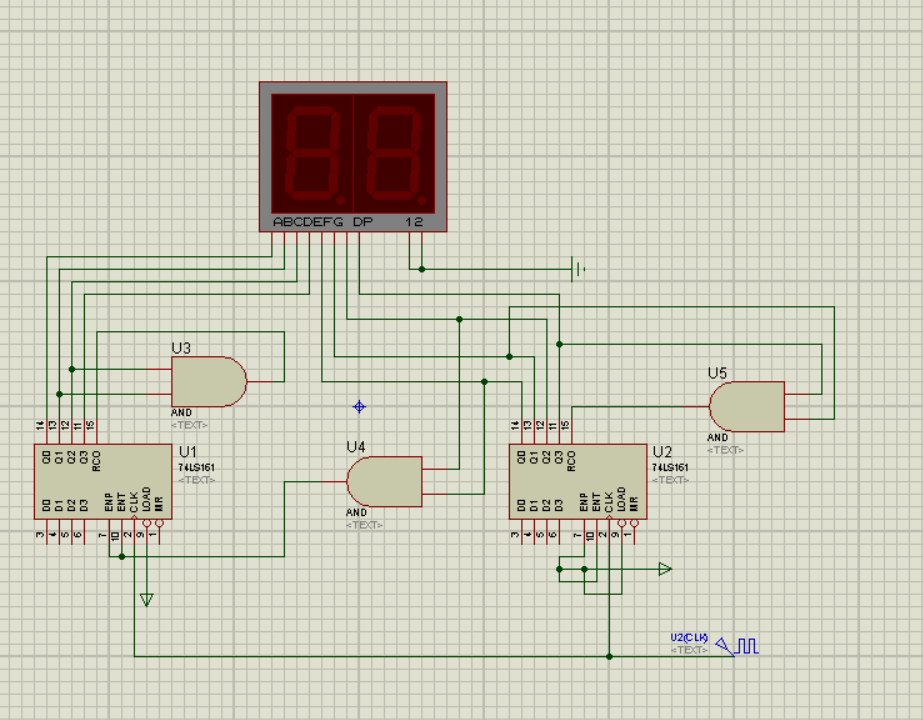
1. 按图9－6所示，用两个十进制计数器实现1-12计数的十二进制计数器；

解：

如图所示：



1. 自行设计电路，实现 00-59计数的60进制计数器，并用两位数码管显示。



**五、实验预习要求**

　　1、复习有关计数器部分内容

　2、绘出各实验内容的详细线路图

3、拟出各实验内容所需的测试记录表格

　　4、查手册，给出并熟悉实验所用各集成块的引脚排列图

**六、实验报告**

　　1、画出实验线路图，记录、整理实验现象及实验所得的有关波形。对实验结果进行分析。

　　2、总结使用集成计数器的体会。