

数字电子技术

**实验指导书**

适用课程\_\_\_ \_\_数字电子技术

适用专业\_ \_通信工程/电子信息工程

广州航海学院 通信系

闫瑞瑞 编写

2018年8月20日

目 录

[实验注意事项 3](#_Toc33827384)

[实验一　TTL集成逻辑门的逻辑功能与参数测试 5](#_Toc33827385)

[实验二 编码器、译码器、数据选择器的应用 11](#_Toc33827386)

[实验三 触发器及其应用 21](#_Toc33827387)

[实验四　计数器及其应用 26](#_Toc33827388)

[实验五　脉冲延时与波形整形电路 31](#_Toc33827389)

[实验六 D / A、A / D转换器 37](#_Toc33827390)

# 实验注意事项

**一、做好预习**

1．实验前要认真阅读实验指导书，明确实验目的，理解有关原理，熟悉实验电路内容、步骤及实验中的注意事项。

2．在实验课上，教师要对预习情况进行抽查提问，抽查通不过者暂不得参加本次实验。

**二、认真实验**

1．实验时，应严格按照实验步骤进行，各种元器件应事先检验好坏，电子仪器应调试完好。

2．接线部分，每组学生可分工进行，但在接线完毕后，每个学生都要对全部接线进行检查。共同确认无误后，再请教师复查。如指导教师发现错误，应由学生自己改正。最后经教师许可后，方可接电源，不得带电操作。

3．在实验过程中，如发现不正常现象（如稳压电源所指示的电压突降为零、电流过大、电压过高等），应立即断开电源，在教师指导下，共同分析检查原因；

4．在测试数据中，一组学生应共同读取数据，并加以记录；

5．实验过程中，应切实注意安全操作，防止触电事故；

6．实验完毕后，先由本人检查实验是否符合要求，然后再请教师检查，经教师认可后再拆线，并将所有设备、元件放回原处，离开实验室。

7．要爱护国家财产，注意节约材料。凡实验室的一切物品（包括导线、工具等）均不得私自带出实验场所，若发生仪器设备损坏事故，应立即报告指导教师，并到实验室办理事故登记和处理手续。

8．室内仪器设备，不准任意搬动调换。

9．遵守实验室规则，实验时要严肃认真，保持安静、整洁的学习环境。

**三、实验报告**

1．报告由每人分别写出；

2．报告应按实验指导书规定的要求抄写，字迹要清楚；

3．凡指导教师认为不合格者，应退回重写；凡不交实验报告者，以缺席论。

# 实验一　TTL集成逻辑门的逻辑功能与参数测试

**一、实验目的**

　　1、掌握TTL集成与非门的逻辑功能和主要参数的测试方法

　　2、掌握TTL器件的使用规则

3、进一步熟悉数字电路实验装置的结构，基本功能和使用方法

**二、实验原理**

本实验采用四输入双与非门74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。其逻辑框图、符号及引脚排列如图2－1(a)、(b)、(c)所示。



(b)



（a） (c)

图2－1 74LS20逻辑框图、逻辑符号及引脚排列

1、与非门的逻辑功能

　　与非门的逻辑功能是：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平（即有“0”得“1”，全“1”得“0”。）

其逻辑表达式为 Y＝



2、TTL与非门的主要参数

[注意]：TTL电路对电源电压要求较严，电源电压VCC只允许在＋5V±10％的范围内工作，超过5.5V将损坏器件；低于4.5V器件的逻辑功能将不正常。

　 (1)电压传输特性

门的输出电压vO随输入电压vi而变化的曲线vo＝f(vi) 称为门的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 VOH、输出低电平VOL、关门电平VOff、开门电平VON、阈值电平VT 及抗干扰容限VNL、VNH等值。测试电路如图2－4所示，采用逐点测试法，即调节RW，逐点测得Vi及VO，然后绘成曲线。



图2－4 传输特性测试电路

(2)平均传输延迟时间tpd

tpd是衡量门电路开关速度的参数，它是指输出波形边沿的0.5Vm至输入波形对应边沿0.5Vm点的时间间隔，如图2－5所示。



(a) 传输延迟特性 (b) tpd的测试电路

图2－5

图2－5(a)中的tpdL为导通延迟时间，tpdH为截止延迟时间，平均传输延迟时间为



tpd的测试电路如图2－5(b)所示，由于TTL门电路的延迟时间较小，直接测量时对信号发生器和示波器的性能要求较高，故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期T来求得。 其工作原理是：假设电路在接通电源后某一瞬间，电路中的A点为逻辑“1”，经过三级门的延迟后，使A点由原来的逻辑“1”变为逻辑“0”；再经过三级门的延迟后，A点电平又重新回到逻辑“1”。电路中其它各点电平也跟随变化。说明使A点发生一个周期的振荡，必须经过6 级门的延迟时间。因此平均传输延迟时间为



TTL电路的tpd一般在10nS～40nS之间。

74LS20主要电参数规范如表2－1所示

表2－1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 参数名称和符号 | | | 规范值 | 单位 | 测 试 条 件 |
| 直流参数 | 通导电源电流 | ICCL | ＜14 | mA | VCC＝5V，输入端悬空，输出端空载 |
| 截止电源电流 | ICCH | ＜7 | mA | VCC＝5V，输入端接地，输出端空载 |
| 低电平输入电流 | IiL | ≤1.4 | mA | VCC＝5V，被测输入端接地，其他输入端悬空，输出端空载 |
| 高电平输入电流 | IiH | ＜50 | μA | VCC＝5V，被测输入端Vin＝2.4V，其他输入端接地，输出端空载。 |
| ＜1 | mA | VCC＝5V，被测输入端Vin＝5V，其他输入端接地，输出端空载。 |
| 输出高电平 | VOH | ≥3.4 | V | VCC＝5V，被测输入端Vin＝0.8V，其他输入端悬空，IOH＝400μA。 |
| 输出低电平 | VOL | ＜0.3 | V | VCC＝5V，输入端Vin＝2.0V，  IOL＝12.8mA。 |
| 扇出系数 | NO | 4～8 | V | 同VOH和VOL |
| 交流参数 | 平均传输延迟时间 | tpd | ≤20 | ns | VCC＝5V，被测输入端输入信号：  Vin＝3.0V，f＝2MHz。 |

**三、实验设备与器件**

1、+5V直流电源 2、逻辑电平开关

3、逻辑电平显示器 4、直流数字电压表

5、示波器 6、74LS20×2、1K、10K电位器

（注：1、2、3、6可由数字电路实验箱提供）

**四、实验内容**

　　在合适的位置选取一个14P插座，按定位标记插好74LS20集成块。

1. 验证TTL集成与非门74LS20的逻辑功能

按图2－6接线，门的四个输入端接逻辑开关输出插口，以提供“0”与

“1”电平信号，开关向上，输出逻辑“1”，向下为逻辑“0”。门的输出端接由 LED发光二极管组成的逻辑电平显示器（又称0－1指示器）的显示插口，LED亮为逻辑“1”， 不亮为逻辑“0”。按表2－2的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20有4个输入端，有16个最小项，在实际测试时，只要通过对输入1111、0111、1011、1101、1110五项进行检测就可判断其逻辑功能是否正常。

表2－2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输　　入 | | | | 输 出 | |
| An | Bn | Cn | Dn | Y1 | Y2 |
| 1 | 1 | 1 | 1 |  |  |
| 0 | 1 | 1 | 1 |  |  |
| 1 | 0 | 1 | 1 |  |  |
| 1 | 1 | 0 | 1 |  |  |
| 1 | 1 | 1 | 0 |  |  |

2、74LS20主要参数的测试

　　（1）接图2－4接线，调节电位器RW，使vi从OV向高电平变化，逐点测量vi和vO的对应值，记入表2－3中。

表2－3

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vi(V) | 0 | 0.2 | 0.4 | 0.6 | 0.8 | 1.0 | 1.5 | 2.0 | 2.5 | 3.0 | 3.5 | 4.0 | … |
| VO(V) |  |  |  |  |  |  |  |  |  |  |  |  |  |

(2)按图2－5(b)接线并进行测试，用示波器观测输出波形的周期（频率），并计算出tpd值。将测试结果记入表2－4中。

表2－4

|  |  |
| --- | --- |
| F (MHz) |  |
| tpd = T/6 (ns) |  |

**五、实验报告**

　　1、记录、整理实验结果，并对结果进行分析。

2、画出实测的电压传输特性曲线，并从中读出各有关参数值。

**六、集成电路芯片简介**

数字电路实验中所用到的集成芯片都是双列直插式的，其引脚排列规则如图2－1所示。识别方法是：正对集成电路型号（如74LS20）或看标记（左边的缺口或小圆点标记），从左下角开始按逆时针方向以1，2，3，…依次排列到最后一脚（在左上角）。在标准形TTL集成电路中，电源端VCC一般排在左上端，接地端GND一般排在右下端。如74LS20为14脚芯片，14脚为VCC，7脚为GND。若集成芯片引脚上的功能标号为NC，则表示该引脚为空脚，与内部电路不连接。

**七、TTL集成电路使用规则**

　　1、接插集成块时，要认清定位标记，不得插反。

　　2、电源电压使用范围为＋4.5V～＋5.5V之间，实验中要求使用Vcc＝＋5V。电源极性绝对不允许接错。

　　3、闲置输入端处理方法

(1) 悬空，相当于正逻辑“1”，对于一般小规模集成电路的数据输入端，实验时允许悬空处理。但易受外界干扰，导致电路的逻辑功能不正常。因此，对于接有长线的输入端，中规模以上的集成电路和使用集成电路较多的复杂电路，所有控制输入端必须按逻辑要求接入电路，不允许悬空。

(2) 直接接电源电压VCC（也可以串入一只1～10KΩ的固定电阻）或接至某一固定电压(＋2.4≤V≤4.5V)的电源上， 或与输入端为接地的多余与非门的输出端相接。

(3) 若前级驱动能力允许，可以与使用的输入端并联。

　　4、输入端通过电阻接地，电阻值的大小将直接影响电路所处的状态。当R≤680Ω时，输入端相当于逻辑“0”；当R≥4.7 KΩ时，输入端相当于逻辑“1”。对于不同系列的器件，要求的阻值不同。

　　5、输出端不允许并联使用（集电极开路门(OC)和三态输出门电路(3S)除外）。否则不仅会使电路逻辑功能混乱，并会导致器件损坏。

6、输出端不允许直接接地或直接接＋5V电源，否则将损坏器件，有时为了使后级电路获得较高的输出电平，允许输出端通过电阻R接至Vcc，一般取R＝3～5.1 KΩ。

注意：实验中74LS20可用74LS00代替，74LS00引脚排列如下图：

附图 74LS00与电路引脚排列

# 实验二 编码器、译码器、数据选择器的应用

**一、实验目的**

　　1、掌握中规模集成译码器的逻辑功能，用译码器实现组合逻辑函数

2、熟悉数码管的使用，及显示译码器的使用方法

3、掌握中规模集成数据选择器的逻辑功能及使用方法

4、学习用数据选择器构成组合逻辑电路的方法

**二、实验原理**

（一）译码器

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存贮器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。

1、变量译码器（又称二进制译码器），用以表示输入变量的状态，如2线－4线、3线－8线和4线－16线译码器。若有n个输入变量，则有2n个不同的组合状态，就有2n 个输出端供其使用。而每一个输出所代表的函数对应于n个输入变量的最小项。

以3线－8线译码器74LS138为例进行分析，图6－1(a)、(b)分别为其

逻辑图及引脚排列。

其中 A2 、A1 、A0 为地址输入端，～为译码输出端，S1、、为使能端。

当S1＝1，＋＝0时，器件使能，地址码所指定的输出端有信号（为0）输出，其它所有输出端均无信号（全为1）输出。当S1＝0，＋ ＝X时，或 S1＝X，＋＝1时，译码器被禁止，所有输出同时为1。



(a) (b)

图6－1 3－8线译码器74LS138逻辑图及引脚排列

表6－1

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | 输 出 | | | | | | | |
| S1 | + | A2 | A1 | A0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | × | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| × | 1 | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

二进制译码器还能方便地实现逻辑函数，例如6－3所示，实现的逻辑函数是

Z＝＋ABC



图6－2 作数据分配器 图6－3 实现逻辑函数

**思考：用74LS138实现三输入的多数表决器，如何实现？**

2、数码显示译码器

a、七段发光二极管(LED)数码管

LED数码管是目前最常用的数字显示器，图6－5(a)、(b)为共阴管和共阳管的电路，(c)为两种不同出线形式的引出脚功能图。

一个LED数码管可用来显示一位0～9十进制数和一个小数点。小型数码管（0.5寸和0.36寸）每段发光二极管的正向压降，随显示光（通常为红、绿、黄、橙色）的颜色不同略有差别，通常约为2～2.5V，每个发光二极管的点亮电流在5～10mA。LED数码管要显示BCD码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



(a) 共阴连接（“1”电平驱动） (b) 共阳连接（“0”电平驱动）



(c) 符号及引脚功能

图 6－5 LED数码管

b、BCD码七段译码驱动器

此类译码器型号有74LS47（共阳），74LS48（共阴），CC4511（共阴）等，本实验系采用CC4511 BCD码锁存／七段译码／驱动器。驱动共阴极LED数码管。

图6－6为CC4511引脚排列



图6－6 CC4511引脚排列

其中

A、B、C、D — BCD码输入端

a、b、c、d、e、f、g — 译码输出端，输出“1”有效，用来驱动共阴极LED数码管。

 — 测试输入端，＝“0”时，译码输出全为“1”

 — 消隐输入端，＝“0”时，译码输出全为“0”

LE — 锁定端，LE＝“1”时译码器处于锁定（保持）状态，译码输出保持在LE＝0时的数值，LE＝0为正常译码。

表6－2为CC4511功能表。CC4511内接有上拉电阻，故只需在输出端与

数码管笔段之间串入限流电阻即可工作。译码器还有拒伪码功能，当输入码超过1001时，输出全为“0”，数码管熄灭。

表6－2

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | | | 输 出 | | | | | | | |
| LE |  |  | D | C | B | A | a | b | c | d | e | f | g | 显示字形 |
| × | × | 0 | × | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| × | 0 | 1 | × | × | × | × | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |  |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |  |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |  |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |  |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 1 | 1 | 1 | × | × | × | × | 锁 存 | | | | | | | 锁存 |

在本数字电路实验装置上已完成了译码器CC4511和数码管BS202之间的连接。实验时，只要接通+5V电源和将十进制数的BCD码接至译码器的相应输入端A、B、C、D即可显示0～9的数字。四位数码管可接受四组BCD码输入。CC4511与LED数码管的连接如图6－7所示。

（二）数据选择器

数据选择器又叫“多路开关”。数据选择器在地址码（或叫选择控制）电位的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图7－1所示，图中有四路数据D0～D3，通过选择控制信号 A1、A0（地址码）从四路数据中选中某一路数据送至输出端Q。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有2选1、4选1、8选1、16选1等类别。

数据选择器的电路结构一般由与或门阵列组成，也有用传输门开关和门电路混合而成的。

1、八选一数据选择器74LS151

74LS151为互补输出的8选1数据选择器，引脚排列如图7－2，功能如表7－1。

选择控制端（地址端）为A2～A0，按二进制译码，从8个输入数据D0～D7中，选择一个需要的数据送到输出端Q，为使能端，低电平有效。



图7－1 4选1数据选择器示意图 图 7－ 2 74LS151引脚排列

1. 使能端＝1时，不论A2～A0状态如何，均无输出（Q＝0，＝1），多

路开关被禁止。

1. 使能端＝0时，多路开关正常工作，根据地址码A2、A1、A0的状态选

择D0～D7中某一个通道的数据输送到输出端Q。

如：A2A1A0＝000，则选择D0数据到输出端，即Q＝D0。

如：A2A1A0＝001，则选择D1数据到输出端,即Q＝D1，其余类推。

表7－1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | |
|  | A2 | A1 | A0 | Q |  |
| 1 | × | × | × | 0 | 1 |
| 0 | 0 | 0 | 0 | D0 |  |
| 0 | 0 | 0 | 1 | D1 |  |
| 0 | 0 | 1 | 0 | D2 |  |
| 0 | 0 | 1 | 1 | D3 |  |
| 0 | 1 | 0 | 0 | D4 |  |
| 0 | 1 | 0 | 1 | D5 |  |
| 0 | 1 | 1 | 0 | D6 |  |
| 0 | 1 | 1 | 1 | D7 |  |

2、双四选一数据选择器 74LS153

所谓双4选1数据选择器就是在一块集成芯片上有两个4选1数据选择器。引脚排列如图7－3，功能如表7－2。

表7－2



|  |  |  |  |
| --- | --- | --- | --- |
| 输 入 | | | 输 出 |
|  | A1 | A0 | Q |
| 1 | × | × | 0 |
| 0 | 0 | 0 | D0 |
| 0 | 0 | 1 | D1 |
| 0 | 1 | 0 | D2 |
| 0 | 1 | 1 | D3 |

图7－3 74LS153引脚功能

、为两个独立的使能端；A1、A0为公用的地址输入端；1D0～1D3和2D0～2D3分别为两个4选1数据选择器的数据输入端；Q1、Q2为两个输出端。

1）当使能端（）＝1时，多路开关被禁止，无输出，Q＝0。

2）当使能端（）＝0时，多路开关正常工作，根据地址码A1、A0的状态，将相应的数据D0～D3送到输出端Q。

如：A1A0＝00 则选择DO数据到输出端，即Q＝D0。

A1A0＝01 则选择D1数据到输出端，即Q＝D1，其余类推。

数据选择器的用途很多，例如多通道传输，数码比较，并行码变串行码，以及实现逻辑函数等。

例3：用4选1数据选择器74LS153实现函数



函数F的功能如表7－5所示

表7－5 表7－6

|  |  |  |  |
| --- | --- | --- | --- |
| 输 入 | | | 输出 |
| A | B | C | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输 入 | | | 输出 | 中 选  数据端 |
| A | B | C | F |  |
| 0 | 0 | 0  1 | 0  0 | D0＝0 |
| 0 | 1 | 0  1 | 0  1 | D1＝C |
| 1 | 0 | 0  1 | 0  1 | D2＝C |
| 1 | 1 | 0  1 | 1  1 | D3＝1 |

函数F有三个输入变量A、B、C，而数据选择器有两个地址端A1、A0少于函数输入变量个数，在设计时可任选A接A1，B接A0。将函数功能表改画成7－6形式，可见当将输入变量A、B、C中

1. B接选择器的地址端A1、A0，由表7－6不难看出：

D0＝0， D1＝D2＝C， D3＝1

则4选1数据选择器的输出，便

实现了函数

接线图如图7－6所示。



图7－6 用4选1数据选择器

实现 

当函数输入变量大于数据选择器地址端（A）时，可能随着选用函数输入变量作地址的方案不同，而使其设计结果不同，需对几种方案比较，以获得最佳方案。

**思考：用数据选择器如何实现三输入的多数表决器？**

**三、实验设备与器件**

1、译码显示器CC4511 2、74LS20

3、共阴极数码管 4、74LS138、CC4511

5、数字电路实验箱 6、双踪示波器、万用表

7、数字电路实验箱 8、74LS153或74LS151



图6－7 CC4511驱动一位LED数码管

**四、实验内容**

（一）译码器

1、数据拨码开关及显示译码器CC4511的使用

将实验装置上的四组拨码开关的输出Ai、Bi、Ci、Di分别接至4组显示译码／驱动器CC4511的对应输入口，（LE、、接至三个逻辑开关的输出插口，内部已完成连接），接上+5V显示器的电源，然后按功能表6－2输入的要求揿动四个拨码开关，观测拨码盘上的四位数与LED数码管显示的对应数字是否一致，及译码显示是否正常。观察输入伪码时数码管的显示情况。

2、74LS138译码器逻辑功能测试，并用74LS138和74LS20实现三输入的多数表决器

将译码器使能端S1、、及地址端A2、A1、A0 分别接至逻辑电平开关输出口，八个输出端依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，按表6－1逐项测试74LS138的逻辑功能。验证74LS138功能正常。

**设计电路，用74LS138及与非门实现三输入的多数表决器。写出设计过程、画出接线图，并将实验结果填入真值表进行验证。**

（二）数据选择器

1、测试74LS153的逻辑功能

测试方法及步骤同，验证数据选择器功能正常。

2、用4选1数据选择器74LS153实现三输入的多数表决器

1）写出设计过程

2）画出接线图

3）**将实验结果填入真值表，**验证所设计电路的逻辑功能

**五、实验预习要求**

1、复习有关译码器、显示译码器、数据选择器的原理。

2、根据实验任务，设计并画出所需的实验线路及记录表格。

**六、实验报告**

1、用译码器、数据选择器对实验内容进行设计、写出设计全过程、画出接线图、画出实验线路，列出真值表。进行逻辑功能测试；总结实验收获、体会。

1. 对实验结果进行分析、讨论。

# 实验三 触发器及其应用

**一、实验目的**

　　1、掌握基本RS、JK、D和T触发器的逻辑功能

2、掌握集成触发器的逻辑功能及使用方法

　　3、熟悉触发器之间相互转换的方法

**二、实验原理**

　　触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存贮器件，是构成各种时序电路的最基本逻辑单元。

**1、JK触发器**

在输入信号为双端的情况下，JK触发器是功能完善、使用灵活和通用性较强的一种触发器。本实验采用74LS112双JK触发器，是下降边沿触发的边沿触发器。引脚功能及逻辑符号如图8－2所示。

JK触发器的状态方程为

　　　　　　Qn+1 ＝Jn＋Qn

J和K是数据输入端，是触发器状态更新的依据，若J、K有两个或两个以上输入端时，组成“与”的关系。Q与 为两个互补输出端。通常把 Q＝0、＝1的状态定为触发器“0”状态；而把Q＝1，＝0定为“1”状态。



图8－2 74LS112双JK触发器引脚排列及逻辑符号

下降沿触发JK触发器的功能如表8－2

表8－2

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | 输 出 | |
| D | D | CP | J | K | Qn+1 | n+1 |
| 0 | 1 | × | × | × | 1 | 0 |
| 1 | 0 | × | × | × | 0 | 1 |
| 0 | 0 | × | × | × | φ | φ |
| 1 | 1 | ↓ | 0 | 0 | Qn | n |
| 1 | 1 | ↓ | 1 | 0 | 1 | 0 |
| 1 | 1 | ↓ | 0 | 1 | 0 | 1 |
| 1 | 1 | ↓ | 1 | 1 | n | Qn |
| 1 | 1 | ↑ | × | × | Qn | n |

注：×— 任意态　 ↓— 高到低电平跳变 ↑— 低到高电平跳变

Qn（n ）— 现态 Qn+1（n+1 ）— 次态 φ— 不定态

JK触发器常被用作缓冲存储器，移位寄存器和计数器。

**2、D触发器**

在输入信号为单端的情况下，D触发器用起来最为方便，其状态方程为

Qn+1＝Dn，其输出状态的更新发生在CP脉冲的上升沿，故又称为上升沿触发的边沿触发器，触发器的状态只取决于时钟到来前D端的状态，D触发器的应用很广，可用作数字信号的寄存，移位寄存，分频和波形发生等。有很多种型号可供各种用途的需要而选用。如双D 74LS74、四D 74LS175、六D 74LS174等。

图8－3 为双D 74LS74的引脚排列及逻辑符号。功能如表8－3。



图8－3 74LS74引脚排列及逻辑符号

　表8－3 D触发器特性表 　 表8－4 T触发器特性表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | |
| D | D | CP | D | Qn＋1 | n＋1 |
| 0 | 1 | × | × | 1 | 0 |
| 1 | 0 | × | × | 0 | 1 |
| 0 | 0 | × | × | φ | φ |
| 1 | 1 | ↑ | 1 | 1 | 0 |
| 1 | 1 | ↑ | 0 | 0 | 1 |
| 1 | 1 | ↓ | × | Qn | n |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输 入 | | | | 输出 |
| D | D | CP | T | Qn＋1 |
| 0 | 1 | × | × | 1 |
| 1 | 0 | × | × | 0 |
| 1 | 1 | ↓ | 0 | Qn |
| 1 | 1 | ↓ | 1 | n |

4、触发器之间的相互转换

在集成触发器的产品中，每一种触发器都有自己固定的逻辑功能。但可以利用转换的方法获得具有其它功能的触发器。例如将JK触发器的J、k两端连在一起，并认它为T端，就得到所需的T触发器。如图8－4(a)所示，其状态方程为： Qn+1 ＝Tn ＋Qn



(a) T触发器 (b) T'触发器

图8－4 JK触发器转换为T、T'触发器

T触发器的功能如表8－4。

由功能表可见，当T＝0时，时钟脉冲作用后，其状态保持不变；当T＝1时，时钟脉冲作用后，触发器状态翻转。所以，若将T触发器的T端置“1”，如图8－4(b)所示，即得T'触发器。在T'触发器的CP端每来一个CP脉冲信号，触发器的状态就翻转一次，故称之为反转触发器，广泛用于计数电路中。



图8－5 D转成T' 图8－6 JK转成D

　 同样，若将D触发器 端与D端相连，便转换成T'触发器。如图8－5所示。

JK触发器也可转换为D触发器，如图8－6。

**三、实验设备与器件**

　 1、数字电路实验箱 2、双踪示波器

7、74LS112 、74LS74

**四、实验内容**

**1、测试双JK触发器74LS112逻辑功能**

　 (1) 测试D 、D的复位、置位功能

取一只JK触发器74LS112，D、D、J、K端接逻辑开关输出插口，CP端接单次脉冲源，Q、端接至逻辑电平显示输入插口。要求改变D，D（J、K、CP处于任意状态），并在D＝0（D＝1）或D＝0（D＝1）作用期间任意改变J、K及CP的状态，观察Q、状态，并记录之。

(2) 测试JK触发器的逻辑功能

　　按表8－8的要求改变J、K、CP端状态，观察Q、状态变化，观察触发器状态更新是否发生在CP脉冲的下降沿（即CP由1→0），记录之。

　　 表8－8

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | K | CP | Qn＋1 | |
| Qn＝0 | Qn＝1 |
| 0 0 | | 0→1 |  |  |
| 1→0 |  |  |
| 0 1 | | 0→1 |  |  |
| 1→0 |  |  |
| 1 0 | | 0→1 |  |  |
| 1→0 |  |  |
| 1 1 | | 0→1 |  |  |
| 1→0 |  |  |

(3) 将JK触发器的J、K端连在一起，构成T触发器。

　　在CP端输入1HZ连续脉冲，观察Q端的变化。

在CP端输入1KHZ连续脉冲，用双踪示波器观察CP、Q、端波形，注意相位关系，描绘之。

**2、测试双D触发器74LS74的逻辑功能**

　 (1) 测试D 、D的复位、置位功能

　　测试方法同实验内容2、1)，记录之。

　 (2) 测试D触发器的逻辑功能

按表8－9要求进行测试，并观察触发器状态更新是否发生在CP脉冲的上升沿（即由0→1），记录之。

表8－9

|  |  |  |  |
| --- | --- | --- | --- |
| D | CP | Qn＋1 | |
| Qn＝0 | Qn＝1 |
| 0 | 0→1 |  |  |
| 1→0 |  |  |
| 1 | 0→1 |  |  |
| 1→0 |  |  |

(3) 将D触发器的端与D端相连接，构成T'触发器。

测试方法同实验内容2、3），记录之。

**五、实验预习要求**

　　1、复习有关触发器内容

　　2、列出各触发器功能测试表格

六、实验报告

　　1、列表整理各类触发器的逻辑功能。

　　2、记录并总结观察到的波形，说明触发器的触发方式。

　　3、体会触发器的应用。

4、利用普通的机械开关组成的数据开关所产生的信号是否可作为触发器

的时钟脉冲信号？为什么？是否可以用作触发器的其它输入端的信号？又是为什么？

# 实验四　计数器及其应用

**一、实验目的**

　　1、掌握中规模集成计数器的使用及功能测试方法

　　2、运用集成计数计构成1/N分频器

**二、实验原理**

计数器是一个用以实现计数功能的时序部件，它不仅可用来计脉冲数，还常用作数字系统的定时、分频和执行数字运算以及其它特定的逻辑功能。

1、中规模十进制计数器

CC40192（74LS192）是同步十进制可逆计数器，具有双时钟输入，并具有清除和置数等功能，其引脚排列及逻辑符号如图9－2所示。



图9－2 CC40192引脚排列及逻辑符号

图中 —置数端 CPU—加计数端 CPD —减计数端

—非同步进位输出端 —非同步借位输出端

D0、D1、D2、D3 —计数器输入端

Q0、Q1、Q2、Q3 —数据输出端 CR—清除端

　CC40192（同74LS192，二者可互换使用）的功能如表9－1，说明如下：

　 表9－1

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | | | | 输 出 | | | |
| CR |  | CPU | CPD | D3 | D2 | D1 | D0 | Q3 | Q2 | Q1 | Q0 |
| 1 | × | × | × | × | × | × | × | 0 | 0 | 0 | 0 |
| 0 | 0 | × | × | d | c | b | a | d | c | b | a |
| 0 | 1 | ↑ | 1 | × | × | × | × | 加 计 数 | | | |
| 0 | 1 | 1 | ↑ | × | × | × | × | 减 计 数 | | | |

当清除端CR为高电平“1”时，计数器直接清零；CR置低电平则执行其它功能。

　 当CR为低电平，置数端也为低电平时，数据直接从置数端D0、D1、D2、D3 置入计数器。

当CR为低电平，为高电平时，执行计数功能。执行加计数时，减计数端CPD 接高电平，计数脉冲由CPU 输入；在计数脉冲上升沿进行 8421 码十进制加法计数。执行减计数时，加计数端CPU接高电平，计数脉冲由减计数端CPD 输入，表9－2为8421码十进制加、减计数器的状态转换表。

表9－2 加法计数

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲数 | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| 输出 | Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| Q1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

减计数

2、计数器的级联使用

一个十进制计数器只能表示0～9十个数，为了扩大计数器范围，常用多个十进制计数器级联使用。

同步计数器往往设有进位（或借位）输出端，故可选用其进位（或借位）输出信号驱动下一级计数器。

图9－3是由CC40192利用进位输出控制高一位的CPU端构成的加数级联图。



图9－3 CC40192级联电路

3、实现任意进制计数

(1) 用复位法获得任意进制计数器

假定已有N进制计数器，而需要得到一个M进制计数器时，只要M＜N，用复位法使计数器计数到M时置“0”，即获得M进制计数器。如图9－4所示为一个由CC40192十进制计数器接成的6进制计数器。



图9－4 六进制计数器

（2） 图9－6是一个特殊12进制的计数器电路方案。在数字钟里，对时位的计数序列是1、2、…11，12、1、…是12进制的，且无0数。如图所示，当计数到13时，通过与非门产生一个复位信号，使CC40192(2)〔时十位〕直接置成0000，而CC40192(1)，即时的个位直接置成0001，从而实现了1－12计数。



图9－6 特殊12进制计数器

**三、实验设备与器件**

1、 ＋5V直流电源 2、 双踪示波器

3、 连续脉冲源 4、 单次脉冲源

5、 逻辑电平开关 6、 逻辑电平显示器

7、 译码显示器

8、 CC40192×2（74LS192×2） CC4012×1（74LS20×1）

**四、实验内容**

　　1、测试CC40192或74LS192同步十进制可逆计数器的逻辑功能

　　计数脉冲由单次脉冲源提供，清除端CR、置数端、数据输入端D3 、D2、D1、D0 分别接逻辑开关，输出端 Q3、Q2、Q1、Q0接实验设备的一个译码显示输入相应插口A、B、C、D；和接逻辑电平显示插口。按表9－1逐项测试并判断该集成块的功能是否正常。

　 (1)　清除

　　令CR=1，其它输入为任意态，这时Q3Q2Q1Q0＝0000，译码数字显示为0。清除功能完成后，置CR＝0

　 (2)　置数

　 CR＝0，CPU，CPD 任意，数据输入端输入任意一组二进制数，令= 0，观察计数译码显示输出，置数功能是否完成，此后置＝1。

　 (3)　加计数

　　CR＝0，＝CPD ＝1，CPU 接单次脉冲源。清零后送入10个单次脉冲，观察译码数字显示是否按8421码十进制状态转换表进行；输出状态变化是否发生在CPU 的上升沿。

　 (4)　减计数

CR＝0，＝CPU ＝1，CPD 接单次脉冲源。参照3)进行实验。

（5）计数器的分频功能

使CC40192或74LS192工作于加计数状态，CR＝0，＝CPD ＝1，CPU输入1KHz连续脉冲，用示波器观察Q3、Q2、Q1、Q0的波形，并记录它们各自的波形和频率；分析Q3、Q2、Q1、Q0分别是对输入计数脉冲CPU 的几分频？

2、按图9－3所示，用两片74LS192组成两位十进制加法计数器，输入1Hz连续计数脉冲，进行由00—99累加计数，并用两位数码管显示。

3、按图9－6所示，用两个十进制计数器实现1-12计数的十二进制计数器；

4、自行设计电路，实现 00-59计数的60进制计数器，并用两位数码管显示。

**五、实验预习要求**

　　1、复习有关计数器部分内容

　2、绘出各实验内容的详细线路图

3、拟出各实验内容所需的测试记录表格

　　4、查手册，给出并熟悉实验所用各集成块的引脚排列图

**六、实验报告**

　　1、画出实验线路图，记录、整理实验现象及实验所得的有关波形。对实验结果进行分析。

　　2、总结使用集成计数器的体会。

# 实验五　脉冲延时与波形整形电路

**一、实验目的**

1、熟悉555型集成时基电路结构、工作原理及其特点

2、掌握555型集成时基电路的基本应用

**二、实验原理**

集成时基电路又称为集成定时器或555电路，是一种数字、模拟混合型的中规模集成电路，应用十分广泛。它是一种产生时间延迟和多种脉冲信号的电路，由于内部电压标准使用了三个5K电阻，故取名555电路。其电路类型有双极型和CMOS型两大类，二者的结构与工作原理类似。几乎所有的双极型产品型号最后的三位数码都是555或556；所有的CMOS产品型号最后四位数码都是7555或7556，二者的逻辑功能和引脚排列完全相同，易于互换。555和7555是单定时器。556和7556是双定时器。双极型的电源电压VCC＝+5V～+15V，输出的最大电流可达200mA，CMOS型的电源电压为+3～+18V。

1、555电路的工作原理

555电路的内部电路方框图如图14－1所示。它含有两个电压比较器，一个基本RS触发器，一个放电开关管T，比较器的参考电压由三只 5KΩ的电阻器构成的分压器提供。它们分别使高电平比较器A1 的同相输入端和低电平比较器A2的反相输入端的参考电平为和。A1与A2的输出端控制RS触发器状态和放电管开关状态。当输入信号自6脚，即高电平触发输入并超过参考电平时，触发器复位，555的输出端3脚输出低电平，同时放电开关管导通；当输入信号自2脚输入并低于时，触发器置位，555的3脚输出高电平，同时放电开关管截止。

是复位端（4脚），当＝0，555输出低电平。平时 端开路或接VCC 。

VC是控制电压端（5脚），平时输出作为比较器A1 的参考电平，当

5脚外接一个输入电压，即改变了比较器的参考电平，从而实现对输出的另一

种控制，在不接外加电压时，通常接一个0.01μf的电容器到地，起滤波作

用，以消除外来的干扰，以确保参考电平的稳定。

T为放电管，当T导通时，将给接于脚7的电容器提供低阻放电通路。

555定时器主要是与电阻、电容构成充放电电路，并由两个比较器来检测电容器上的电压，以确定输出电平的高低和放电开关管的通断。这就很方便地构成从



(a) (b)

图14－1 555定时器内部框图及引脚排列

微秒到数十分钟的延时电路，可方便地构成单稳态触发器，多谐振荡器，施密特触发器等脉冲产生或波形变换电路。

2、555定时器的典型应用

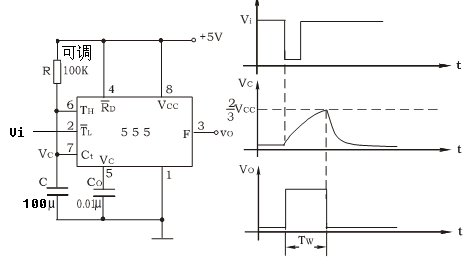
(1) 构成单稳态触发器

图14－2(a)为由555定时器和外接定时元件R、C构成的单稳态触发器。触发电路由C1、R1、D构成，其中D为钳位二极管，稳态时555电路输入端处于电源电平，内部放电开关管T导通，输出端F输出低电平，当有一个外部负脉冲触发信号经C1加到2端。并使2端电位瞬时低于，低电平比较器动作，单稳态电路即开始一个暂态过程，电容C开始充电，VC 按指数规律增长。当VC充电到时，高电平比较器动作，比较器A1 翻转，输出V0 从高电平返回低电平，放电开关管T重新导通，电容C上的电荷很快经放电开关管放电，暂态结束，恢复稳态，为下个触发脉冲的来到作好准备。波形图如图14－2(b)所示。

暂稳态的持续时间tw（即为延时时间）决定于外接元件R、C值的大小。

tw ＝1.1RC

通过改变R、C的大小，可使延时时间在几个微秒到几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可以使用复位端（4脚）接地的方法来中止暂态，重新计时。此外尚须用一个续流二极管与继电器线圈并接，以防继电器线圈反电势损坏内部功率管。



(a) (b)

图14－2 单稳态触发器

(2) 构成多谐振荡器

如图14－3(a)，由555定时器和外接元件R1、R2、C构成多谐振荡器，脚2与脚6直接相连。电路没有稳态，仅存在两个暂稳态，电路亦不需要外加触发信号，利用电源通过R1、R2向C充电，以及C通过R2向放电端 Ct 放电，使电路产生振荡。电容C在和之间充电和放电，其波形如图14－3 (b)所示。输出信号的时间参数是

T＝tw1＋tw2， tw1＝0.7(R1＋R2)C， tw2＝0.7R2C

555电路要求R1 与R2 均应大于或等于1KΩ ，但R1＋R2应小于或等于3.3MΩ。

外部元件的稳定性决定了多谐振荡器的稳定性，555定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力。因此这种形式的多谐振荡器应用很广。



(a) (b)

图14－3 多谐振荡器

(3) 组成施密特触发器



图14－6 施密特触发器

电路如图14－6，只要将脚2、6连在一起作为信号输入端，即得到施密特触发器。图14－7示出了vS，vi和vO的波形图。

设被整形变换的电压为正弦波vs，其正半波通过二极管D同时加到555

定时器的2脚和6脚，得vi为半波整流波形。当 vi上升到 时，vO从高电平翻转为低电平；当vi下降到 时，vO又从低电平翻转为高电平。电路的电压传输特性曲线如图14－8所示。

回差电压 △V＝－＝



图14－7 波形变换图 图14－8 电压传输特性

**三、实验设备与器件**

1、 ＋5V直流电源 2、 双踪示波器

3、 连续脉冲源 4、 单次脉冲源

5、 音频信号源 6、 数字频率计

7、 逻辑电平显示器

8、 555×2 2CK13×2 电位器、电阻、电容若干

**四、实验内容**

1、 单稳态触发器

(1) 按图14－2连线，将R改为100K，C改为100μf，输入信号vi接负脉冲单次脉冲源，输出接发光二极管，实现延时开关，观察并对比灯的延时熄灭时间。若延时时间不准，请用示波器观察触发信号宽度是否小于C充电时间。

(2) 将R改为10K可调或100K可调，C改为0.1μf（或0.01μf），输入端加1KHz的连续脉冲，调整RC使1.1RC>0.5ms,观测波形vi，vC，vO，测定幅度及暂稳时间。

2、 多谐振荡器

(1) 按图14－3接线，用双踪示波器观测vc与vo的波形，测定频率。

3、模拟声响电路

按图14－9接线（或按课本图6.3.8接线，将第一级的输出接第二级的4号引脚），组成两个多谐振荡器，调节定时元件，使Ⅰ输出较低频率，Ⅱ输出较高频率，连好线，接通电源，试听音响效果。调换外接阻容元件，再试听音响效果。

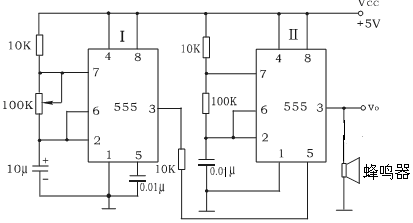


图14－9 模拟声响电路

**五、实验预习要求**

1、 复习有关555定时器的工作原理及其应用。

2、 拟定实验中所需的数据、表格等。

3、 如何用示波器测定施密特触发器的电压传输特性曲线？

4、 拟定各次实验的步骤和方法。

**六、实验报告**

1、 绘出详细的实验线路图，定量绘出观测到的波形

2、 分析、总结实验结果

# 实验六 D / A、A / D转换器

**一、实验目的**

　1、了解D / A和A / D转换器的基本工作原理和基本结构

　　2、掌握大规模集成D / A和A / D转换器的功能及其典型应用

**二、实验原理**

在数字电子技术的很多应用场合往往需要把模拟量转换为数字量，称为模 / 数转换器（A / D转换器，简称ADC）；或把数字量转换成模拟量，称为数 / 模转换器（D / A转换器，简称DAC）。完成这种转换的线路有多种，特别是单片大规模集成A / D、D / A转换器问世，为实现上述的转换提供了极大的方便。使用者可借助于手册提供的器件性能指标及典型应用电路，即可正确使用这些器件。本实验将采用大规模集成电路DAC0832实现D / A转换，ADC0809实现A / D转换。

　　1、 D / A转换器DAC0832

DAC0832是采用CMOS工艺制成的单片电流输出型8位数 / 模转换器。图15－1是DAC0832的逻辑框图及引脚排列。



图15－1 DAC0832单片D/A转换器逻辑框图和引脚排列

器件的核心部分采用倒T型电阻网络的8位D / A转换器，如图15－2所示。它是由倒T型R－2R电阻网络、模拟开关、运算放大器和参考电压VREF四部分组成。

运放的输出电压为

…)



图15－2 倒T型电阻网络D / A转换电路

由上式可见，输出电压VO 与输入的数字量成正比，这就实现了从数字量到模拟量的转换。

一个8位的D / A转换器，它有8个输入端，每个输入端是8位二进制数的一位，有一个模拟输出端，输入可有28 ＝256个不同的二进制组态，输出为256个电压之一，即输出电压不是整个电压范围内任意值，而只能是256个可能值。

DAC0832的引脚功能说明如下：

D0－D7 ：数字信号输入端

ILE：输入寄存器允许，高电平有效

： 片选信号，低电平有效

：写信号1，低电平有效

：传送控制信号，低电平有效

：写信号2，低电平有效

　　IOUT1，IOUT2：DAC电流输出端

RfB ：反馈电阻，是集成在片内的外接运放的反馈电阻

　　VREF ：基准电压（－10～+10）V

VCC ：电源电压（＋5～＋15）V

|  |  |
| --- | --- |
| AGND：模拟地 | ＞ 可接在一起使用 |
| NGND：数字地 |

DAC0832输出的是电流，要转换为电压，还必须经过一个外接的运算放大器，实验线路如图15－3所示。

2、 A / D转换器ADC0809

ADC0809是采用CMOS工艺制成的单片8位8通道逐次渐近型模 / 数转换器，其逻辑框图及引脚排列如图15－4所示。

器件的核心部分是8位A / D转换器，它由比较器、逐次渐近寄存器、D / A转换器及控制和定时5部分组成。

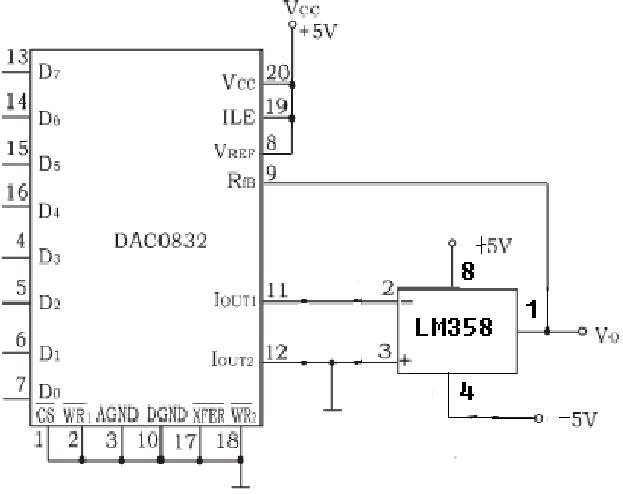


图15－3 D/A转换器实验线路



图15－4 ADC0809转换器逻辑框图及引脚排列。

ADC0809的引脚功能说明如下：

INo－IN7：8路模拟信号输入端

　　A2、A1、A0：地址输入端

　　ALE：地址锁存允许输入信号，在此脚施加正脉冲，上升沿有效，此时锁存地址码，从而选通相应的模拟信号通道，以便进行A / D转换。

　 START：启动信号输入端，应在此脚施加正脉冲，当上升沿到达时，内部逐次逼近寄存器复位，在下降沿到达后，开始A / D转换过程。

EOC：转换结束输出信号（转换结束标志），高电平有效。

OE：输入允许信号，高电平有效。

CLOCK(CP)：时钟信号输入端，外接时钟频率一般为640KHz。

Vcc：＋5V单电源供电

VREF(+)、VREF(-)：基准电压的正极、负极。一般VREF(+)接+5V电源，VREF(-)接地。

　　D7－Do ：数字信号输出端

1）模拟量输入通道选择

8路模拟开关由A2、A1、A0三地址输入端选通8路模拟信号中的任何一路进行A / D转换，地址译码与模拟输入通道的选通关系如表15－1所示。

表15－1

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 被选模拟通道 道 道 | | IN0 | IN1 | IN2 | IN3 | IN4 | IN5 | IN6 | IN7 |
| 地  址 | A2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| A1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| A0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

2）D / A转换过程

在启动端（START）加启动脉冲（正脉冲），D / A转换即开始。如将启动端（START）与转换结束端（EOC）直接相连，转换将是连续的，在用这种转换方式时，开始应在外部加启动脉冲。

**三、实验设备及器件**

　　1、 ＋5V、±15V直流电源 2、 双踪示波器

3、 计数脉冲源 4、 逻辑电平开关

5、 逻辑电平显示器 6、 直流数字电压表

7、 DAC0832、ADC0809、LM358、电位器、电阻、电容若干

**四、实验内容**

1、 D / A转换器 — DAC0832

(1) 按图15－3接线，电路接成直通方式，即、、、接地；ALE、VCC、VREF接+5V电源；运放电源接±15V；D0～D7 接逻辑开关的输出插口，输出端vO接直流数字电压表。

(2) 按表15－2所列的输入数字信号，用数字电压表测量运放的输出电压V0，并将测量结果填入表中，并与理论值进行比较。

表15－2

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 数 字 量 | | | | | | | | 输出模拟量V0(V) |
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | VCC＝+5V |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |  |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |

2、A / D转换器 — ADC0809

按图15－5接线



图15－5 ADC0809实验线路

1. 八路输入模拟信号1V～4.5V，由+5V电源经电阻R分压组成；变换

结果D0～D7 接逻辑电平显示器输入插口，CP时钟脉冲由计数脉冲源提供,取f＝100KHz；A0～A2 地址端接逻辑电平输出插口。

1. 接通电源后，在启动端（START）加一正单次脉冲，下降沿一到即开始

A / D转换。

1. 按表15－3的要求观察，记录IN0～IN7 八路模拟信号的转换结果，并将

转换结果换算成十进制数表示的电压值，并与数字电压表实测的各路输入电压值进行比较，分析误差原因。

**五、实验预习要求**

1、 复习A/D、D/A转换的工作原理

2、 熟悉ADC0809、DAC0832各引脚功能，使用方法。

3、 绘好完整的实验线路和所需的实验记录表格

4、 拟定各个实验内容的具体实验方案

表15－3

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 被选模拟通道 | 输 入模拟量 | 地 址 | | | 输 出 数 字 量 | | | | | | | | |
| IN | vi（V） | A2 | A1 | A0 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 十进制 |
| IN0 | 4.5 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |
| IN1 | 4.0 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |  |
| IN2 | 3.5 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |  |
| IN3 | 3.0 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |
| IN4 | 2.5 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |  |
| IN5 | 2.0 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |  |
| IN6 | 1.5 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |  |
| IN7 | 1.0 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |  |

**六、实验报告**

整理实验数据，分析实验结果。

